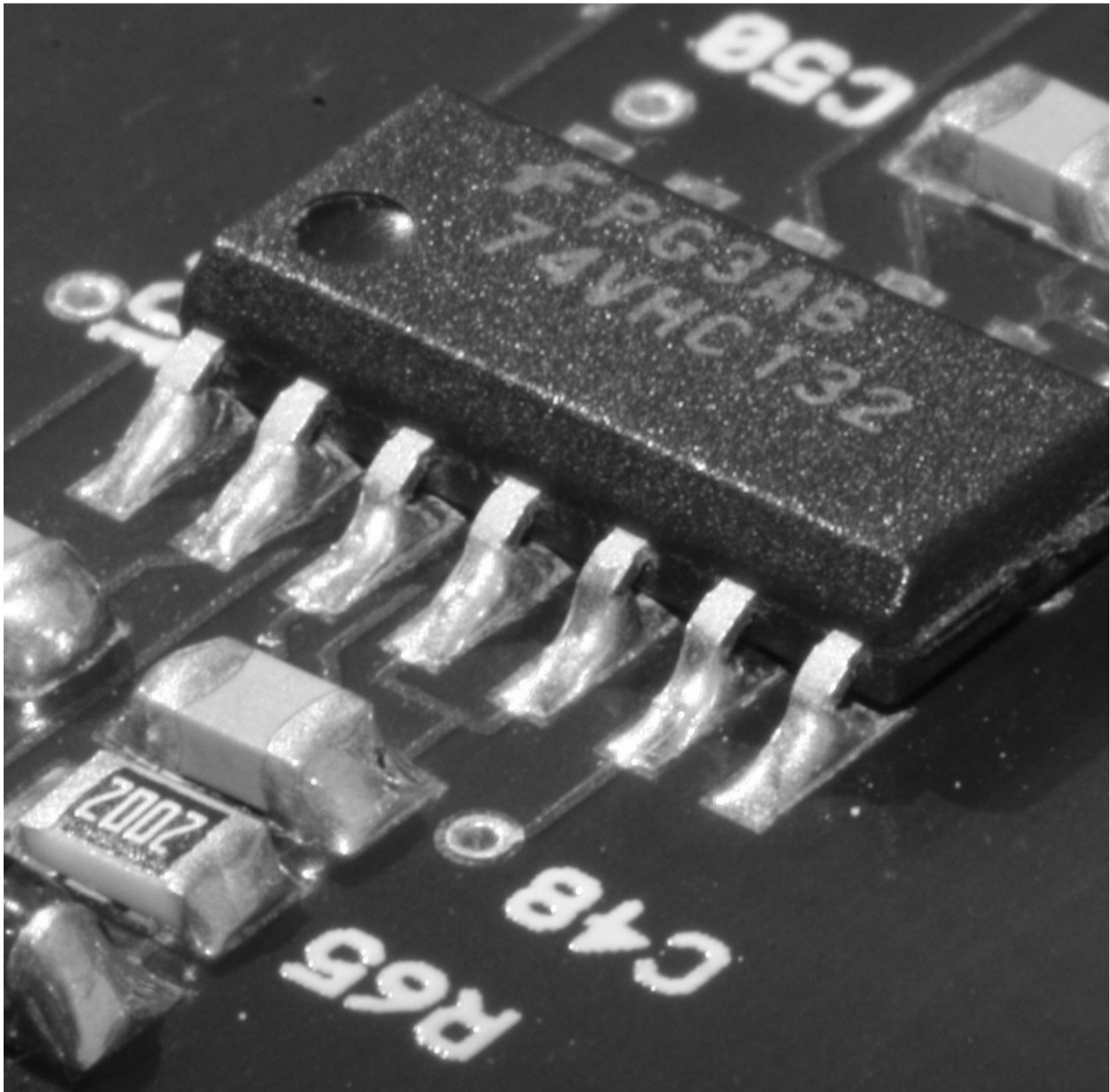


# Ulf Schwalbe

## Vergleichende Untersuchungen dreistufiger Schaltnetzteiltopologien im Ausgangsleistungsbereich bis 3 kW



ISBN 978-3-938843-49-9

urn:nbn:de:gbv:ilm1-2009000330

**Vergleichende Untersuchungen dreistufiger Schaltnetzteiltopologien im  
Ausgangsleistungsbereich bis 3 kW**

Dissertation

zur Erlangung des akademischen Grades

**Doktoringenieur  
(Dr.-Ing.)**

vorgelegt der

Fakultät für Elektrotechnik und Informationstechnik

der Technischen Universität Ilmenau

von

Dipl.-Ing. Ulf Mario Schwalbe

geb. am 13.11.1978 in Erfurt

vorgelegt am: 11.11.2008

Gutachter: 1. Prof. Dr.-Ing. habil. Jürgen Petzoldt  
2. Prof. Dr. Johann Walter Kolar  
3. Dr. Gerald Deboy

Verteidigung am: 14.09.2009

urn:nbn:de:gbv:ilm1-2009000330  
ISBN 978-3-938843-49-9



*für meine Tochter Louise*

*und*

*in Gedenken an meinen Vater Reimund*

*So eine Arbeit wird nie fertig.  
Man muss sie für fertig erklären,  
wenn man nach Zeit und Umständen das Mögliche getan hat.*

*Johann Wolfgang von Goethe  
„Italienreise“ (1787)*

## Vorwort

Die vorliegende Arbeit entstand während meiner Tätigkeit als Forschungsstudent an der Technischen Universität Ilmenau im Fachgebiet „Leistungselektronik und Steuerungen in der Elektroenergietechnik“ der Fakultät für Elektrotechnik und Informationstechnik. Die Bearbeitung der Aufgabe erfolgte in enger Zusammenarbeit mit der ISLE GmbH in Ilmenau und der Infineon Technologies Austria AG in Villach.

Mein besonderer Dank gilt Herrn Professor Dr.-Ing. habil. Jürgen Petzoldt, Leiter des Fachgebietes „Leistungselektronik und Steuerungen in der Elektroenergietechnik“, für die vielen hilfreichen fachlichen Diskussionen und Anregungen, die Begutachtung der Dissertationsschrift sowie der wissenschaftlichen Gesamtbetreuung der Arbeit.

Des Weiteren möchte ich mich bei Herrn Dr. Gerald Deboy von der Infineon Technologies Austria AG für die weitreichende Unterstützung bedanken, die diese Dissertation erst möglich gemacht haben.

Mein besonderer Dank gilt Herrn Dr.-Ing. Tobias Reimann sowie Herrn Dipl.-Ing. Marko Scherf von der ISLE GmbH für ihre wegweisende Begleitung meines wissenschaftlichen Werdegangs, ihre Motivation sowie die vielfältigen Anregungen und Unterstützungen. Durch ihr Wirken haben sie maßgeblich zum Gelingen dieser Arbeit beigetragen.

Besondere Anerkennung gilt Herrn Professor Dr.-Ing. habil. Wolfgang Gens für die wertvollen Anregungen in der Entstehungsphase dieser Dissertation.

Bei allen Kolleginnen und Kollegen des Fachgebiet „Leistungselektronik und Steuerungen in der Elektroenergietechnik“ der TU Ilmenau, der ISLE GmbH und der Infineon Technologies Austria AG, die mir während meines Forschungsstudiums in irgendeiner Form behilflich waren und somit zum Gelingen der Arbeit beitrugen, möchte ich mich an dieser Stelle bedanken. Gleiches gilt auch für die Studenten, die im Rahmen ihrer Studien- und Diplomarbeiten wertvolle Beiträge zur behandelten Thematik geliefert haben.

Für die mit großer Sorgfalt und Mühe durchgeführte redaktionelle Bearbeitung der Dissertationsschrift bedanke ich mich bei Frau Dipl.-Ing. Elke Schöne.

Für die materielle und ideelle Unterstützung meines Forschungsthemas seitens der Industrie danke ich stellvertretend Herrn Dr. Gerald Deboy und Herrn Dr. Lutz Görgens von der Infineon Technologies Austria AG.

Nicht zuletzt bedanke ich mich recht herzlich bei meinen Eltern Christel und Reimund, meiner Partnerin Anja und bei meinem sehr guten Freund Oskar Schneider für die moralische Unterstützung.

Ulf Schwalbe

Erfurt, den 04.11.2008

## Abstract

Switch mode power supplies (SMPS) are well established in our modern world. Their main advantages are the realization of high efficiency and energy saving potential. Another benefit and design objective is a high power density to reach lightweight systems of small size.

This thesis focuses on the benefits and the challenges of three stage DC-DC converters in SMPS applications. They are compared to state-of-the-art two stage DC-DC converters for high power and low output voltages. Possibilities for improvement of technical and miscellaneous parameters should be shown.

The obtained information refers to power supply systems with maximum input power of 3680 W. This is the maximum power of a 230 V single phase supply with a 16 A fuse. The main applications are server and telecommunication AC-DC power supplies.

Due to the complexity of SMPSs all investigations in this work have a mainly experimental background. Theoretical descriptions and calculations would require large simplifications of the real system. Thus, gained results would become inaccurate. Simulations and calculations are used during the practical implementation.

Six SMPS demonstrators were developed during this dissertation work. All these systems were designed with the same specification i.e. for 12 V output voltage and 800 W output power. As a comparison an 800 W two stage power supply from Infineon Technologies AG was used.

Three stage solutions can overcome the trade-offs in two stage power supplies. The optimization problem in a two stage SMPS is to find a compromise between the bulk capacitor size (cost) and the design of the DC-DC converter regarding the input voltage range. Three stage power supplies use an extra stage to decouple the output power regulation from the main stage. The main stage operates like a DC transformer. This stage can be optimized for operation at a 100 % duty cycle. Furthermore this is a good basis for zero voltage switching (ZVS) or resonant switching respectively. The extra stage can be implemented as a simple highly efficient buck converter which can easily cope with the wide input voltage range.

There are two ways to arrange the buck stage. One possibility is on the primary side of the transformer in a pre regulated concept. Here the buck converter supplies the main stage with a constant voltage. Another possibility is an arrangement on the secondary side of the main stage in a post regulated concept. The DC transformer stage transfers the bulk voltage with all variations to the secondary side. The following buck stage has to maintain a constant output voltage.

The two stage demonstrator is a voltage fed, hard switching half bridge with power factor correction (PFC) stage.

The following pre regulated three stage powers supplies were investigated: current fed push pull converter, current fed full bridge converter and a current fed parallel resonant converter.

The research of post regulated three stage SMPSs concentrates on: hard switching half bridge, serial resonant converter and an LLC converter. All three stages operate with a PFC stage.

The main results of this dissertation are summarised below.

The following characteristics apply to pre regulated switch mode power supplies: The main primary side MOSFETs in the current fed push pull converter and in the current fed full

bridge converter are stressed with high voltages. However, the secondary side rectifier MOSFETs in all current fed systems operate with low voltage stress.

The current fed parallel resonant converter is a modification of the current fed full bridge converter to achieve low switching losses in resonant mode operation. The stress on the active components is analogue to the full bridge converter. A drawback of this solution is the load dependent resonant and transfer behaviour.

The implementation of synchronous rectification control in these current fed systems needs some effort. Self driven circuits were not sufficient.

A topology with a current fed main stage is not adequate for the generation of high currents and low output voltages. The main reason for this is the high stress on the active components due to the leakage inductance in the system.

Post regulated power supplies are characterised by the following facts: The investigation on the hard switching half bridge revealed load dependent transfer behaviour. Therefore this converter is unsuitable for a DC transformer application. Furthermore a limitation choke for the current rise and clamping diodes was necessary to achieve ZVS and low voltage stress on the secondary side rectifiers. Also, due to the occurring voltage drop the limitation choke reduces the converter output power.

The serial resonant converter is suitable as a DC transformer in high output power applications. The load current is used to charge the output capacitances of the MOSFETs to achieve ZVS condition. The ZVS condition is lost at light load operation, influenced by the switching frequency, interlock time and the angle of switching. If the ZVS condition is lost, the primary MOSFETs in the resonant converter operate in hard switching mode with high switching losses.

A modified serial resonant topology, the LLC converter, solves the problem of losing ZVS at light load operation. ZVS condition is supported by the transformer magnetising current which is independent of the load current. ZVS condition can be achieved over a wide operation range to limit losses in the primary side MOSFETs. The LLC converter is a real load independent DC transformer. This is a major result of this research.

The main advantage of a three stage solution compared to a two stage power supply is the reduction of the bulk capacitance. The voltage variation at the bulk capacitor during a brown-out is regulated with a simple buck converter. The reduced bulk capacitance leads to cost savings and a gain in power density. The galvanic isolation and the output regulation is separated in a three stage concept, therefore the design of the stages is quite simple.

Every stage can operate independently, therefore the system gains degrees of freedom. More freedom in design leads to a better adjustment between three stage SMPS and application.

If required, a synchronisation between the stages can be implemented. The load current of the bulk capacitor can be reduced by synchronising the PFC stage and the following stage in high power system.

Normally, the design of the different stages in a three stage SMPS is quite simple, because of the spreading of the output power regulation and the galvanic isolation to different stages. This separation could be used in a three stage LLC converter to reach a gain in efficiency compared to a two stage setup.

The possibility for discrete optimisation of the stages leads to an optimised SMPS system.

The main drawback of a three stage solution is the higher component count, compared to a two stage supply. However, higher component count and system costs do not correlate directly. A practical comparison between the investigated power supplies showed a similar cost level.



The major goal of the thesis, to achieve a gain in efficiency with three stage SMPSs compared to a two stage solution, was not reached completely. The main reason is the high switching frequency in the different stages. High switching frequency leads to high switching losses in the switches.

At full load operation the efficiency of the three stage LLC converter was less than in the two stage SMPS. However, at light load the situation reversed. The three stage LLC converter reached higher efficiency than the two stage SMPS.

Due to the reduction of bulk capacitor size, an improvement of power density was reached with three stage solutions, compared to two stage SMPSs.

This investigation highlights the qualitative properties of the different topologies. All quantitative statements in this work refer to current state-of-the-art semiconductors and passive components. Due to the permanent development in these fields all conclusions are only indicative.

In this research currently common switching frequencies have been proven. Therefore, the efficiency values show not the maximum values for these topologies. A reduction of the switching frequency would lead to a gain in total efficiency. By using state-of-the-art semiconductors and passive components, switching frequencies of about 70 kHz to 130 kHz are optimal for achieving high efficiency.

For high output power interleaved topologies in combination with low switching frequencies (70 kHz to 130 kHz) are reasonable. Cancellation effects caused by control can be used to reduce passive components stress in these topologies.

It became clear that the LLC converter with secondary side buck converter is the best three stage solution. Due to the excellent properties in a three stage solution the combination of an LLC converter with a primary side buck stage is reasonable, too. This setup would facilitate the design of the buck regulator stage. This configuration could be investigated in ongoing research. An efficiency estimation is already given in this thesis.

# Inhaltsverzeichnis

<b>1.</b>	<b>Einleitung</b> .....	<b>1</b>
<b>2.</b>	<b>Grundlagen und Stand der Technik</b> .....	<b>5</b>
2.1	Grundlagen der Schaltnetzteiltechnik .....	5
2.2	Stand der Technik.....	7
<b>3.</b>	<b>Analyse des Optimierungspotentials und Zielstellung der Arbeit</b> .....	<b>15</b>
3.1	Vorbemerkungen.....	15
3.2	Leistungshalbleiter .....	15
3.2.1	Vorbemerkungen.....	15
3.2.2	Hochvolt-Silizium (Si)-Leistungs-MOSFETs.....	15
3.2.3	Niedervolt-Silizium (Si)-Leistungs-MOSFETs .....	22
3.2.4	Siliziumkarbid (SiC)-Schottky-Dioden.....	28
3.2.5	Vergleich von Si- und SiC-Dioden in einer Hochsetzsteller-PFC-Stufe .....	31
3.3	Magnetwerkstoffe für Schaltnetzteilanwendungen.....	34
3.4	Schaltnetzteiltopologien im Überblick.....	37
3.4.1	Vorbemerkungen.....	37
3.4.2	Einstufige Topologien (Single-Stage).....	38
3.4.3	Zweistufige Topologien (Dual-Stage).....	39
3.4.4	Dreistufige Topologien (Three-Stage) .....	41
3.5	Power Factor Correction (PFC)-Stufe.....	42
3.5.1	Vorbemerkungen.....	42
3.5.2	Boost-PFC-Stufe .....	44
3.5.3	Bridgeless-PFC-Stufe.....	50
3.5.4	Zusammenfassung und Schlussfolgerungen .....	52
3.6	Hauptwandler-Stufe .....	53
3.6.1	Vorbemerkungen.....	53
3.6.2	Partiell hart schaltende Wandler .....	54
3.6.3	Resonanzwandler für die DC-DC Transformation.....	57
3.6.4	Zusammenfassung und Schlussfolgerungen .....	67
3.7	Sekundärseitige Gleichrichter .....	68
3.8	Partiell hart schaltende und resonante Ansteuerung von MOSFETs.....	73
3.8.1	Partiell hart schaltende Ansteuerung.....	73
3.8.2	Resonante Ansteuerung.....	77
3.8.3	Ergebnisse der Untersuchungen zur Ansteuerung von MOSFETs .....	79

3.9	Untersuchungen zur Synchronisation verschiedener Schaltnetzteilstufen.....	80
3.9.1	Vorbemerkung.....	80
3.9.2	Synchronisation von PFC-Stufe und Hauptwandler .....	80
3.9.3	Synchronisation von Resonanz- und partiell hart schaltenden Wandlern.....	83
3.9.4	Ergebnisse der Untersuchungen zur Stufensynchronisation .....	85
3.10	Zielstellung der Arbeit und Vorgehensweise .....	86
<b>4.</b>	<b>Zweistufige Schaltnetzteiltopologien .....</b>	<b>89</b>
4.1	Vorbemerkungen.....	89
4.2	Partiell hart schaltender Halbbrücken-Konverter.....	89
4.2.1	Topologie, Parameter und Realisierung .....	89
4.2.2	Ergebnisse der Betrachtungen.....	90
4.3	Ergebnisse der Untersuchungen an zweistufigen Schaltnetzteilen .....	91
<b>5.</b>	<b>Dreistufige Schaltnetzteiltopologien .....</b>	<b>93</b>
5.1	Vorbemerkungen.....	93
5.2	Primärseitig geregelte (Pre-Regulated) Schaltnetzteile.....	93
5.2.1	Vorbemerkungen.....	93
5.2.2	Topologieauswahl für Pre-Regulated Schaltnetzteile .....	94
5.2.3	Current Fed Push Pull-Konverter .....	96
5.2.4	Current Fed Full Bridge-Konverter.....	100
5.2.5	Parallelresonanzkonverter .....	104
5.2.6	Betrachtungen zur Synchrongleichrichtung in stromgespeisten Systemen....	108
5.2.7	Einfluss der Wandlerauslegung auf die Überspannungen im System.....	109
5.2.8	Parasitäre Elemente in Pre-Regulated Schaltnetzteilen .....	110
5.2.9	Transformatoren in Pre-Regulated Schaltnetzteilen .....	111
5.2.10	Ergebnisse der Untersuchungen an Pre-Regulated Schaltnetzteilen.....	112
5.3	Sekundärseitig geregelte (Post-Regulated) Schaltnetzteile.....	116
5.3.1	Vorbemerkungen.....	116
5.3.2	Vergleich verschiedener Topologien für Post-Regulated Schaltnetzteile.....	116
5.3.3	Passive Bauelemente in der Hauptstufe .....	119
5.3.4	Topologieauswahl für Post-Regulated Schaltnetzteile.....	121
5.3.5	Serienresonanzkonverter mit sekundärseitigem Tiefsetzsteller .....	126
5.3.6	LLC-Konverter mit sekundärseitigem Tiefsetzsteller.....	130
5.3.7	Partiell hart schaltende Halbbrücke mit sekundärseitigem Tiefsetzsteller.....	136
5.3.8	Einflussfaktoren auf das Schaltverhalten des Serienresonanzkonverters .....	141
5.3.9	Einflussfaktoren auf das Schaltverhalten der partiell hart schaltenden Halbbrücke .....	144

<b>5.3.10</b>	Ergebnisse der Untersuchungen an Post-Regulated Schaltnetzteilen .....	146
<b>6.</b>	<b>Diskussion der Ergebnisse</b> .....	<b>151</b>
<b>6.1</b>	Betriebsarten des LLC-Konverters .....	151
<b>6.2</b>	Einflussfaktoren auf das Schaltverhalten und den Wirkungsgrad des LLC-Konverters .....	156
<b>6.3</b>	Einfluss des Luftspaltes auf die Verluste im Transformator des LLC-Konverters	162
<b>6.4</b>	Wirkungsgrad-Skalierung für einen 2 kW Post-Regulated LLC-Konverter .....	163
<b>6.5</b>	Diskussion eines Pre-Regulated LLC-Konverters .....	165
<b>6.6</b>	Ergebnisse der Untersuchungen zu dreistufigen Schaltnetzteiltopologien .....	167
<b>6.7</b>	Entwurfssystematik für ein Schaltnetzteil .....	170
<b>7.</b>	<b>Zusammenfassung und Ausblick</b> .....	<b>173</b>
	<b>Literaturverzeichnis</b> .....	<b>177</b>
	<b>Verzeichnis der Formelzeichen, Abkürzungen, Begriffe und Indizes</b> .....	<b>183</b>
	<b>Anhang</b> .....	<b>192</b>



## 1. Einleitung

Die Verkleinerung, die Gewichtseinsparung und die Wirkungsgrad-Erhöhung sind allgegenwärtige Trends in der Stromversorgungstechnik. Sie werden infolge der wachsenden Zahl von transportablen Geräten wie z.B. Handies, Laptops weiter forciert.

Traditionell gibt es zwei Arten von gesteuerten bzw. geregelten Stromversorgungen:

- lineare Spannungsregler
- getaktete Stromversorgungen (inkl. Schaltnetzteile)

Die Hauptunterschiede zwischen diesen beiden Arten bestehen in der Baugröße und dem Wirkungsgrad: Beim linearen Spannungsregler wird die von der angeschlossenen Last nicht benötigte Energie vom Regler verbraucht und somit für die Last eine geregelte Spannung zur Verfügung gestellt. Dies führt vor allem bei großen Unterschieden zwischen Ein- und Ausgangsspannung und hohen Lastströmen zu einem geringen Wirkungsgrad. Außerdem muss dafür gesorgt werden, dass die im Regler anfallende Wärme problemlos abgeführt werden kann. Aufgrund dieser Nachteile werden lineare Spannungsregler heute nur noch für sehr kleine Ausgangsleistungen (<10 W) eingesetzt.

Im Vergleich dazu bieten getaktete Stromversorgungen die Möglichkeit einer im Idealfall verlustlosen Energieübertragung vom Eingang zum Ausgang. Das Wirkprinzip beruht auf der Steuerung des Energieflusses zur Last mithilfe ein oder mehrerer Schaltelemente, die per Pulsweitenmodulation (PWM) angesteuert werden. Hieraus ergibt sich gegenüber dem Linearregler auch die Möglichkeit einer Potenzialtrennung durch einen Transformator. Sowohl der Transformator als auch die nötigen passiven Bauelemente können mit zunehmender Pulsfrequenz kleiner gewählt werden [4.2]. Eine getaktete Stromversorgung wird als Schaltnetzteil bezeichnet, wenn sie einen Transformator zur Potentialtrennung besitzt.

Der Anteil von Schaltnetzteilen in der Stromversorgungstechnik hat in den letzten Jahren drastisch zugenommen. Die Stromversorgungen vieler Anwendungen, die zuvor linear geregelt wurden und über relativ schwere, großvolumige 50 Hz Transformatoren verfügten, wurden durch die leichteren und kostengünstigeren Schaltnetzteile ersetzt. Jeder Mobiltelefonbenutzer konnte diesen Trend in den letzten Jahren hautnah miterleben. Heute sind fast 100 % der Ladegeräte von Handies mit Schaltnetzteilen realisiert.

Der Hauptvorteil einer Switched Mode Power Supply (SMPS)-Lösung liegt in der Erzielbarkeit eines hohen Wirkungsgrades. Die Effizienz übertrifft konventionelle, linear geregelte Lösungen bei Weitem. Die Erhöhung des Wirkungsgrades führt zu einer Einsparung von Energie und fördert die Reduktion der weltweiten CO<sub>2</sub>-Emission, die in der heutigen Zeit sehr für erhitzte Gemüter sorgt.

Ein Beispiel aus dem Bereich der Computeranwendung soll das Einsparpotential verdeutlichen: Bis zum Jahr 2011 wird es laut einer CPES Studie weltweit ca. 30 Mio. Server mit einer Durchschnittsleistung von 1200 W geben. Das führt zu einer Gesamtleistungsaufnahme von ca. 30 GW. Erhöht man den Wirkungsgrad dieser Server-SMPS um 1 % gegenüber dem derzeitigen Wert, so erreicht man eine Energieeinsparung von 360 MW. Dies entspricht der Leistung eines kleineren Kraftwerks, welches durch die Verbesserung der Effizienz eingespart werden könnte [1.3]. Solche Rechenbeispiele lassen sich auf viele Anwendungsfelder übertragen und zeigen das enorme Einsparpotential, das in den einzelnen Anwendungsfeldern steckt (Abb. 1.1).

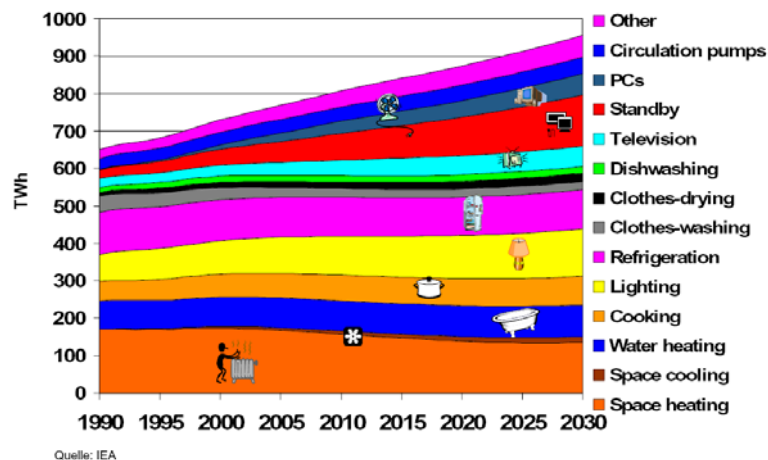
Im Konsumgütermarkt, zum Beispiel, ist die Reduzierung der Standby-Verluste ein wichtiges Thema geworden. Durch den Einsatz von modernen Schaltnetzteilen kann in dieser Applikation eine Einsparung von ca. 90 % erreicht werden. Betrachtet man die ca. 200 Mio. Fernseh-

geräte, die in Europa vorhanden sind, so erzeugen diese eine Standby-Gesamtverlustleistung von 2 GW, wenn man 10 W Standby-Verluste pro Gerät veranschlagt.



**Abb. 1.1 Energieeinsparungspotential durch Leistungselektronik in verschiedenen Anwendungsfeldern (Stand: 2005) [1.5]**

Eine Reduktion der Standby-Verluste auf 1 W würde die Standby-Gesamtverluste auf 200 MW verringern [1.5]. Entwicklungen auf dem Gebiet der Leistungselektronik, die die Effizienz der Geräte steigern, sind dringend erforderlich, wenn man die Prognose zur Elektroenergieverbrauchsentwicklung bis zum Jahr 2030 betrachtet (Abb. 1.2). Die vorliegende Arbeit soll einen Beitrag zur Energieverbrauchs-, Gewichts- und Volumenreduzierung im Bereich der PC-Anwendungen, Server- und Telekomstromversorgungen leisten.



**Abb. 1.2 Elektroenergieverbrauchsentwicklung für Geräte in Europa [1.1]**

Im Bereich der Schaltentzteilentwicklung gibt es mehrere Optimierungsziele. Die Optimierung des SMPS auf maximalen Wirkungsgrad bei maximaler Ausgangsleistung, auf geringe Standby-Verluste sowie die Optimierung auf Erzielung eines hohen Teillastwirkungsgrades. Speziell bei Server-Schaltentzteilen ist der hohe Teillastwirkungsgrad eine gewachsene Anforderung. Server-Netzenteile arbeiten heute meist in redundanten Systemen. Das bedeutet, zwei Netzenteile teilen sich im Normalbetrieb die Leistung und geben jeweils 50 % ihrer max. Leistung ab. Bei Defekt eines Netzenteils ist ein SMPS in der Lage, den Server weiter mit Energie zu versorgen. Dieses Beispiel verdeutlicht, dass die Anforderungen an die Schaltentzteiltopologie abhängig von der Applikation sind.

Diese vorliegende Dissertation befasst sich mit der Untersuchung von dreistufigen Schaltnetzteiltopologien im Ausgangleistungsbereich bis 3 kW. Diese Grenze ergibt sich infolge der Beschränkung der Untersuchungen auf SMPS am einphasigen Netz ( $V_{IN\_RMS}=230\text{ V}$ ;  $I_{IN\_RMS}=16\text{ A}$ ) zur Erzeugung einer potentialgetrennten DC-Spannung. Die typischen Applikationen auf die diese Arbeit abzielt, sind Stromversorgungen für Server, Telekommunikations-Server sowie Batterieladetechnik und Unterbrechungsfreie Stromversorgungen (USV).

Ein dreistufiges SMPS verfügt im Gegensatz zu einer zweistufigen Lösung über eine zusätzliche Wandlerstufe, die die Regulierung des Leistungsflusses von der Hauptstufe übernimmt. Die mit dreistufigen SMPS angestrebten Verbesserungen sind die Reduktion der Zwischenkreiskapazität und die damit verbundene Leistungsdichte-Erhöhung. Die Verbesserung des Systemwirkungsgrades mittels Aufteilung der Leistungsstellung und der galvanischen Trennung auf verschiedene Wandlerstufen. Die Erhöhung der Freiheitsgrade zur Beeinflussung von Schaltungsparametern und eine bessere Anpassung der dreistufigen Topologien an die jeweilige Anwendung.

Nach einigen Ausführungen zum Stand der Technik, der anhand von SMPS für Server dargestellt wird, folgen Betrachtungen zu Leistungshalbleitern und Magnetwerkstoffen. Im Anschluss daran wird detailliert auf Schaltungstopologien und die einzelnen Stufen eines Schaltnetzteils eingegangen. Es werden mögliche Ansatzpunkte zur Wirkungsgrad- bzw. Leistungsdichteerhöhung gezeigt.

Untersuchungen zur resonanten und zur partiell hart schaltenden Ansteuerung von MOSFETs zeigen Möglichkeiten zur Reduktion von Ansteuerverlusten auf, insbesondere bei MOSFETs mit großen Chip-Flächen. Das Kapitel 3 zur Analyse des Optimierungspotentials schließt mit Betrachtungen zur Synchronisation von Schaltnetzteilstufen ab.

Aus der Analyse der Optimierungspotentiale leiten sich die Zielstellung der Arbeit und die Vorgehensweise ab. Im Anschluss ist das Kapitel 4 den zweistufigen Topologien gewidmet. Diese werden für die vergleichenden Untersuchungen mit den dreistufigen Topologien herangezogen. Kapitel 5 fasst alle Untersuchungen zu den dreistufigen SMPS zusammen. Es werden Schlussfolgerungen aus Simulationsergebnissen, Berechnungen und Messungen gezogen, die im folgenden Kapitel 6 für eine abschließende bewertende Diskussion wichtiger Ergebnisse benutzt werden.





## 2. Grundlagen und Stand der Technik

### 2.1 Grundlagen der Schaltnetzteiltechnik

Es gibt zwei Arten von getakteten Stromversorgungen, die transformatorlosen Topologien einerseits und die Schaltungskonzepte, die einen Transformator besitzen, andererseits.

Zu den transformatorlosen Konzepten gehören alle Hochsetzsteller und Tiefsetzsteller sowie Hoch-Tiefsetzsteller. Besteht die Forderung nach einer Potentialtrennung, zwischen Netz und Last so ist der Einsatz eines Transformators unumgänglich. Alle Anordnungen, bei denen die Leistung über einen Transformator übertragen wird, werden als Schaltnetzteil bezeichnet (Abb. 2.1).

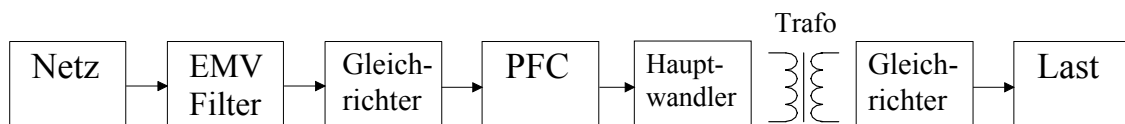


Abb. 2.1 Allgemeiner Aufbau eines zweistufigen Schaltnetzteils [7.2]

Der Einsatz eines Transformators bringt folgende Vorteile [4.2]:

- Die Ausgangsspannung ist gegenüber der Eingangsspannung elektrisch isoliert. Das erlaubt bei Bedarf eine Erdung der Ausgangsspannung.
- Bei Wahl eines entsprechenden Übersetzungsverhältnisses können Ein- und Ausgangsspannung in einem größeren Maße verschieden sein, als dies bei den Grundschaltungsarten ohne Transformator der Fall ist.
- Die durch minimales bzw. maximales Tastverhältnis vorgegebenen Grenzen im Stellbereich der Grundschaltungen ohne Transformator werden ausgeweitet.
- Mit mehreren Sekundärwicklungen unterschiedlicher Windungszahlen sind unterschiedliche galvanisch getrennte Ausgangsspannungen realisierbar.

Nachteile beim Einsatz eines Transformators [4.2]:

- Der Transformator liefert sowohl hinsichtlich des Gewichtes als auch des Volumens einen großen Anteil an den Gesamtsystemparametern.
- Der Magnetkreis und die nicht ideale Verkopplung zwischen den Windungen der Primär- und Sekundärseite verursachen Verluste.
- Die Streuinduktivität (Summe aus Transformator-Streuinduktivität und parasitärer Induktivität) sowie parasitäre Kapazitäten beeinflussen das Schaltverhalten der Leistungshalbleiter.

DC-DC Wandler mit Transformator können in Eintakt- und Gegentaktwandler unterteilt werden. Bei Eintaktwandlern wird der Transformator nur im ersten Quadranten des magnetischen Arbeitsbereiches betrieben. Das resultiert daraus, dass der Strom durch die Primärwicklung nur in einer Richtung fließen kann und daher auch die magnetische Feldstärke  $H$  nur eine Polarität besitzt. Der Transformator wird somit während der Einschaltdauer des Leistungshalbleiters aufmagnetisiert und im Rest der Schaltperiodendauer entmagnetisiert. Beim Gegentaktprinzip ermöglicht alternierendes Schalten von mindestens zwei Schaltern, die zusätzliche

Ausweitung des magnetischen Arbeitsbereiches des Transformators auf den dritten Quadranten der B-H-Kennlinie. Die Polarität des Stroms durch die Primärwicklung kann sich umkehren, der Magnetkreis aktiv entmagnetisiert und mit entgegengesetzter Polarität wieder aufmagnetisiert werden. Dies bedeutet unter der Prämisse, dass die Ummagnetisierungsverluste zunächst nicht betrachtet werden, eine erhebliche Steigerung der Ausnutzung des Magnetmaterials [4.2]. Weiterführende Grundbetrachtungen zu den Eintakt- und Gegentaktwandlern findet man in [1.2], [4.2].

Der prinzipielle Aufbau eines zweistufigen SMPS ist in Abb. 2.1 zu sehen. Die Verbindung des Schaltnetzteils mit dem Stromnetz erfolgt über das Netzeingangsfiler. Dieses Filter hat die Aufgabe, die vom SMPS erzeugten Störungen (Elektromagnetische Verträglichkeit (EMV)) vom Netz fernzuhalten und das SMPS gegen Störungen aus dem Netz zu schützen. Die Erfüllung der EMV-Normen (EN 55014, EN 61000...) muss gewährleistet werden. In dem komplexen System Schaltnetzteil ist die Optimierung des EMV-Verhaltens ein weitreichendes Thema, das bei der Bauelementeauswahl beginnt, über das Printed Circuit Board (PCB)-Layout geht und bei der Optimierung der Schaltgeschwindigkeiten der Leistungshalbleiter endet. Das PCB-Layout bestimmt das spätere EMV-Verhalten des SMPS wesentlich. Der Eingangsgleichrichter, der dem EMV-Filter folgt, ist eine der Schaltnetzteilkomponenten deren Weiterentwicklung in den vergangenen Jahren vernachlässigt wurde. Der Eingangsgleichrichter hat speziell bei niedriger Eingangsspannung ( $V_{IN\_RMS}=90\text{ V}$ ) und dem damit verbundenen hohen Strom große Verluste.

Mehr Aufmerksamkeit wurde hingegen der Power Factor Correction (PFC)-Stufe gewidmet. Ihre Aufgabe besteht darin, den Eingangsstrom des SMPS ( $i_{IN}$ ) mit der Netzspannung ( $v_{IN}$ ) in Phase zu bringen, und den Leistungsfaktor des Schaltnetzteils auf den Wert nahe Eins zu bringen. Die PFC-Stufe bewirkt, dass sich ein SMPS zum Netz hin wie ein ohmscher Widerstand verhält.

Da alle PFCs nach dem Hochsetzsteller-Prinzip bzw. Hoch-Tiefsetzsteller-Prinzip arbeiten, erzeugen sie unabhängig von der momentanen Eingangsspannung ( $v_{IN}$ ) eine konstante DC-Spannung, die von der folgenden Hauptwandler-Stufe verarbeitet wird. Der Hauptwandler eines zweistufigen SMPS schließt die galvanische Trennung, die Ausgangsspannung- bzw. Ausgangsstromregelung und den sekundärseitigen Gleichrichter mit ein. Nach dem sekundärseitigen Gleichrichter steht eine geregelte Ausgangsspannung für die Last zur Verfügung.

Diese Dissertation beschäftigt sich mit der Untersuchung von dreistufigen SMPS-Topologien. Ein dreistufiges SMPS verfügt im Gegensatz zu einer zweistufigen Lösung über eine zusätzliche Wandlerstufe, die die Regulierung des Leistungsflusses von der Hauptstufe übernimmt. Die Idee, die dieser Topologiefamilie zu Grunde liegt, ist die Optimierung der verschiedenen Wandlerstufen und damit die Erhöhung der Leistungsdichte bzw. des Systemwirkungsgrades. Es gibt zwei Arten der Ausführung: die primärseitig geregelten, die im Nachfolgenden als Pre-Regulated SMPS (Abb. 2.2) bezeichnet werden und die sekundärseitig geregelten, auch Post-Regulated SMPS (Abb. 2.3) genannt. Diese Ausführungen werden detailliert vorgestellt.

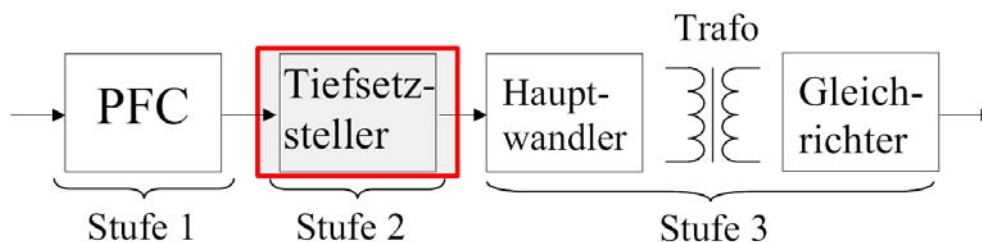
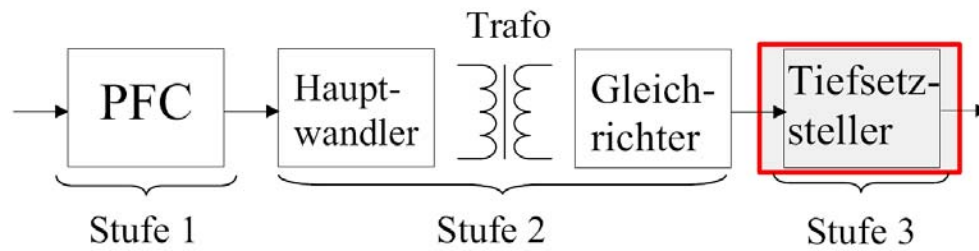


Abb. 2.2 Aufbau eines dreistufigen Schaltnetzteils mit primärseitiger Regelung durch einen Tiefsetzsteller (auszugsweise Darstellung) [7.2]



**Abb. 2.3** Aufbau eines dreistufigen Schaltnetzteils mit sekundärseitiger Regelung durch einen Tiefsetzsteller (auszugsweise Darstellung) [7.2]

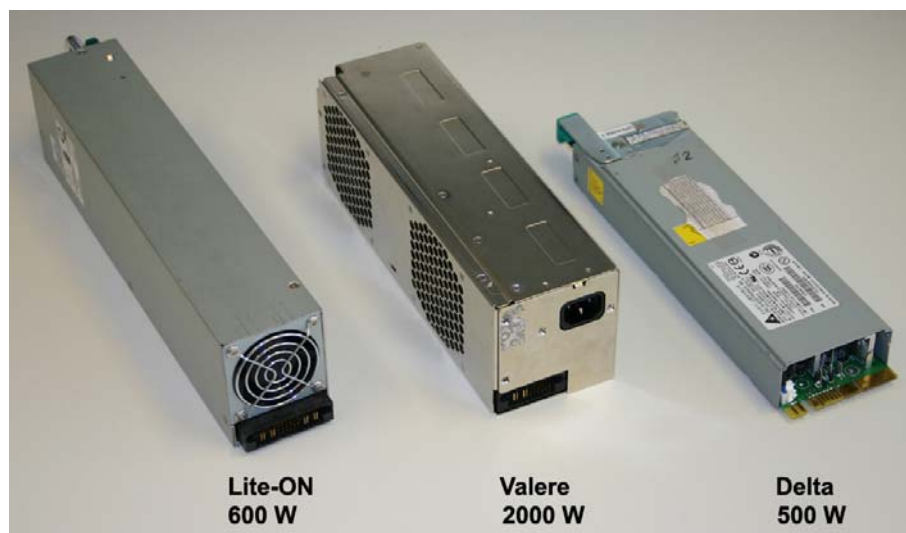
Diese Vorbetrachtungen sollten nur eine kurze Einführung in die Thematik Schaltnetzteil geben. Die folgenden Kapitel dieser Arbeit werden sich vertiefend mit PFC-Stufen, Hauptwandlern (partiell hart schaltend, resonant) und sekundärseitigen Gleichrichterstufen beschäftigen. Die EMV von Schaltnetzteilen ist nur ein Randthema dieser Arbeit.

## 2.2 Stand der Technik

Die Analyse zum Stand der Technik ist in zwei Teilabschnitte gegliedert. Im ersten Teil werden experimentelle Untersuchungen von drei Schaltnetzteilen vorgestellt und im Bezug auf den Stand der Technik bewertet. Im nachfolgenden Abschnitt werden relevante Literaturstellen zum Thema dreistufiger Schaltnetzteiltologien ausgewertet.

### *Praktische Analyse des Standes der Technik*

Die experimentellen Untersuchungen im Rahmen dieser Arbeit wurden im Jahr 2004 mit der Untersuchung von drei kommerziell erhältlichen Server-Schaltnetzteilen begonnen. Es wurden Netzteile der Hersteller Delta, Valere und Lite-On ausgewählt, die den Leistungsbereich von 500 W bis 2000 W abdecken (Abb. 2.4). Sie basieren alle auf dem im Markt dominierenden zweistufigen Konzept.



**Abb. 2.4** Ansicht der untersuchten Server-SMPS

Schaltnetzteile mit einem dreistufigen Konzept waren zu diesem Zeitpunkt am Markt nicht verfügbar. Das zweistufige Konzept bedeutet, die Netzteile verfügen über eine PFC-Stufe mit nachfolgendem Hauptwandler. Die damalige Analyse, die wie folgt gegliedert ist, sollte die Grenzen der Topologien aufzeigen, die Designphilosophie des jeweiligen Herstellers offenlegen und Ansatzpunkte für Verbesserungen liefern.

Gliederung der Analyse:

- Schaltplanerstellung
- Topologieverständnis mit Hilfe von Simulationen
- Messungen elektrischer sowie thermischer Parameter
- Auswertung der gewonnen Daten

Die betrachteten Schaltnetzteile besitzen unterschiedliche Topologien und Schaltungsparameter, die in Tab. 2.1 gegenübergestellt sind. Im unteren Ausgangsleistungsbereich von 500 W bis 800 W dominieren Halbbrückenkonfigurationen als Hauptwandler, im höheren Leistungsbereich über 1000 W werden diese durch Vollbrückenanordnungen abgelöst.

SMPS	Delta DPS-500 EBA	Lite-ON PS-3601-1F	Valere V2000A-VVII
Main-Topology	Half bridge	Asymmetric half bridge (TTF)	Full bridge
PFC-Topology	Boost-PFC	Boost-PFC	Interleaved Boost-PFC
Input voltage range	100 - 240 V	100 - 240 V	200 - 240 V
Output voltage	12 V <sub>DC</sub>	12 V <sub>DC</sub>	48 V <sub>DC</sub>
Output power	500 W	600 W	2000 W
PFC-frequency	100 kHz	90 kHz	70 kHz
Main-frequency	200 kHz	110 kHz	70 kHz
Power density	2,94 W/ inch <sup>3</sup>	5,73 W/ inch <sup>3</sup>	17,65 W/ inch <sup>3</sup>
Cooling	active cooled	active cooled	active cooled

Tab. 2.1 Parameter der untersuchten Server-SMPS

Die PFC-Stufen sind alle in der konventionellen Hochsetzsteller-Bauweise ausgeführt. Dabei existiert im SMPS des Herstellers Valere eine Besonderheit, da hier die PFC-Stufe durch zwei 180° phasenverschoben angesteuerte Hochsetzsteller gebildet wird. Diese Lösung wurde einer Parallelschaltung von PFC-MOSFETs vorgezogen. Diese Interleaved Boost-PFC-Stufe verkleinert die Stromwelligkeit für den Zwischenkreiskondensator sowie für das Eingangsfilter, was sich günstig auf die Dimensionierung und die Lebensdauer auswirkt. Weitere Vorteile sind in der besseren thermischen Balance zwischen den einzelnen Halbleitern bzw. den einzelnen Magnetbauelementen zu sehen. Ein Nachteil ist der höhere steuerungstechnische Aufwand. Detaillierte Betrachtungen zu PFC-Stufen werden im Kapitel 3.5 vorgenommen. Die Netzteile von den Firmen Delta und Lite-ON, deren Schaltpläne in Abb. 2.5 bzw. Abb. 2.6 zu sehen sind, können mit variabler einphasiger Wechselspannung im Bereich von  $100 \text{ V} \leq V_{\text{IN,RMS}} \leq 240 \text{ V}$  betrieben werden (Weitbereichseingang). Die Folge der Auslegung der PFC-Stufe auf Weitbereichseingang ist ein geringer Wirkungsgrad der PFC-Stufe im Vergleich zu einer PFC, die nur für einen schmalen Eingangsspannungsbereich dimensioniert wurde. Das betrachtete Schaltnetzteil der Firma Valere (Abb. 2.7) beispielsweise verfügt über einen kleinen Eingangsspannungsbereich. Die Schaltfrequenzen der verschiedenen PFC-Stufen sind sehr ähnlich. Sie liegen im Bereich von 70 kHz bis 100 kHz. Die Interleaved Hochsetzsteller-PFC erzeugt prinzipbedingt eine Frequenzverdopplung, die an Eingangsfilter und Zwischenkreiskondensator wirksam wird. Die höhere effektive Frequenz bewirkt infolge optimierter Auslegung eine Volumenreduktion der genannten Komponenten. In den Hauptwandler-Stufen wird mit sehr unterschiedlichen Frequenzen geschaltet, das Gerät der Firma Lite-ON arbeitet mit 110 kHz, das Netzteil der Firma Delta hingegen mit 200 kHz und das Gerät der Firma Valere beinhaltet eine Vollbrücke mit 70 kHz, bei der es topologiebedingt zu einer Frequenzverdopplung hinter dem sekundärseitigen Gleichrichter kommt.

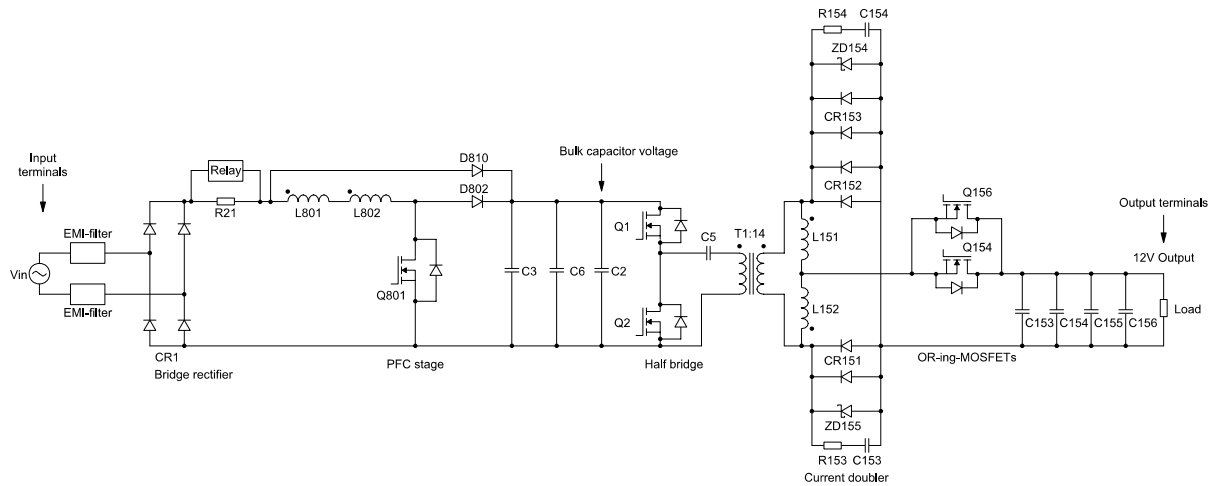


Abb. 2.5 Schaltplan des Delta DPS-500 EBA (Leistungsteil)

Es ist nachvollziehbar, dass die Schaltfrequenzen für die PFC-Stufe und den Hauptwandler unter dem Gesichtspunkt des günstigen EMV-Verhaltens ausgewählt wurden. Leitungsgebundene EMV wird im Frequenzbereich von 150 kHz bis 30 MHz gemessen, das bedeutet, dass alle Schaltfrequenzen im Gerät möglichst weit von dem Messstartpunkt 150 kHz entfernt sein sollten. Eine Entstörung des Gerätes mit einer Grundwelle nahe der Messstartfrequenz wäre sehr schwierig bis unmöglich.

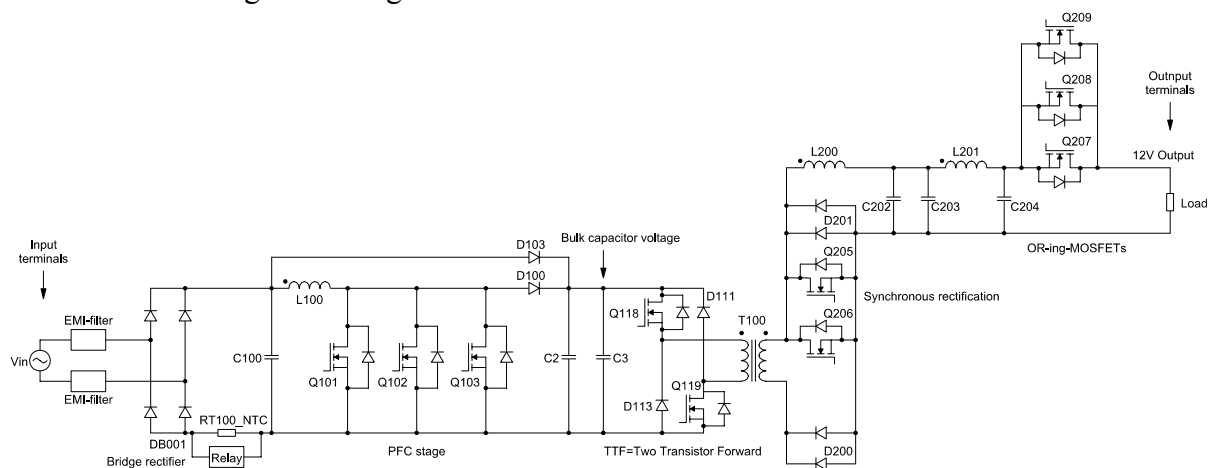
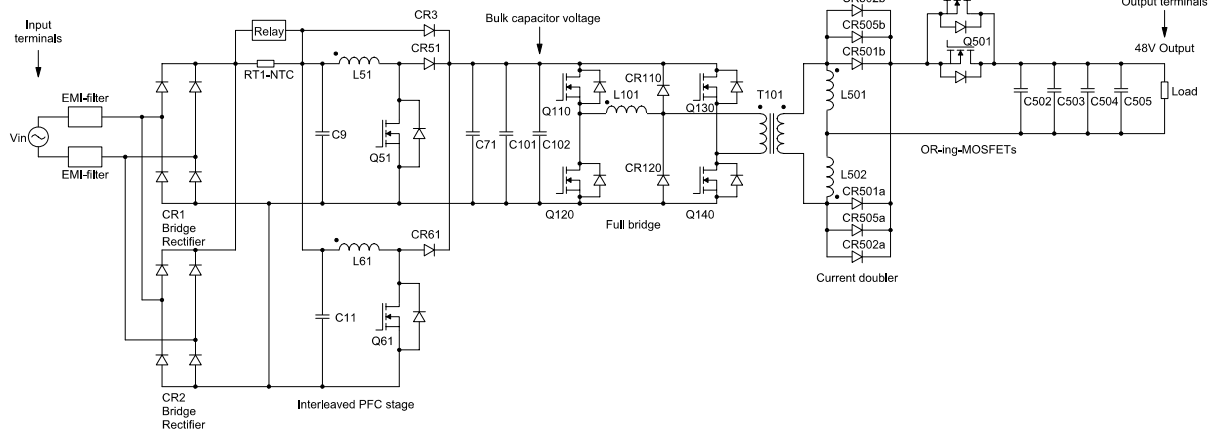


Abb. 2.6 Schaltplan des Lite-ON PS-3601-1F (Leistungsteil)

Die im SMPS der Firma Delta verwendete Frequenz von 200 kHz stellt hinsichtlich der EMV kein Problem dar, da die EMV-Filterdämpfung im Bereich von 200 kHz sehr gut ist. Die EMV-Filterdämpfung nimmt mit steigender Frequenz zu. Die während der Analyse durchgeführten EMV-Messungen unterstreichen die theoretischen Annahmen und bestätigten die Einhaltung der EMV-Normen durch alle Geräte.

Die dem Anhang beigefügten Bilder Abb. A. 1 bis Abb. A. 6 zeigen die Platinen der verschiedenen Netzteile und geben einen Eindruck über die Größe der verschiedenen Komponenten unter dem Einfluss der Schaltfrequenz. Der Einfluss der Schaltfrequenz spiegelt sich bei den drei betrachteten SMPS nicht direkt in der Leistungsdichte wider. Die Leistungsdichte wurde über die Gehäuseaußenmaße und die Ausgangsleistung des Gerätes ermittelt. Die verschiedenen Kühlbedingungen infolge aktiver Kühlung, können in der Leistungsdichte-Betrachtung nicht berücksichtigt werden. Die Leistungsdichte ist also nur ein grober Vergleichswert für Netzteile und ist stark von der Designphilosophie abhängig.



**Abb. 2.7** Schaltplan des Valere V2000A-VVII (Leistungsteil)

Das Netzteil der Firma Delta besitzt absolut gesehen die höchste Schaltfrequenz. Das Gesamtsystem weist aber die im Vergleich geringste Leistungsdichte von  $2,94 \text{ W/inch}^3$  auf. Das Gerät der Firma Valere besitzt hingegen die geringsten absoluten Schaltfrequenzen, verfügt aber aufgrund des gewählten Frequenzverdopplungskonzeptes und des guten thermischen Managements über die höchste Leistungsdichte im Vergleich ( $17,65 \text{ W/inch}^3$ ).

Die Hauptwandler der drei SMPS sollen im Folgenden näher betrachtet werden.

Das Gerät DPS-500 EBA des Herstellers Delta verfügt primärseitig über eine Halbbrücke mit Reihenkondensator, um die Flussbalance für den Transformator zu erreichen. Auf der Sekundärseite befindet sich ein DC-Mittelpunkt (current doubler) mit Diodengleichrichter. Diese Topologie kann theoretisch im Tastverhältnisbereich  $0 \leq D \leq 1$  arbeiten.

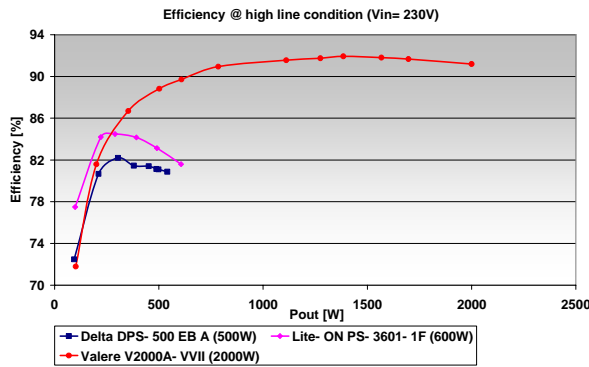
Das Gerät des Herstellers Lite-ON ist als Two Transistor Forward (TTF) ausgeführt. Der Gleichrichter ist hier teilweise mit MOSFETs im Synchronbetrieb realisiert. Die Schaltvorgänge der Topologie werden in [1.2] eingehend beschrieben. Der Arbeitsbereich dieser Topologie ist auf  $0 \leq D \leq 0,5$  begrenzt.

Die im Gerät V2000A-VVII vom Unternehmen Valere verwendete Vollbrücke kann im Tastverhältnisbereich  $0 \leq D \leq 1$  betrieben werden. Diese Topologie verfügt über ein patentiertes Ansteuerkonzept. Die high-side-MOSFETs arbeiten im Zero Voltage Switching (ZVS)-Betrieb, die low-side-MOSFETs der Vollbrücke schalten hart. Weiterhin verfügt diese Schaltung über eine Reiheninduktivität (L101) mit Clampingdioden (CR110, CR120) im Transformatorpfad. Diese Induktivität wirkt einerseits als Limitierung für den Stromanstieg ( $di/dt$ ) in der Hauptstufe und andererseits als induktiver Spannungsteiler zwischen der internen Trafostreuung und der externen Reiheninduktivität. Diese beiden Wirkungen verringern die Überspannung an den sekundärseitigen Gleichrichterdiode, die mit einem DC-Mittelpunkt (current doubler) kombiniert sind. Zusätzlich unterstützt die Drossel den ZVS-Betrieb. Die Kombination von Ansteuerkonzept und Reiheninduktivität mit Clampingdioden führt zur Erzielung eines hohen Wirkungsgrades im Teillastbetrieb.

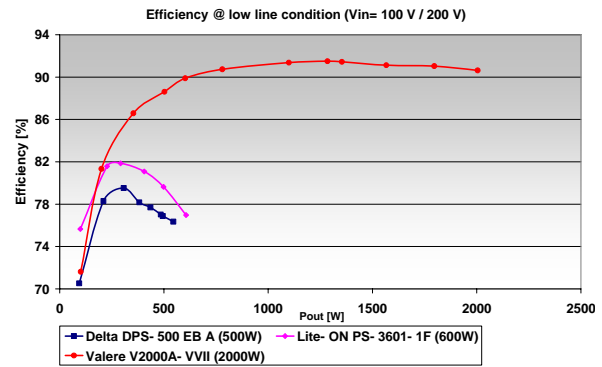
Alle untersuchten SMPS verfügen über OR-ing-MOSFETs, die das Netzteil im Fehlerfall vom Ausgang abtrennen können. Diese MOSFETs sind während des Normalbetriebs permanent eingeschaltet und sollten deshalb sehr niederohmig sein.

Die Wirkungsgrade der drei Schaltnetzteile sind in Abb. 2.8 für hohe Eingangsspannung und in Abb. 2.9 für niedrige Eingangsspannung dargestellt.

Das Gerät des Unternehmens Valere verfügt nur über einen kleinen Eingangsspannungsbereich von  $200 \text{ V}$  bis  $240 \text{ V}$ , wo hingegen die beiden anderen Geräte einen weiten Eingangsspannungsbereich von  $100 \text{ V}$  bis  $240 \text{ V}$  unterstützen. Ein kleiner Eingangsspannungsbereich wirkt sich positiv auf den Gesamtwirkungsgrad aus, da die PFC-Stufe für einen Arbeitspunkt optimiert werden kann.



**Abb. 2.8** Wirkungsgrad der drei SMPS bei hoher Eingangsspannung  
 $V_{IN\_RMS}=230\text{ V}$



**Abb. 2.9** Wirkungsgrad der drei SMPS bei niedriger Eingangsspannung  
 $V_{IN\_RMS}=100\text{ V}$  für Delta & Lite-ON  
 $V_{IN\_RMS}=200\text{ V}$  für Valere

Bei einer PFC für Weitbereichseingang wird diese für die minimale Eingangsspannung optimiert, beim Betrieb an hoher Eingangsspannung arbeitet sie dann meist nicht optimal.

Das Netzteil der Firma Valere besitzt im Vergleich den höchsten Wirkungsgrad (>90%). Das resultiert aus mehreren Faktoren: Die relativ niedrige Schaltfrequenz bewirkt geringe Schaltverluste in den Halbleitern. Das gute thermische Management in Verbindung mit der Nutzung des Interleaved Boost-PFC-Konzeptes sorgt für eine optimale Verlustverteilung auf die einzelnen Bauelemente. Die hohe DC-Ausgangsspannung von 48 V bewirkt einen relativ niedrigen Strom im Vergleich zu einem 12 V System bei gleicher Leistung. Weiterhin positiv wirkt sich die Verwendung der Reiheninduktivität mit Clampingdioden auf die sekundärseitigen Überspannungen und somit auf die Gleichrichterdiodeauswahl aus.

Das Schaltnetzteil der Firma Delta besitzt mit 81% ( $V_{IN\_RMS}=230\text{ V}$  /  $P_{OUT}=500\text{ W}$ ) im Vergleich den niedrigsten Wirkungsgrad. Die Ursache liegt in der hohen Schaltfrequenz von 200 kHz in der Hauptstufe. Bestätigt wird diese Annahme durch die thermische Analyse im Anhang Abb. A. 7 und Abb. A. 8, wo eine hohe Temperatur der Hauptwandler-MOSFETs ersichtlich ist, die auf Schaltverluste zurückzuführen sind. Weitere wesentliche Verlustquellen sind die sekundärseitigen Gleichrichterdioden und die OR-ing-MOSFETs. Die Verlustverteilung auf die einzelnen Leistungskomponenten ist in Abb. A. 9 zu sehen. Der Transformator wurde auf eine geringe Übertemperatur optimiert, wie an dem Verhältnis von Kern- zu Wicklungsverlusten zu sehen ist. Betragen die Wicklungsverluste ca. die Hälfte der Kernverluste, so ist der Transformator auf ein Übertemperaturminimum optimiert [8.1].

Die Messungen am Gerät PS-3601-1F von Firma Lite-ON ergaben einen Gesamtwirkungsgrad von 82% ( $V_{IN\_RMS}=230\text{ V}$  /  $P_{OUT}=600\text{ W}$ ). Der Wirkungsgrad-Verlauf besitzt sein Maximum schon vor der maximalen Ausgangsleistung von 600 W. Das deutet auf eine optimierte Systemauslegung hin. Ein System, das seinen maximalen Wirkungsgrad bei größtmöglicher Ausgangsleistung besitzt, ist in den meisten Fällen überdimensioniert.

Die Hauptverluste entstehen beim Gerät von Firma Lite-ON in den Hauptwandler-MOSFETs und den sekundärseitigen Gleichrichtern (Abb. A. 12). Der sekundärseitige Gleichrichter ist teilweise mit MOSFETs bestückt, die im Synchronbetrieb operieren, was sich positiv auf den Gesamtwirkungsgrad auswirkt. Die Verluste des Transformators in diesem System sind relativ hoch, dies macht sich auch in der Übertemperaturbetrachtung Abb. A. 10 und Abb. A. 11 bemerkbar. Der Wirkungsgrad-Unterschied beim Betrieb mit hoher und mit niedriger Eingangsspannung ist bei allen Geräten sehr gut mittels der Übertemperaturbetrachtung zu erklären. In dem Eingangsfilter, dem Eingangsgleichrichter und den PFC-Komponenten entstehen durch den höheren Eingangsstrom höhere Verluste.



Die größten Verluste entstehen beim SMPS der Firma Valere in den sekundärseitigen Gleichrichterdioden, den MOSFETs der Vollbrücke und in dem Brückengleichrichter am Netzeingang (Abb. A. 15). Der Transformator ist, wie beim Netzteil von Firma Delta, auf ein Über-temperaturminimum optimiert. Der Gesamtwirkungsgrad wurde mit 91 % ( $V_{IN\_RMS}=230\text{ V}$  /  $P_{OUT}=2000\text{ W}$ ) ermittelt. Bei der Betrachtung der Übertemperaturen ist kaum ein Unterschied zwischen 200 V und 230 V Eingangsspannung zu bemerken (Abb. A. 13, Abb. A. 14).

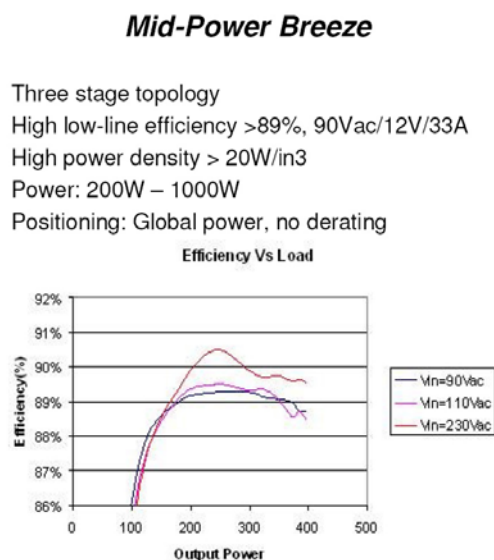
Der Vergleich der verschiedenen Systeme lässt den Schluss zu, dass der Wirkungsgrad mit steigender Systemleistung größer wird, da ein System für höhere Ausgangsleistung gezielter als ein Netzteil für niedrige Ausgangsleistung optimiert werden kann. Die Ursache liegt darin, dass der Kostenaspekt mit steigender Ausgangsleistung etwas in den Hintergrund tritt. Der Energieaufwand zur Kühlung des SMPS ist bei allen untersuchten Netzteilen ein großer Anteil in der Verlustleistungsbilanz. Eine Systemoptimierung auf geringe Gesamtverluste wirkt sich auch positiv auf die Verkleinerung der Kühlleistung aus, was ein System nachhaltig verbessert.

Eine detaillierte Übersicht der experimentellen Untersuchungen zum Stand der Technik und eine Zusammenfassung zur Designphilosophie kann in Anhang Abb. A. 16 bis Abb. A. 20 nachgelesen werden.

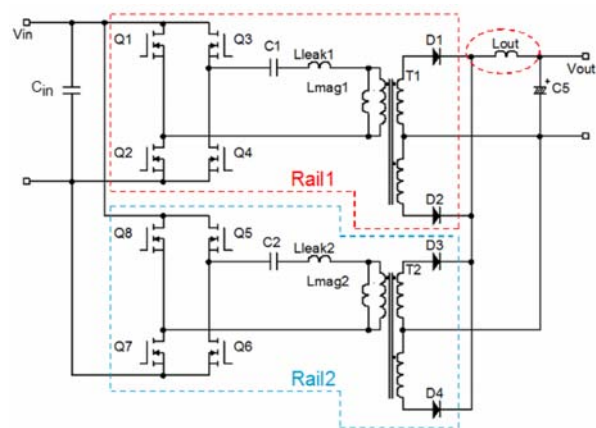
Nachfolgend wird auf die Auswertung von Literaturquellen eingegangen, die sich mit dreistufigen Konzepten beschäftigen.

### Ergebnisse der Literaturrecherche

Eine Literaturrecherche zum Beginn der Arbeit im Jahr 2004 lieferte keine Ergebnisse zur Thematik dreistufiger Schaltnetzteile. Eine spätere Recherche brachte zwei Veröffentlichungen aus dem Jahr 2006 hervor. Es wurde festgestellt, dass sich führende SMPS-Hersteller (Delta, Commergy, Emerson) mit der Thematik auseinandersetzen.



**Abb. 2.10** Breeze Mid Power SMPS-Serie von der Firma Commergy; Eigenschaften der dreistufigen Topologien [7.10]



**Abb. 2.11** Forced Resonant Bus Converter von der Firma Emerson Network Power; Hauptstufe der dreistufigen Topologie (LLC-Konverter) [Quelle: Firma Infineon]

Eine Veröffentlichung der Firma Commergy verweist auf die Breeze Mid Power SMPS-Serie, die ein dreistufiges Konzept besitzt und für einen hohen Wirkungsgrad bei niedriger Eingangsspannung ( $V_{IN\_RMS}=90\text{ V}$ ) konzipiert ist [7.10]. In Abb. 2.10 werden die Eckdaten der Topologie kurz zusammengefasst. Es wird auf einen hohen Teillastwirkungsgrad und eine

hohe Leistungsdichte  $>20 \text{ W/inch}^3$  abgezielt. Die Leistungsdichte-Vergrößerung soll unter anderem mittels Einsparung von Zwischenkreiskapazität erreicht werden.

Das Unternehmen Emerson Network Power besitzt ebenfalls ein dreistufiges Schaltnetzteil-konzept in ihrem Lieferprogramm, den sogenannten Forced Resonant Bus Converter (Abb. 2.11). Dieser Konverter besteht aus einem primärseitig angeordneten Tiefsetzsteller zur Leistungsstellung und zwei versetzt getakteten LLC-Konvertern, die mit fester Frequenz und festem Tastverhältnis arbeiten. Das besondere an der Schaltung der LLC-Konverter ist, dass die Kommutierung zwischen den zwei Phasen durch die Ausgangsinduktivität ( $L_{OUT}$ ) erzwungen wird. Die Induktivität wirkt weiterhin positiv auf die Stromaufteilung zwischen beiden Zweigen und auf die Reduktion der Ausgangswelligkeit. Der Forced Resonant Bus Converter besitzt sehr hohe Teillastwirkungsgrade ( $>90\%$  bei  $10\%$  Ausgangsleistung). Die vorgestellte Lösung wird im Ausgangsleistungsbereich von  $200 \text{ W}$  bis  $3000 \text{ W}$  eingesetzt.

Die dritte interessante Veröffentlichung stammt von der Universität Paderborn in Zusammenarbeit mit dem Schaltnetzteilhersteller Delta Energy Systems [7.11]. In dieser Publikation werden die Vorteile von dreistufigen Konzepten erläutert und mehrere potentielle Ansätze auf theoretischer Basis gegenübergestellt (Abb. 2.12).

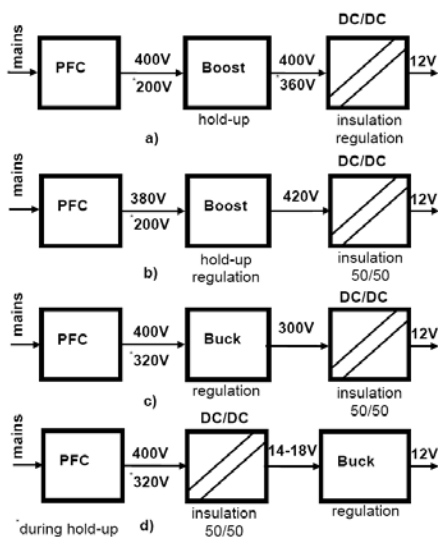


Abb. 2.12 Verschiedene Realisierungsmöglichkeiten für dreistufige Schaltnetzteile [7.11]

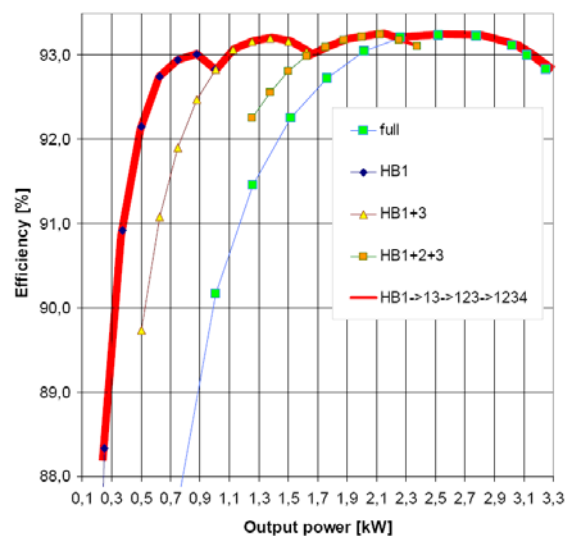


Abb. 2.13 Wirkungsgrad des dreistufigen 12 V/ 3 kW SMPS von der Firma Delta Energy Systems [7.11]

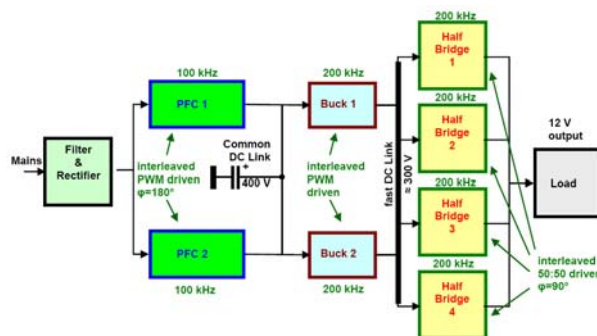


Abb. 2.14 Prinzipdarstellung des dreistufigen SMPS von der Firma Delta Energy Systems (3 kW/ 12 V) [7.11]

Aus dem Vergleich der primärseitig geregelten Schaltnetzteile (Pre-Regulated SMPS) und sekundärseitig geregelten Schaltnetzteile (Post-Regulated SMPS) kristallisierte sich für die Ausgangsleistung von 3 kW eine Lösung mit primärseitigem Tiefsetzsteller heraus (Abb. 2.12 c)). Die Lösung mit sekundärseitigem Tiefsetzsteller ist für 3 kW Ausgangsleistung, aufgrund des hohen Ausgangsstromes von 250 A in einem 12 V System, nicht praktikabel. Bei den Untersuchungen am DC-DC Konverter, der als reiner Gleichspannungstransformator („DC-Transformator“) arbeitet, wurden eine Halbbrücke, eine Vollbrücke und einen Interleaved Two Transistor Forward Konverter (ITTF) miteinander verglichen. Die Halbbrücke mit DC-Mittelpunkt (current doubler) wurde aufgrund der guten Transformatorausnutzung und der automatischen Transformatorflussbalance den anderen beiden Ansätzen vorgezogen. Die Veröffentlichung zeigt Ergebnisse eines 12 V/ 3 kW SMPS das mit zwei PFC-Stufen, zwei Tiefsetzstellern und vier Halbbrücken ausgestattet ist (Abb. 2.14). Die Tiefsetzsteller sind primärseitig angeordnet und übernehmen die Leistungsstellung und die Absicherung der Lastversorgung während Netzspannungsschwankungen (Erfüllung der hold-up time Anforderungen). Die Halbbrücken arbeiten mit einem konstanten Übertragungsverhalten. Je nach Leistungsbedarf können mehrere Halbbrücken ein- bzw. ausgeschaltet werden. Dieses Konzept erreicht über einen weiten Lastbereich einen hohen Wirkungsgrad von ca. 93 % (Abb. 2.13).

Die vorgestellten Veröffentlichungen lieferten für diese Arbeit wertvolle Hinweise bezüglich der Topologieauswahl. Sie unterstreichen nochmals die Aktualität dieser Arbeit.

*Die experimentelle Analyse zum Stand der Technik lieferte mehrere Ansatzpunkte für die Verbesserung von Schaltnetzteilen. Folgende Hauptverlustquellen sind zu optimieren: die Eingangsgleichrichter, besonders bei hoher Ausgangsleistung und niedriger Eingangsspannung; die primärseitigen Hauptwandler-MOSFETs; die OR-ing-MOSFETs und die sekundärseitigen Gleichrichter. Der Einsatz von Synchrongleichrichtern ist für die Erzeugung eines hohen Wirkungsgrades unerlässlich. Hohe Schaltfrequenzen bringen mit den verwendeten passiven und aktiven Bauelementen keinen Vorteil bezüglich des Wirkungsgrades. Topologien, die mit Frequenzverdopplung arbeiten, lieferten bessere Wirkungsgrade.*

*Während der Literaturrecherche wurden nur wenige Veröffentlichungen zur Thematik dreistufiger Schaltnetzteile gefunden, die aber hinsichtlich wichtiger Hinweise sehr ergiebig waren. Die gefundenen Literaturquellen unterstreichen die Wichtigkeit und Aktualität dieser Arbeit.*

### 3. Analyse des Optimierungspotentials und Zielstellung der Arbeit

#### 3.1 Vorbemerkungen

Nachdem der Stand der Technik auf dem Gebiet der Schaltnetzteile untersucht wurde, werden in diesem Kapitel die Optimierungspotentiale von Komponenten und Teiltopologien vorgestellt und Zielstellungen der Arbeit definiert. Die Auslotung der Potentiale erfolgt anhand von konkreten Muster- und Prinzipanalysen.

#### 3.2 Leistungshalbleiter

##### 3.2.1 Vorbemerkungen

Die Kenntnis des elektrischen Verhaltens der Leistungshalbleiter ist für die optimale Auslegung eines Schaltnetzteils unabdingbar. Die experimentelle Analyse zum Stand der Technik hat gezeigt, wie groß der Anteil der Halbleiterverluste an den Gesamtverlusten eines SMPS ist. Es ist also notwendig, entsprechend der verfügbaren Halbleiter, die optimale Topologie auszuwählen, damit man ihre Vorteile bestmöglich ausnutzen kann.

Nach dieser kurzen Einführung beschäftigen sich die nachfolgenden Unterkapitel mit ausgewählten Schalterfamilien, die Verwendung im experimentellen Teil dieser Arbeit fanden.

##### 3.2.2 Hochvolt-Silizium (Si)-Leistungs-MOSFETs

Im Gegensatz zu Bipolar-Transistoren, bei denen – wie schon am Name ersichtlich – beide Ladungsträgerarten am Stromfluss beteiligt sind, tragen bei MOSFETs nur Majoritätsladungsträger zum Stromfluss bei: bei n-Kanal MOSFETs nur die Elektronen, bei p-Kanal Bauelementen nur die Löcher. Diese Eigenschaft hat zwei wesentliche Vorteile [2.7]:

- Der Drain-Source-Spannungsabfall eines Hochvolt-MOSFETs ist kleiner als dies bei der Sättigungskennlinie eines Bipolar-Transistors möglich ist. Insbesondere bei großen Strömen bedeutet das eine erhebliche Verlustreduktion.
- Da es sich bei einem MOSFET um ein unipolares Bauelement handelt, besitzt dieser im Durchlassfall keine Speicherladung. Der bei Bipolar-Bauelementen übliche Tailstrom bei Abschaltvorgängen ist deshalb nicht vorhanden. Extrem schnelle Schaltzeiten und deutlich geringere Schaltverluste machen den MOSFET deshalb zum idealen Schalter für getaktete Anwendungen wie Stromversorgungen.

In der Leistungselektronik werden fast ausschließlich selbstsperrende n-Kanal MOSFETs verwendet. Aus diesem Grund beschäftigt sich dieses und das folgende Kapitel 3.2.3 nur mit dieser Art Leistungs-MOSFETs. Leistungs-MOSFETs lassen sich in Abhängigkeit von ihrer Sperrspannungsklasse in Hochvolt- und Niedervolt-MOSFETs einteilen. Als Hochvolt-MOSFETs werden alle MOSFETs mit einer Sperrspannung  $V_{DS} > 300$  V bezeichnet. Für beide Typen gibt es unterschiedliche Anforderungen und Konzepte.

Grundlagen zu Aufbau und Funktionsweise von MOSFETs werden in [1.4] und [2.15] gegeben. Die Herausforderung des Hochvolt-Schalters liegt darin, dass er eine hohe Sperrfähigkeit mit sehr guten Eigenschaften im eingeschalteten Zustand verbinden soll. Weiterhin soll er einfach anzusteuern, schnell schaltbar, überlastfähig und natürlich billig sein. Für einen Halbleiter bedeutet die Anforderung - hohe Sperrspannung - eine niedrige Dotierung und eine relativ große Dicke der spannungsaufnehmenden Schicht. Aus dem Wunsch nach guten Durchlasseigenschaften resultieren dagegen eine hohe Dotierung und eine geringe Dicke der aktiven Schicht.

Dieser Widerspruch wurde als erstes mittels Hochvolt-Bipolar-Transistoren gelöst. Leider benötigen diese Schalter im eingeschalteten Zustand einen Basis-Strom, der nur um ein bis zwei Größenordnungen unter dem Laststrom liegt, wodurch die Ansteuerschaltung sehr komplex wird. Hinzu kommen relativ hohe Parameterschwankungen [2.7].

Bei den Schaltnetzteilen ist der MOSFET heute der dominierende Schalter. Der Elektronenstrom wird mithilfe eines lateralen oder vertikalen MOS-Kanal gesteuert und fließt bei Leistungstransistoren üblicherweise vertikal durch die spannungsaufnehmende Schicht zum rückseitigen Drain-Kontakt (Abb. 3.1). Um eine hohe Sperrfähigkeit zu erreichen, ist die Dotierung der spannungsaufnehmenden Schicht entsprechend niedrig. Da im eingeschalteten Zustand keine zusätzlichen Ladungsträger injiziert werden, zeigt dieses Konzept einen sehr hohen flächenspezifischen Widerstand, der als Funktion der Spannung überproportional stark mit einer Potenz zwischen 2,4 bis 2,6 ansteigt. Dieser gravierende Nachteil führt dazu, dass in der Anwendung versucht wird, mit einer möglichst geringen Sperrspannungsfähigkeit auszukommen, wie z.B. 450 V im amerikanischen Netz oder 500 V im 230 V Netz (PFC-Stufen). Als geeignetes Bewertungskriterium (Figure of merit) hat sich bei MOSFETs der sogenannte flächenspezifische Widerstand  $R_{DSon} \cdot A$  etabliert. Er gibt an, welchen Einschaltwiderstand man mit einer Fläche von 1 mm<sup>2</sup> bei einer gegebenen Durchbruchspannungsfestigkeit erzielen kann [2.7].

Die Weiterentwicklung des Konzepts in den 1980ern und 1990ern konnte diesen fundamentalen Nachteil bisher nicht lösen. Im günstigsten Fall erreicht man knapp das sogenannte Silizium-Limit, das sich als Lösung des zweidimensionalen Optimierungsproblems ergibt, wenn man mit einem Dotierungsverlauf Leitfähigkeit und Sperrfähigkeit gleichzeitig zu maximieren versucht [2.7]. Abb. 3.1 zeigt die Struktur eines konventionellen MOSFETs.

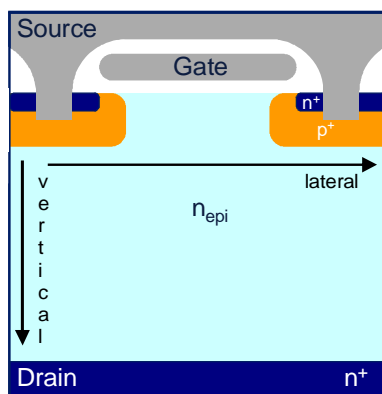


Abb. 3.1 Struktur eines konventionellen MOSFETs [Quelle: Firma Infineon]

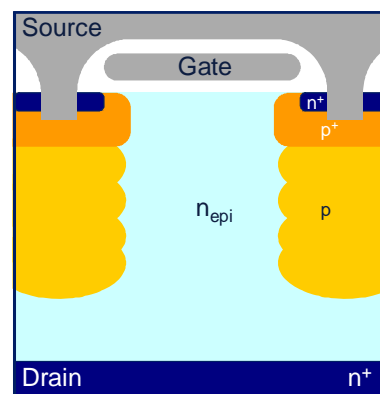


Abb. 3.2 Struktur eines MOSFETs mit Kompensationsprinzip, CoolMOS [Quelle: Firma Infineon]

Wie aus der vorangegangenen Beschreibung ersichtlich stößt das Bauelementkonzept an fundamentale physikalische Grenzen, die einer grundsätzlichen Optimierung des Hochvolt-Schalters in Richtung idealer Schalter im Wege stehen. Der hohe Einschaltwiderstand des MOSFETs - begrenzt durch das Silizium-Limit - ist das Haupthindernis für verlustleistungsarmen Stromfluss.

Abb. 3.3 verdeutlicht, dass bei einem Hochvolt-Schalter der Hauptanteil am  $R_{DSon}$  durch den Widerstand der Epitaxieschicht  $R_{epi}$  gebildet wird. Von der Epitaxieschicht wird die Spannung aufgenommen. Die Dicke der Schicht bestimmt die Spannungsklasse des Bauelementes. Die Verbesserung des Hochvolt-Schalters ist folglich hier nicht evolutionär zu erreichen sondern nur mittels Adaption eines neuen Prinzips.

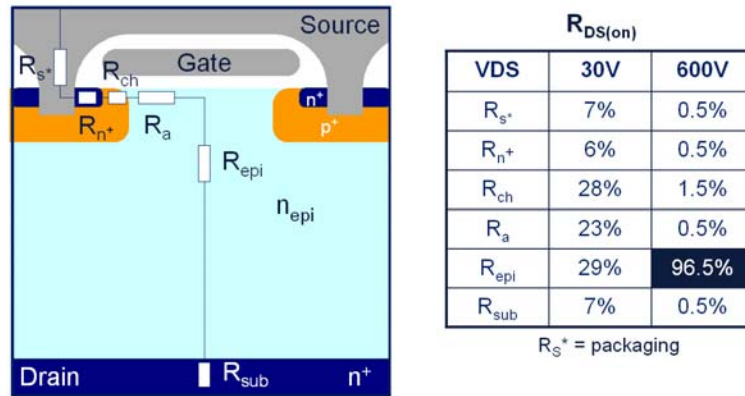


Abb. 3.3 Vergleich der Zusammensetzung des Durchlasswiderstandes bei Niedervolt- und Hochvolt-MOSFETs [Quelle: Firma Infineon]

Erinnert sei noch einmal an die Eingangsanforderungen an einen idealen Hochvolt-Schalter: hohe Sperrspannung, geringe Durchlassverluste, schnelles Schalten, Überlastfähigkeit, geringe Kosten. Man benötigt im eingeschalteten Zustand viele Ladungsträger, im Sperrfall dagegen wenige.

Die revolutionäre Lösung dieses Problems beruht darauf, beide Ladungsträgerarten im Bauelement räumlich voneinander zu trennen, sodass sich im Sperrfall ihre Nettoladung gegenseitig auf nahezu null ausgleicht. Im eingeschalteten Zustand dagegen steht die unverminderte Dotierung eines der beiden Ladungsträgertypen für den Stromfluss zur Verfügung.

Hiermit lässt sich auf einfache Weise das Silizium-Limit durchbrechen, da die Limitierung des konventionellen MOSFETs mit einem Dotierprofil Widerstand und Sperrspannung zu optimieren, nicht mehr existiert. Diese Idee hat aufgrund der ausgleichenden Wirkung der p- und n-Gebiete zum Kompensationsprinzip geführt. Das Kompensationsprinzip ist seit langem für Lateraltransistoren als RESURF bekannt. Die Adaption auf Vertikaltransistoren galt jedoch lange Zeit als technologisch nicht machbar.

Die Anwendung in einem kommerziellen Produkt gelang erst 1998 mit dem als Markenzeichen eingetragenen CoolMOS-Transistor von Firma Infineon Technologies [2.7]. Zum heutigen Zeitpunkt gibt es bereits weitere Halbleiterhersteller die ein Kompensationsprinzip umgesetzt haben, dazu zählen unter anderen Fairchild, STMicroelectronics und Toshiba. Abb. 3.2 zeigt das Bauelementkonzept des CoolMOS.

Diese neuartige Struktur des CoolMOS-Transistors erlaubt eine drastische Reduktion des Einschaltwiderstands ( $R_{DS(on)}$ ), da nun das Dotierniveau der leitfähigen n-Zonen von der Sperrspannungsanforderung an das Bauelement entkoppelt ist. So benötigt man für ein höhersperrendes Bauelement zwar eine größere Dicke der spannungsaufnehmenden Zone und eine entsprechend tiefer reichende p-Säule, jedoch keine geringere Dotierung mehr. Damit wird der überproportional starke Anstieg des Einschaltwiderstands mit steigender Sperrspannung auf einen lediglich linearen Anstieg reduziert.

Abb. 3.9 zeigt die in der CoolMOS-Produktfamilie erzielten flächenspezifischen Widerstände als Funktion der Sperrspannung im Vergleich zu einer konventionellen Lösung und zum Silizium-Limit. Bei 600 V erreicht CoolMOS CP einen etwa Faktor fünf niedrigeren Widerstand, als die besten kommerziell erhältlichen konventionellen MOSFETs. Damit ist bei gegebener Fläche oder in einem gegebenen Transistorgehäuse ein entsprechend niedriger Einschaltwiderstand möglich (z.B. im TO-220 Gehäuse 99 mΩ statt 600 mΩ oder bei gegebenem Widerstand ein entsprechend kleinerer Chip bzw. ein entsprechend kleineres Package). Dieses Verkleinerungspotential ist insbesondere für Applikationen mit hoher Leistungsdichte von großem Vorteil.

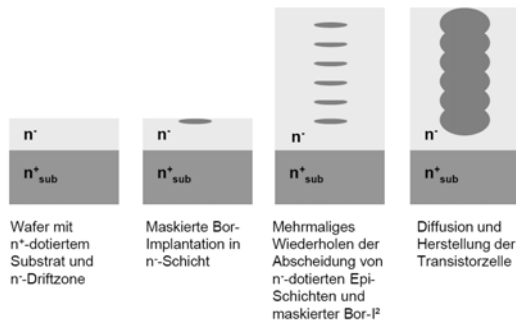


Abb. 3.4 Einzelschritte zum Aufbau der Säulenstruktur des Kompensationsbauelementes mittels Multi-epitaxie-Verfahren [2.7]

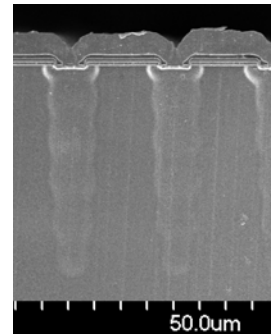


Abb. 3.5 Struktur eines Kompensationsbauelementes unter dem Rasterelektronenmikroskop (REM) [Quelle: Firma Infineon]

Die Herausforderung des CoolMOS-Konzepts liegt in der Herstellung der dicht gepackten, tief in die aktive Zone hineinreichenden p-Säulenstruktur und der exakten Kontrolle der Gesamtladung der jeweiligen p- und n-Säulen. Diese Ladungskontrolle hat erheblichen Einfluss auf die Sperrspannung des Bauelementes und stellt heute eine prozesstechnisch gegebene Limitierung für Kompensationsbauelemente dar. Eine Weiterentwicklung der Bauelemente in Richtung noch niedrigerer Einschaltwiderstände erfordert daher begleitende Verbesserungen an den im Herstellungsprozess beteiligten Einzelprozessen. Als Herstellungsprozess hat sich heute bei allen kommerziell erhältlichen Produkten das Multi-epitaxie-Verfahren durchgesetzt. Abb. 3.4 skizziert die Abfolge der benötigten Einzelprozessschritte [2.7]. Die im Ergebnis dieses Herstellungsprozesses entstehende Struktur wird im Abb. 3.5 als Rasterelektronenmikroskopieaufnahme dargestellt.

Die Aufhebung des Zusammenhangs zwischen Durchbruchspannung und Durchlasswiderstand des klassischen MOSFETs ist die herausragende Eigenschaft des Kompensationsbauelementes. Es wird durch die räumliche Trennung der p- und n-Gebiete innerhalb einer Transistorzelle erreicht. Die Einstellung der Dotierniveaus beider Gebiete erfolgt so, dass sich die Ladungen im Rahmen der Fertigungstoleranzen nahezu aufheben – sie kompensieren sich, daher der Name: Kompensationsbauelement.

Nachfolgend wird eine kurze Zusammenfassung zur Funktion von Kompensationsbauelementen gegeben, die mittels Abb. 3.6 und Abb. 3.7 illustriert wird.

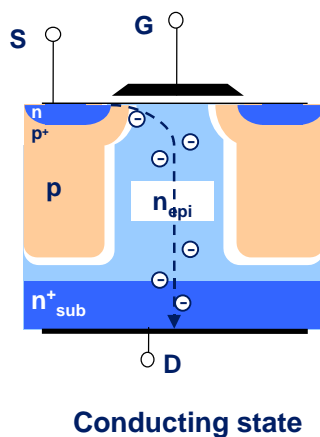


Abb. 3.6 Durchlassfall eines Kompensationsbauelementes [2.7]

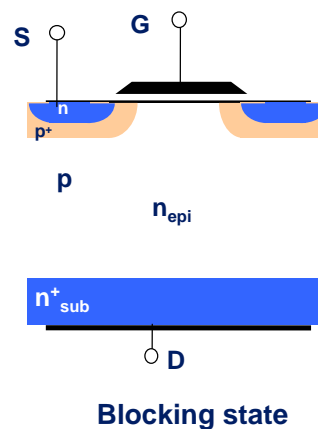
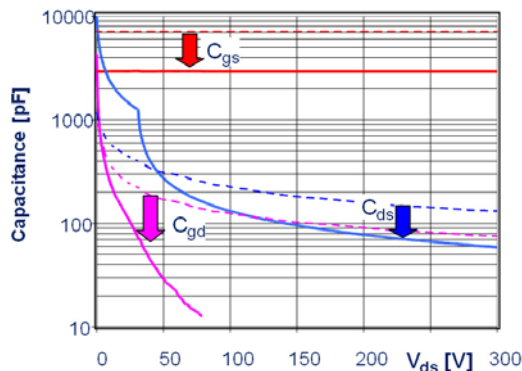


Abb. 3.7 Sperrfall eines Kompensationsbauelementes [2.7]

Bei Anlegen einer Spannung im Sperrbetrieb werden die Ladungsträger zunächst entlang der Umfanglinie des pn-Übergangs der beiden Dotiergebiete ausgeräumt. Es entsteht eine Raumladungszone längs der Säulenstruktur, die primär eine laterale Feldkomponente erzeugt. Die Ladungsträger werden dabei in der p- und n-Säule quasi von zwei Seiten aus der Driftstrecke herausgepresst. Bereits bei relativ geringen Spannungen (typisch <50 V) ist die Säulenstruktur vollständig ausgeräumt und die Raumladungszone wirkt wie eine quasi intrinsische Schicht. Sobald die gesamte Säulenstruktur ausgeräumt ist, erfolgt die weitere Sperrspannungsaufnahme über ein Ansteigen des vertikalen elektrischen Feldes in der Raumladungszone und über eine vertikale Ausdehnung der Raumladungszone in der verbleibenden Driftstrecke. Es bildet sich eine Feldverteilung, bei der sich laterale und vertikale Feldkomponente überlagern. Für eine maximale Durchbruchspannung bei gleichzeitig bestmöglichem Durchlassverhalten sind vertikale und laterale Feldkomponente idealerweise gleich groß [2.7]. Der beschriebene Aufbau der Raumladungszone über die Säulenstruktur der p- und n-Gebiete bei Anlegen einer Sperrspannung macht sich über den Sperrfall hinaus auch beim Ein- und Ausschalten bemerkbar. Da die p- und n-Gebiete bereits bei relativ geringer Sperrspannung, sprich am Anfang des Schaltvorgangs, vollständig ausgeräumt werden, ist die Raumladungszone bereits nach sehr kurzer Zeit aufgebaut. Dies führt zu einem stark nichtlinearen Verlauf der Drain-Source-Kapazität  $C_{DS}$  oder Ausgangskapazität  $C_{OSS}$ , da sich im Gegensatz zum klassischen MOSFET nicht nur die Weite der Raumladungszone mit steigender Spannung ändert sondern darüber hinaus auch die Oberfläche der mit jeweils Source und Drain verbundenen p- und n-Gebiete. Sobald die p- und n-Säulen bei etwa 50 V ausgeräumt sind, erreicht die Ausgangskapazität infolge der kleineren Chip-Fläche einen sehr niedrigen, nun nahezu spannungsunabhängigen Wert. Die Gate-Drain-Kapazität  $C_{GD}$  oder Rückwirkungskapazität besitzt aufgrund der raschen Ausdehnung der Raumladungszone in der n-Säule ebenfalls einen stark nichtlinearen Verlauf mit sehr kleinen Werten über 50 V. Die Gate-Source-Kapazität profitiert in erster Linie vom Flächenshrink, der durch das Kompensationsprinzip im Vergleich zu konventionellen Power-MOSFETs ermöglicht wird. Abb. 3.8 zeigt eine Gegenüberstellung der Transistorkapazitäten eines konventionellen MOSFETs mit einem CoolMOS für jeweils 600 V sperrende Bauelemente mit 190 mΩ Einschaltwiderstand. Es fällt die starke Nichtlinearität der Kapazitäten  $C_{DS}$  und  $C_{GD}$  auf, die sich im Schaltverhalten der MOSFETs widerspiegelt.



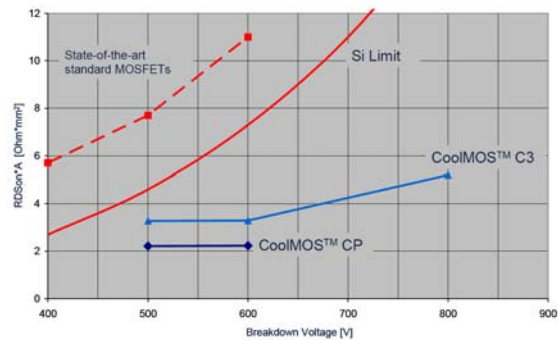
$$C_{iss} = C_{gs} + C_{gd}$$

$$C_{oss} = C_{ds} + C_{gd}$$

$$C_{rss} = C_{gd}$$

..... Standard-MOS  
 — CoolIMOS™

**Abb. 3.8 Bauteilkapazität des CoolMOS im Vergleich zu Standard-Transistoren (Vergleichsbasis: 600 V/ 190 mΩ) [2.7]**



**Abb. 3.9  $R_{DSon} * A$  des CoolMOS als Funktion der Durchbruchsspannung im Vergleich zu einem Standard MOSFET und zum Silizium-Limit [2.1]**



Neben den Kapazitäten spielt natürlich auch die Schaltgeschwindigkeit und die sich hieraus ergebende zeitliche Überlappung von Strom und Spannung eine Rolle. Beim Ausschalten wird der Elektronenstrom über den MOS-Kanal abgeschnürt. Die beweglichen Ladungsträger der p- und n-Säule fließen dabei als Majoritätsträgerdriftstrom zu ihren jeweiligen Kontaktgebieten der mit Source verbundenen p-Wanne und dem mit Drain verbundenen rückseitigen n<sup>+</sup>-Substrat. Die Ladungsträger überqueren dabei nicht die sich aufspannende Raumladungszone. Mit anderen Worten: Es entstehen kaum Jouleschen Verluste im Bauelement.

Die Schaltgeschwindigkeit hängt daher im Wesentlichen von der Umladung der Gate-Elektrode und damit von der Gate-Source-Kapazität, der Gate-Drain-Kapazität und der Leistung der Gate-Treiberstufe ab. Typische Schaltzeiten liegen im Nanosekundenbereich.

Beim Einschalten muss die Raumladungszone durch die Neutralisierung der geladenen Akzeptoren und Donatoren in der p- und n-Säule wieder abgebaut werden. Die Elektronen werden dabei vom Kanalstrom gestellt, die Löcher fließen hingegen als Driftstrom aus der p-Wanne in die p-Säule hinab.

Eine hohe Schaltgeschwindigkeit erfordert daher eine niederohmige Verbindung und somit im Herstellungsprozess eine entsprechend gute Justage und Verbindung der einzelnen p-Implantationsinseln. Typische Schaltzeiten liegen ebenfalls im Bereich weniger Nanosekunden. Damit zählen Kompensationsbauelemente wie der CoolMOS zu den schnellsten am Markt verfügbaren Hochvolt-Schaltern [2.7].

Eine Konsequenz des Flächenshrinks der CoolMOS-Technologie ist, dass die Stromflussdichte im Bauelement höher ist als in konventionellen Transistoren. Damit werden die Anforderungen an die Robustheit z.B. die Beherrschung des Kurzschlussfalles entsprechend verschärft. Der Kurzschlussstromverlauf des Standard-MOSFETs ist durch eine ungenügende Stromsättigung gekennzeichnet, d.h. der Kurzschlussstrom nimmt mit steigender Drain-Source-Spannung zu und erreicht bereits bei applikationstypischen Spannungen von etwa 400 V den siebenfachen Nennstrom.

Konventionelle Power MOSFETs verfügen daher nicht über die gewünschte Eigenschaft, den Kurzschlussstrom auf niedrige Werte zu begrenzen, was für einen sicheren Betrieb im Grenzbereich notwendig ist. Das Kompensationsbauelement zeigt hier trotz sehr hoher Stromdichten ein deutlich besseres Verhalten. Grund hierfür ist die Säulenstruktur der p-Gebiete, die einen mit ansteigender Spannung immer weiter abschnürenden vertikalen Junction Gate Field Effect Transistor (JFET) darstellt. Der Kurzschlussstrom wird so sehr wirkungsvoll begrenzt und weist einen nahezu konstanten Wert über der gesamten Safe Operating Area (SOA) auf.

Gibt es für das Kompensationsprinzip eine physikalische Grenze? Mittels Verkleinerung des Abstandes der p- und n-Gebiete und der gleichzeitigen Erhöhung der Dotierung in diesen lässt sich bei konstanter Durchbruchspannung theoretisch der Durchlasswiderstand immer weiter verringern. In der Realität begrenzen jedoch einerseits die Lithographie und die Prozesskontrolle der p- und n-Dotierung den maximal erreichbaren  $R_{DSon}$ -Gewinn. Andererseits wird bei sehr kleinen Strukturbreiten, durch den oben beschriebenen JFET, die Leitfähigkeit im Durchlassfall bereits bei sehr geringen anliegenden Spannungen beschränkt.

Bei der Auswahl eines Schalters für eine Applikation ist es wichtig, einen Kompromiss zwischen Schaltverlusten, Durchlassverlusten und Ansteuerungsverlusten zu finden. Grundsätzlich besitzen MOSFETs mit einem geringen Durchlasswiderstand, bedingt durch die große Chip-Fläche, auch große Kapazitäten. Besonders bei hohen Schaltfrequenzen (>100 kHz) sind also Schaltverlusten und Ansteuerungsverlusten besondere Bedeutung beizumessen.

Die Body-Dioden der heutigen Hochvolt-MOSFETs sind noch nicht so gut, dass sie periodisch kommutiert werden könnten. Deshalb gibt es in der praktischen Anwendung auch keine Applikation, die diesen Betrieb nutzt. Verluste durch die Speicherladung der Body-Diode sind bei Hochvolt-MOSFETs deshalb nicht zu berücksichtigen.

Bei Hochvolt-MOSFETs kann man grundsätzlich sagen, dass die Einschaltverluste gegenüber den Ausschaltverlusten dominieren. Dieses Verhalten ist durch die Ausgangskapazität  $C_{OSS}$  des MOSFETs in Kombination mit den parasitären Kapazitäten in der Schaltung (z.B. Trafokapazität) zu begründen. Diese Kapazitäten müssen bei einem Einschaltvorgang entladen werden und es würden Verluste entstehen. Bei einem Ausschaltvorgang hingegen wirken diese Kapazitäten entlastend und reduzieren damit die Ausschaltverluste. Der vom MOSFET getragene Strom wird beim Ausschaltvorgang von der Ausgangskapazität  $C_{OSS}$  übernommen und verursacht im MOS-Kanal keine Verluste mehr.

Weiterführende Informationen zu Kompensationsbauelementen bezüglich des Schaltverhaltens, Technologiegrenzen, Avalanche (Lawinendurchbruch)-Charakteristik und Trends werden in der Literatur [2.3], [2.7], [2.1] gegeben.

Die Applikation von Kompensationsbauelementen stellt neue Anforderungen an die Schaltungsentwicklung und das Schaltungslayout, um die hohen Schaltgeschwindigkeiten zu beherrschen. Folgende Applikationshinweise sind zu beachten:

- Die Schaltgeschwindigkeit des MOSFETs kann durch den Gate-Vorwiderstand  $R_G$  beeinflusst werden.
- Die Entkopplung des Treiber-Source-Anschlusses vom Leistungs-Source-Anschluss ist nötig (durch eine Source-Gegenkopplung kann es zu Schwingungen in den Strom- und Spannungsverläufen kommen).
- Eine geringe Koppelkapazität zwischen Drain und Gate ist nötig, um Schwingungen in der Gate-Spannung so gering wie möglich zu halten.
- Die Verwendung eines symmetrischen Layouts ist für die Parallelschaltung von MOSFETs nötig.
- Ein mehrlagiges PCB-Layout begünstigt schnelle, störungsfreie Schaltvorgänge.
- Die Anordnung des Gate-Treibers nahe am MOSFET ist nur bei extremen Schaltvorgängen nötig. Diese treten in der Praxis kaum auf. Im Normalfall überdämpft der Widerstand  $R_G$  die aufgrund von L und C verursachte Schwingung in der Gate-Zuleitung.

Dieser Abschnitt hat einen Überblick über den aktuellen Entwicklungsstand bei Hochvolt-MOSFETs gegeben. Im Rahmen dieser Arbeit wurde auf Produkte der Firma Infineon zurückgegriffen, da diese Produkte im Ergebnis vergleichender Untersuchungen den höchsten Entwicklungsstand aufwiesen. Ein Großteil der Bauelemente stand bereits als Vorserienmuster (Samples) für Untersuchungen zur Verfügung.

Bei Hochvolt-Schaltern wird der Durchlasswiderstand  $R_{DSon}$  nahezu komplett durch den Epitaxiewiderstand  $R_{epi}$  gebildet. Das folgende Kapitel beschäftigt sich mit Niedervolt-MOSFETs. Bei diesen Bauelementen wird der  $R_{DSon}$  hingegen aus mehreren Anteilen gebildet. Dominierend sind hier der Kanalwiderstand  $R_{ch}$ , der Akkumulationswiderstand  $R_a$  und der Epitaxiewiderstand  $R_{epi}$  (Abb. 3.3).

### 3.2.3 Niedervolt-Silizium (Si)-Leistungs-MOSFETs

Der Durchlasswiderstand ist einer der wichtigsten Bauteilparameter von Niedervolt-Schaltern. Er wird durch die Summe aller Widerstandsanteile der MOSFET-Struktur bestimmt. Abb. 3.10 zeigt neben der Struktur eines Planar-MOSFETs auch die einzelnen Widerstandsanteile des Durchlasswiderstands  $R_{DSon}$ . Die planare MOSFET-Struktur kam beim SIPMOS sowie beim OptiMOS der ersten Generation von Firma Infineon zum Einsatz. Der isolierte, planare Gate- und der Source-Anschluss liegen auf der Oberseite des Chips, die Unterseite bildet den Drain-Anschluss. Die größten Beiträge zum  $R_{DSon}$  liefern, wie in Abb. 3.3 zu sehen ist, der Kanalwiderstand  $R_{ch}$ , der Widerstand des intrinsischen JunctionFETs  $R_{JFET}$ , der auch als Akkumulationswiderstand  $R_a$  bezeichnet wird sowie der Widerstand der Driftzone  $R_{epi}$ . Letzterer wird durch das geforderte Sperrvermögen des Transistors festgelegt. Mit steigender Sperrspannung steigt der Schichtwiderstand mehr als quadratisch mit  $\sim V_{DB}^{2,5-2,6}$  an. Alle drei Widerstandsanteile machen zusammen ca. 80 % des Gesamtdurchlasswiderstandes aus. Neue Technologiekonzepte setzten deshalb auf Zellkonzepte, die in erster Linie auf die Minimierung dieser drei Anteile abzielen [2.7].

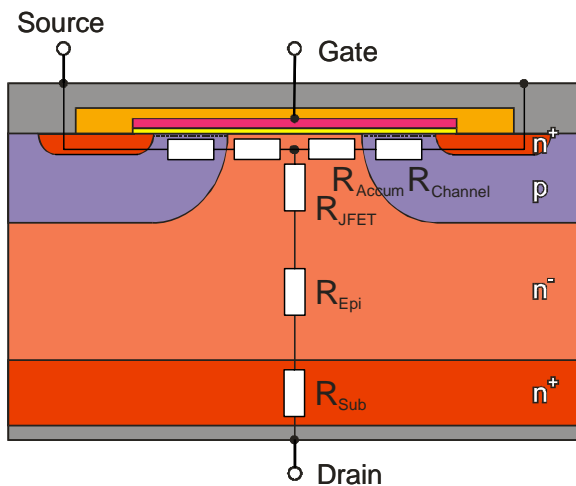


Abb. 3.10 Struktur eines planaren, vertikalen MOSFETs [Quelle: Firma Infineon]

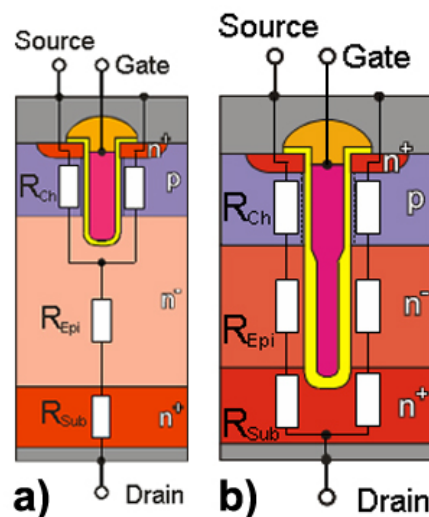


Abb. 3.11 Struktur eines Trench-MOSFETs (a); Struktur eines Trench-Feldplatten-MOSFETs (b) [Quelle: Firma Infineon]

Der Kanalwiderstand ist proportional zur Kanallänge und umgekehrt proportional zur Kanalweite. Wegen des Durchgriffs des Drain-Potentials in die p-Wanne kann die Kanallänge jedoch nicht beliebig kurz gemacht werden, ohne die Sperreigenschaften und die Einsatzspannung des MOSFETs massiv zu beeinflussen.

Die Kanalweite hingegen kann mittels einer dichteren Anordnung der Zellen im MOSFET deutlich vergrößert werden.

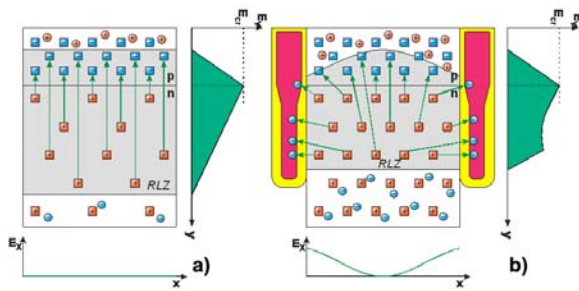
Die rasante Entwicklung der Fotolithographie ermöglicht es bereits jetzt, immer kleinere Strukturen im Silizium (Si) zu realisieren. Durch immer engere Zellgeometrien konnte die Kanalweite pro Fläche erheblich vergrößert und damit der Kanalwiderstandes in den letzten Jahren deutlich gesenkt werden. Moderne Zellkonzepte erreichen heute Kanalweiten von ca. 1  $\mu\text{m}$ . Mit den kleineren Zellstrukturen rücken aber auch die p-Wannen näher zusammen, wodurch der JFET-Widerstand steigt und das planare Konzept an seine Grenzen stößt [2.7]. Ein weiterer Nachteil des planaren MOSFETs ist der hohe Platzbedarf aufgrund der horizontalen Kanalausbildung. Die Struktur bietet aber den Vorteil einer kleinen, kaum variierenden Gate-Drain-Kapazität.

Um eine weitere Verkleinerung des  $R_{DSon}$  zu erreichen, wurde nach neuen Zellkonzepten gesucht. Im Ergebnis dieser Entwicklung ging man zu einer vertikalen Trench-Struktur über, wie sie in Abb. 3.11 a) zu sehen ist. Dieses Konzept bringt drei entscheidende Vorteile mit sich:

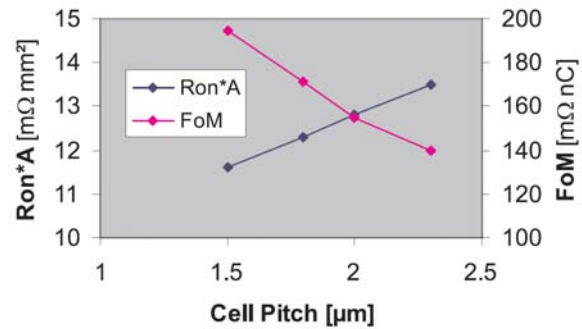
- Strukturbedingt existiert bei einer Trench-Struktur kein JFET-Widerstand mehr. Die p-Gebiete sind jetzt nicht mehr als Wannen ausgebildet, die in regelmäßiger Anordnung an der Oberfläche liegen. Die p-Gebiete werden durch Gräben (Trenches) getrennt, an deren Oberfläche sich in vertikaler Richtung der Kanal ausbildet. Der Spannungsabfall in Durchlassrichtung verursacht daher keine Verengung des Strompfades zwischen benachbarten p-Gebieten mehr und die Ladungsträger fließen ungehindert zum Drain [2.7].
- Durch die vertikale Ausführung des Kanals entfallen die Beschränkungen des Zellabstandes aufgrund der Kanallänge. Dies ermöglicht, die effektive Kanalweite noch einmal deutlich zu erhöhen. Die untere Grenze für heutige Zellabstände wird nur noch durch die Genauigkeit des Trench-Prozesses festgelegt [2.7].
- In den planaren Konzepten führten die Krümmungen der p-Wannen zu Feldspitzen, weswegen die Dotierung in der Driftzone nicht zu hoch sein durfte. Mit den zusammenhängenden p-Gebieten beim Trench-Konzept wird auch dieses Problem entschärft und infolge einer Erhöhung der Dotierung eine weitere Verbesserung der Durchlassleistungen erreicht [2.7].

Der schematische Aufbau einer Trench-Zelle ist in Abb. 3.11 a) zu sehen. Der reduzierte Platzbedarf gegenüber einem planaren MOSFET sowie der Wegfall des JFET sind deutlich zu erkennen, und das Potential zur Vergrößerung der Kanalweite leicht zu erahnen. Das Gate befindet sich im Trench, der Kanal verläuft senkrecht zur Chip-Oberfläche. Durch dieses Konzept konnte in den vergangenen Jahren eine enorme Reduktion des flächenspezifischen Einschaltwiderstandes von Leistungs-MOSFETs realisiert werden [2.7]. Nachteilig ist die größere, variierende Gate-Drain-Kapazität.

Eine Weiterentwicklung des Trench-MOSFETs stellt der Trench-Feldplatten-MOSFET dar, dieser ist in Abb. 3.11 b) zu sehen. Der Vorteil dieses Konzeptes gegenüber einem Trench-MOSFET liegt in der großen Feldelektrode, die weit in den MOSFET hineinreicht. Aufgrund dieser großen Elektrode kann die Epitaxieschicht höher dotiert werden, was zu einer weiteren Verkleinerung des Durchlasswiderstandes führt. Ein Nachteil der größeren Feldelektrode ist die weitere Vergrößerung der Gate-Drain-Kapazität, was sich negativ auf das Schaltverhalten bei hohen Frequenzen auswirkt. Diesen Nachteil kann man dadurch einschränken, dass man den unteren Teil des Trenches auf Source-Potential legt. In Folge dieser Maßnahme kommt es zur Verkleinerung der Gate-Drain-Kapazität  $C_{GD}$  und zur Vergrößerung der Drain-Source-Kapazität  $C_{DS}$ . Die Physik des Trench-Feldplatten-MOSFETs soll kurz anhand von Abb. 3.12 veranschaulicht werden. Im Teil a) der Abbildung ist ein planarer MOSFET zu sehen. Bei diesem ist der Epitaxiewiderstand  $R_{epi}$  vom Pitch unabhängig. Als Pitch wird der Abstand zwischen den p-Wannen bzw. zwischen den Feldplatten bezeichnet. Beim Trench-Feldplatten-MOSFET, der in Abb. 3.12 b) zu sehen ist, ist der Epitaxiewiderstand  $R_{epi}$  vom Pitch abhängig. Im Vergleich zu einem Planar-MOSFET für die gleiche Durchbruchspannung kann die Epitaxieschicht höher dotiert werden und gleichzeitig dünner gemacht werden. Das führt zu einem kleineren  $R_{epi}$  und somit zu einem kleineren  $R_{DSon}$ .



**Abb. 3.12** Veranschaulichung der Physik in einem planaren MOSFET (a) und in einem Trench-Feldplatten-MOSFET (b) [Quelle: Firma Infineon]



**Abb. 3.13** Flächenspezifischer Widerstand  $R_{D_{Son}} \cdot A$  und FOM in Abhängigkeit von der Zellgröße [2.7]

Beim Trench-Feldplatten-MOSFET kann man auch von einem Kompensationsprinzip sprechen, da ein Teil der Ladungen auf den Feldelektroden (Feldplatten) sitzt. Der Hochvolt-MOSFET CoolMOS und der Niedervolt-MOSFET OptiMOS arbeiten beide mit einem Kompensationsprinzip. Beim CoolMOS müssen die Ladungen in der Epitaxieschicht und der p-Säule exakt aufeinander abgestimmt sein, damit das Prinzip funktioniert. Beim Trench-Feldplatten-Transistor passt man die Dotierung in der Epitaxieschicht an den gewünschten  $R_{D_{Son}}$  an. Die Gegenladung auf der Feldplatte stellt sich von selbst ein. Sie kann durch den Pitch beeinflusst werden. Die Herstellung eines Trench-Feldplatten-Transistors für die 600 V Spannungsebene wäre nicht wirtschaftlich, weil man sehr tiefe Trenches ätzen müsste und man eine dicke Oxidschicht zur Isolation zwischen Drain und Source aufbringen müsste. Im Anschluss an diesem Exkurs in die Physik der Niedervolt-MOSFETs folgen einige kurze Betrachtungen zum Schaltverhalten.

Der MOSFET, unabhängig von der Planar- oder Trench-Geometrie, kann in guter Näherung durch drei Kapazitäten beschrieben werden. Die Drain-Source-Kapazität  $C_{DS}$  ist gegeben durch die Kapazität des pn-Übergangs zwischen Source und Drain. Die Gate-Source-Kapazität  $C_{GS}$  wird aus zwei Anteilen gebildet. Erstens durch die Überlappung der Gate-Elektrode mit dem  $n^+$ -Gebiet des Source-Anschlusses. Zweitens durch die Überlappung der p-Wanne mit der Source-Metallisierung über dem Gate. Die Gate-Drain-Kapazität, auch Miller-Kapazität genannt, setzt sich aus zwei in Serie liegenden Anteilen zusammen: der Oxidkapazität zwischen Gate und  $n^-$ -Gebiet und der Kapazität der Raumladungszone, die sich bei einem negativeren Potential der Gate-Elektrode gegenüber der Drain-Elektrode bildet. Über den Spannungsbereich des Transistors ist die Gate-Drain-Kapazität deshalb extrem spannungsabhängig und kann über mehrere Größenordnungen variieren.

Moderne Stromversorgungen arbeiten heute bei Frequenzen von etlichen 100 kHz. Eine möglichst kleine Miller-Kapazität ist deshalb Voraussetzung, um sowohl die Schaltverluste des Transistors als auch die Treiberverluste, und damit die Dimensionierung des Ansteuerkreises, in akzeptablen Grenzen zu halten. Ziel der Entwicklung für die OptiMOS 2-Technologie von Firma Infineon war es daher, den Beitrag der Miller-Kapazität so weit als möglich zu senken und so das optimale Bauteil für Anwendungen mit hohen Schaltfrequenzen zu schaffen [2.7]. In der Entwicklung von Niedervolt-Leistungs-MOSFETs ist deshalb ein Kompromiss zu suchen zwischen einem optimalen flächenspezifischen Widerstand  $R_{D_{Son}} \cdot A$  und einer möglichst geringen flächenspezifischen Gate-Ladung  $Q_g/A$ .

$$FOM = (R_{D_{Son}} \cdot A) \cdot \left( \frac{Q_g}{A} \right)$$

**Gl. 3.1** Definition der Figure of Merit (FOM)

Die FOM (Gl. 3.1) ist eine flächenunabhängige Charakterisierungsgröße für die jeweilige Technologie. Abb. 3.13 zeigt eine Modellrechnung für  $R_{DSon} \cdot A$  und die FOM für verschiedene Zellgrößen. Je nach Anforderung in der Applikation kann die Technologie auf  $R_{DSon} \cdot A$  (Leitungs-) oder FOM (Leitungs- und Schaltverluste) optimiert werden [2.7].

Im Tiefsetzsteller in einer Prozessorstromversorgung, der eine Spannung von 12 V auf 1,2 V umsetzt, arbeitet der high-side-MOSFET mit einem Tastverhältnis von  $D=0,1$ , der low-side-MOSFET mit  $D=0,9$ . Das bedeutet, der high-side-Schalter ist nur 10 % der Periode eingeschaltet, er schaltet aber an der vollen Spannung von 12 V. Dieser Schalter muss auf FOM optimiert werden. Der low-side-Transistor hingegen ist 90 % der Periode eingeschaltet und schaltet neutral, d.h. bei 0 V ein und aus. Es erfolgt nur ein Stromtransfer zwischen der Body-Diode und dem Kanal des low-side-MOSFETs. Für ihn ist eine Optimierung auf geringe Durchlassverluste  $R_{DSon} \cdot A$  sinnvoll.

Die Verbesserung der Chip-Technologie ist sehr gut an der Verkleinerung der FOM über die einzelnen Generationen zu sehen (Abb. 3.14). Die FOM,  $R_{DSon} \cdot Q_g$  wurde zwischen SIPMOS und OptiMOS 3 um den Faktor zwei kleiner, die FOM,  $R_{DSon} \cdot Q_{gd}$  sogar um den Faktor zehn.

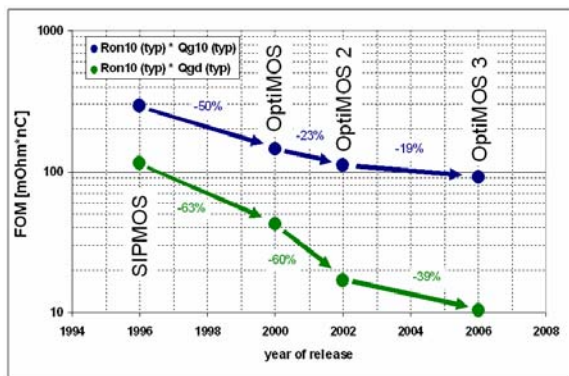


Abb. 3.14 Entwicklung der FOM über der Zeit für die verschiedenen 30 V MOSFET Technologien von Firma Infineon bei einer Gate-Spannung von  $V_{GS}=10$  V [Quelle: Firma Infineon]

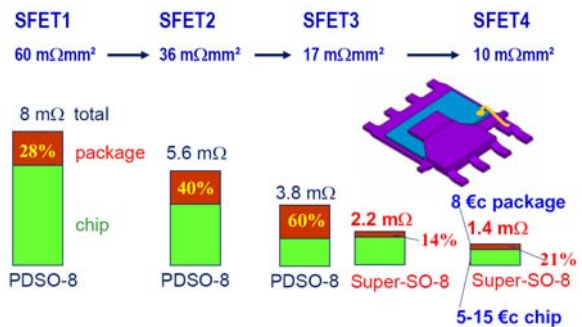


Abb. 3.15 Übersicht über den Anteil des Gehäuses am  $R_{DSon}$ , bei den 30 V MOSFETs verschiedener MOSFET-Generationen, mit dem jeweils geringsten  $R_{DSon}$  [Quelle: Firma Infineon]

Bei Niedervolt-MOSFETs kann man grundsätzlich sagen, dass die Ausschaltverluste gegenüber den Einschaltverlusten dominieren. Dieses Verhalten wird maßgeblich durch die Induktivität der Schaltungsumgebung, in der sich der MOSFET befindet, geprägt.

Beim Einschaltvorgang wirkt diese Induktivität entlastend, indem sie Spannung aufnimmt. Im Extremfall nimmt die Induktivität die gesamte Spannung auf und der MOSFET schaltet bei 0 V ein. Die Einschaltverluste sind also minimal. Während des Ausschaltvorgangs wirkt diese Induktivität erneut. Sie führt zu Überspannungen und Ausschaltverlusten. Im Extremfall kann die in der Induktivität gespeicherte Energie zum Avalanche (Lawinendurchbruch) des MOSFETs führen, dabei entstehen weitere Verluste.

In der am weitesten verbreiteten Topologie für DC-DC Konverter, dem Tiefsetzsteller, wird auch die parasitäre Body-Diode des MOSFETs ausgenutzt, um den Strom im Freilaufkreis zu führen. In diesem Betriebszustand verhält sich der Transistor wie ein bipolares Bauelement und der Strom wird von den Minoritäts- und Majoritätsladungsträgern getragen. Wird jetzt in Sperrichtung umgepolt, so muss zunächst die im Transistor gespeicherte Ladung, die sogenannte Speicherladung, abgeführt werden. In der Anwendung führt dies zu zusätzlichen Verlusten aufgrund von Stromspitzen, die eine Gefahr für die Schaltung darstellen. Die Speicherladungsverluste werden durch den low-side-MOSFET verursacht, aber im high-side-

MOSFET umgesetzt. Eine geringe Speicherladung ist deshalb eine weitere wichtige Eigenschaft moderner Niedervolt-Transistoren [2.7]. Weiterführende Informationen zu den Themen Schaltverhalten, Speicherladung der internen Body-Diode und Avalanche sind in [2.7] zu finden. Die Veröffentlichung [2.10] beschäftigt sich sehr ausführlich mit den verschiedenen Verlustanteilen in Niedervolt-MOSFETs, unter anderem werden die Themen Speicherladungsverluste und parasitäres Aufsteuerung des MOSFET durch ein  $du/dt$  (Gate-Bounce) erörtert.

Ein weiterer Abschnitt soll sich mit der Bedeutung des MOSFET-Gehäuses, was als Package bezeichnet wird, beschäftigen. Ein Package hat die Aufgabe, den eingebauten Chip vor Umwelteinflüssen zu schützen und ihn hantierbar zu machen. Das Gehäuse soll die Funktion des Chips aber so wenig wie möglich beeinflussen, das heißt es soll einen geringen ohmschen Widerstand, geringe Anschlussinduktivität und natürlich einen niedrigen thermischen Widerstand besitzen. Spontan denkt man bei Package an das weit verbreitete TO-220. Dieses Package wird heute noch den meisten Anforderungen im Hochvolt-Bereich, speziell in der 500 V und 600 V Klasse, gerecht. Im Niedervolt-Bereich musste die Package-Entwicklung an die rasante Chip-Entwicklung anknüpfen, um besonders niederohmige und niederinduktive Schalter herzustellen. In Abb. 3.15 ist die Entwicklung des best-in-class 30 V MOSFETs von Firma Infineon zu sehen. Während die Verbesserung der Chip-Technologie eine Reduktion des flächenspezifischen Einschaltwiderstandes von  $60 \text{ m}\Omega\text{mm}^2$  auf  $10 \text{ m}\Omega\text{mm}^2$  erreichte, konnte durch Entwicklungen am Package der Gehäuseanteil am  $R_{DSon}$  auch auf ca. 20 % konstant gehalten werden. Abb. 3.16 zeigt einen zeitlichen Abriss über die verschiedenen Packages für Niedervolt-MOSFETs. Diese Palette lässt sich noch um drei Neuentwicklungen erweitern: das Shrink SuperSO8 (S3O8)-Package, das D<sup>2</sup>-Pak 7Pin-Package und das CanPak-Package. Das S3O8-Package und das CanPak-Package wurden speziell für einen niedrigen  $R_{DSon}$  sowie niedrige MOSFET-Induktivität entwickelt. Für den Leistungspfad wurde auf Bonddrähte verzichtet und die Kontaktierung wurde über Metallbügel vorgenommen. Beide Gehäuse lassen sehr kompakte Designs zu und reduzieren die Beeinflussung der Chip-Eigenschaften durch das Package auf ein Minimum. Der thermische Widerstand  $R_{thJC}$  des CanPak-Packages ist gegenüber den SuperSO8 (SSO8)-Package nochmals reduziert.

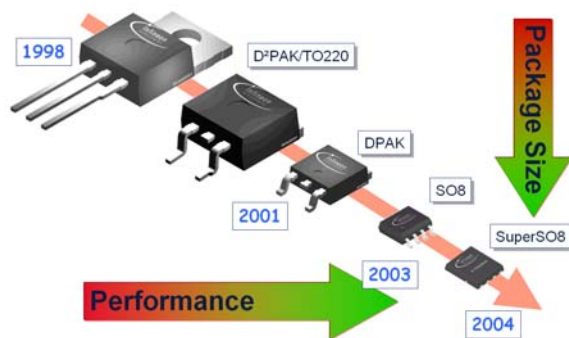


Abb. 3.16 Darstellung der Gehäuseentwicklung für Niedervolt-MOSFETs [Quelle: Firma Infineon]

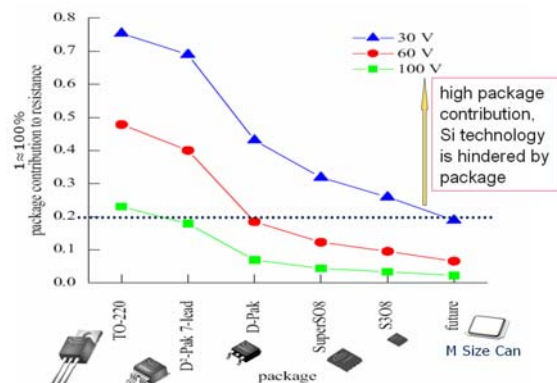


Abb. 3.17 Übersicht über den Anteil des Gehäuses am  $R_{DSon}$  für verschiedene Gehäuse und MOSFET-Spannungsklassen; Vergleich mit best-in-class MOSFETs der jeweiligen Spannungsklasse [Quelle: Firma Infineon]

Das D<sup>2</sup>-Pak 7Pin-Package wurde für einen sehr niedrigen Durchlasswiderstand entwickelt. Aufgrund der Verwendung von sieben Source-Anschlüssen erreicht man eine sehr gute Anbindung des Source-Kontaktes ohne Heißpunkte (Hotspots). Der derzeit niederohmigste 30 V

MOSFET weltweit wird in einen D<sup>2</sup>-Pak 7Pin-Package angeboten und besitzt einen Durchlasswiderstand von  $R_{D_{\text{Son,max}}}=0,95 \text{ m}\Omega$ .

Abb. 3.17 gibt einen aktuellen Überblick über den Anteil des Packages am Durchlasswiderstand  $R_{D_{\text{Son}}}$  für die drei bedeutendsten MOSFET-Spannungsklassen: 30 V, 60 V und 100 V bei Verwendung verschiedener Packages. Für die Gegenüberstellung wurde der jeweilige best-in-class MOSFET verwendet. Für die 30 V Klasse ist selbst mit neusten Packages ein Gehäuseanteil von 20 % am  $R_{D_{\text{Son}}}$  zu verzeichnen. Das bedeutet, die neuen Chip-Technologien können aufgrund des Packages ihr volles Potential nicht komplett ausschöpfen. Im Bereich der Schaltnetzteile werden Niedervolt-MOSFETs fast ausschließlich für den sekundärseitigen Gleichrichter verwendet. Dabei fungieren sie als niederohmiger Diodenersatz im Synchronbetrieb.

Wie in [2.6] ersichtlich ist, besitzen die Schalter der 30 V bzw. 40 V Klasse die geringsten Durchlasswiderstände gegenüber allen anderen Spannungsklassen. Es ist also erstrebenswert in einem Schaltnetzteil eine Topologie einzusetzen, die mit dieser Spannungsklasse in dem sekundärseitigen Gleichrichter auskommt, um einen hohen Wirkungsgrad zu erreichen.

Bei der Auswahl eines Schalters für eine Applikation ist es wichtig, ähnlich zu Hochvolt-MOSFETs, den Kompromiss zwischen Durchlassverlusten und Ansteuerverlusten abzuwägen. Schaltverluste sind bei Niedervolt-Applikationen sehr layoutabhängig und lassen sich nur schwer quantifizieren.

Wird ein Niedervolt-MOSFET in einer Applikation eingesetzt, in der die Body-Diode genutzt wird, so z.B. im Gleichrichterbetrieb in einem SMPS, dürfen die Verluste durch die Speicherdung in der Diode nicht vernachlässigt werden.

Beim Einsatz von Niedervolt-MOSFETs wird der Entwickler durch die neu entwickelten Packages unterstützt. Folgende Applikationshinweise sind bei Niedervolt-Anwendungen zu beachten:

- Die Realisierung eines niederinduktiven Aufbaus ist sehr wichtig, um geringe Schaltüberspannungen und Ausschaltverluste zu erreichen. Abhängig von der Schaltgeschwindigkeit können sich die Induktivitäten der Anschlussbeine der MOSFET-Packages negativ auswirken.
- Die Entkopplung des Treiber-Source-Anschlusses vom Leistungs-Source-Anschluss ist nötig. Ohne Entkopplung würde die Schaltgeschwindigkeit aufgrund einer Source-Gegenkopplung reduziert werden, was die Schaltverluste erhöhen würde.
- Die Kombination des Stromleitungs- und Entwärmungskonzeptes auf der Leiterplatte ist sinnvoll.
- Es besteht die Notwendigkeit einer hohen Treiberleistung bei hohen Schaltfrequenzen ( $\geq 100 \text{ kHz}$ ) in Kombination mit großen Chip-Flächen.

Dieser Abschnitt hat einen Überblick über den aktuellen Entwicklungsstand der Niedervolt-MOSFET-Sparte gegeben. Im Rahmen dieser Arbeit wurde auf neuste Produkte und Technologien der Firma Infineon zurückgegriffen, da diese Produkte im Ergebnis vergleichender Untersuchungen den höchsten Entwicklungsstand aufwiesen. Die meisten Produkte standen bereits als Vorserienmuster (Samples) für Untersuchungen zur Verfügung.

Alle bis jetzt getroffenen Aussagen bezogen sich auf Silizium als Halbleitermaterial. Die nachfolgenden Kapitel 3.2.4 und 3.2.5 beschäftigen sich mit der Untersuchung von Siliziumkarbid (SiC) als Halbleitermaterial. Neben einem Vergleich der Eigenschaften wurden auch Applikationsuntersuchungen durchgeführt.



### 3.2.4 Siliziumkarbid (SiC)-Schottky-Dioden

Der größte Teil der heute gefertigten Halbleiterbauelemente basiert auf Silizium als Ausgangsmaterial. Aufgrund seiner Eigenschaften eignet es sich sowohl zur Herstellung von unipolaren als auch von bipolaren Bauelementen. Aufgrund des ständig steigenden Bedarfs an hochsperrenden und gleichzeitig schnell schaltenden Leistungshalbleitern stößt man beim Einsatz von Silizium jedoch zunehmend an seine physikalischen Grenzen. Insbesondere im Bereich der Leistungselektronik wird daher seit Beginn der 1990er Jahre an Bauelementen auf Basis von Siliziumkarbid geforscht. Erste Schottky-Dioden sind seit dem Jahr 2001 kommerziell verfügbar [2.7]. Eine Übersicht über den Gitteraufbau und grundlegende physikalische Eigenschaften von SiC wird in Abb. 3.19 und in [2.7] gegeben. Weiterentwicklungen aus dem Hause SiCED werden in der Publikation [2.4] vorgestellt.

Siliziumkarbid besitzt aufgrund seiner sehr engen Kristallstruktur einen dreifach höheren Bandabstand und eine zehnfach höhere Durchbruchfeldstärke als Silizium (Abb. 3.18). Durch die höhere Durchbruchfeldstärke lässt sich mit SiC die gleiche Durchbruchspannung mit dünneren Halbleiterschichten realisieren. Die sinkende Schichtdicke ermöglicht gleichzeitig eine Anhebung der Dotierkonzentration, so dass sich SiC insbesondere für unipolare Halbleiterbauelemente eignet. Infolge der niedrigen intrinsischen Ladungsträgerkonzentration entstehen selbst bei hohen Temperaturen sehr niedrige Sperrströme, so dass sich SiC insbesondere auch für Hochtemperaturanwendungen eignet [2.7]. Die hohe Wärmeleitfähigkeit, die in der Größenordnung von Kupfer liegt, stellt dabei eine gute Verlustableitung sicher. Die Ursache für die begrenzte Ausnutzung des guten Hochtemperaturverhaltens von SiC stellt heute immer noch die Aufbau- und Verbindungstechnik dar. Um das volle Spektrum dieses Materials ausreizen zu können, benötigt man ein Hochtemperatur-Package.

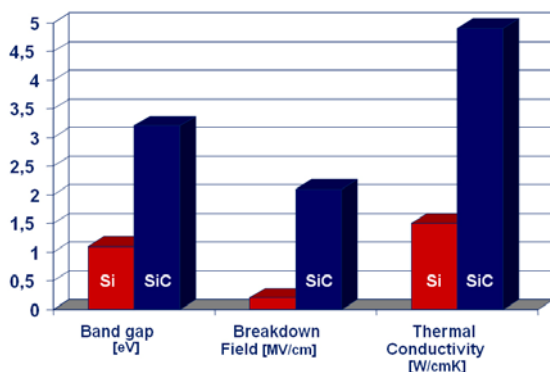


Abb. 3.18 Vergleich von Si und SiC auf Basis der physikalischen Eigenschaften [Quelle: Firma Infineon]

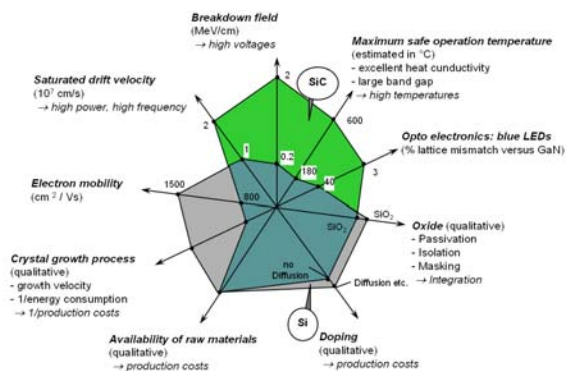


Abb. 3.19 Vergleich von Si und SiC auf Basis von Materialeigenschaften [Quelle: Firma Infineon]

Schottky-Barrieren-Dioden (SBD) aus Silizium sind heute nur bis zu einer Sperrspannung von 200 V erhältlich. Grund dafür ist der darüber hinaus stark ansteigende Sperrstrom, der zu großen thermischen Verlusten führt.

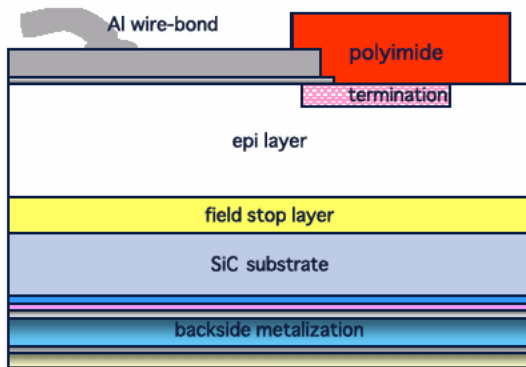
Bei höheren Sperrspannungen werden heute bipolare pin-Dioden verwendet. Bei diesen wird im eingeschalteten Zustand das Basisgebiet mit beiden Ladungsträgersorten überschwemmt. Beim Schalten entstehen daher große Verzugszeiten und somit Schaltverluste, da die Ladungsträger wieder aus der Diode entfernt werden müssen.

Bei SiC-SBD liegt die Sperrspannungsgrenze sehr hoch. Insbesondere durch die größere Durchbruchfeldstärke sowie die kleineren Sperrströme ist es möglich, den nutzbaren Spannungsbereich für Schottky-Dioden bis 2000 V auszuweiten.

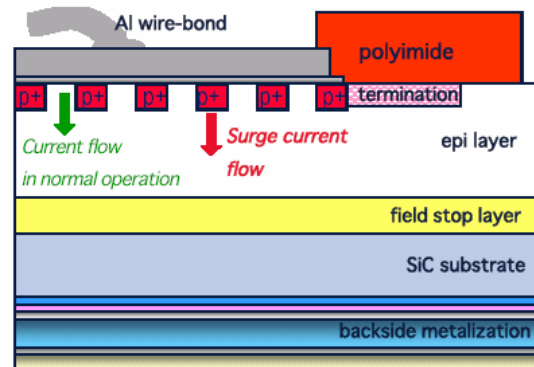
Durch die sehr viel kleineren Einschaltwiderstände von SiC ist es möglich, hochsperrende Schottky-Dioden, JFETs und MOSFETs zu fertigen. Diese können dann auch in Anwendun-

gen mit hoher Zwischenkreisspannung eingesetzt werden. Die SBD ist das einfachste Halbleiterbauelement aus Siliziumkarbid-Material. Sie arbeitet mit ihrer Gleichrichterfunktion sowohl in Kombination mit aktiven Schaltern als auch als einzelne Diode in Leistungsschaltungen. Die Herstellung von SiC-SBD mit einer Sperrspannung von bis zu 1700V und mehr schafft neue Freiheitsgrade beim Design von leistungselektronischen Schaltungen. Da Schottky-Dioden unipolare Bauelemente sind, ist nahezu keine Speicherladung (Reverse Recovery Charge) vorhanden (Abb. 3.23). Schaltverluste sind im Vergleich zu bipolaren Si-Dioden drastisch reduziert. Die Schottky-Diode verhält sich wie eine kleine spannungsabhängige Kapazität, so dass während des Schaltens nur kapazitive Umladeverluste entstehen. Eine Rückstromspitze im herkömmlichen Sinn existiert nicht. Allein der kapazitive Verschiebestrom wird während des Schaltvorgangs sichtbar (Abb. 3.23). Da keine Rückstromspitze existiert, kann es auch nicht zu einem Rückstromabriss kommen, so dass das EMV-Verhalten von Applikationen mit SiC-SBD vermutlich besser ist als das mit Si Dioden.

Die Geschwindigkeit der SiC-Entwicklung wird auch weiterhin maßgeblich von der Qualität der Substrate bestimmt werden. Die immer noch große Dichte an Fehlstellen im Substrat bedingt aber auch, dass die wirtschaftlich sinnvolle Bauelementefläche begrenzt ist [2.7].



**Abb. 3.20** Struktur der SiC-Schottky-Diode 1. Generation von Firma Infineon [Quelle: Firma Infineon]



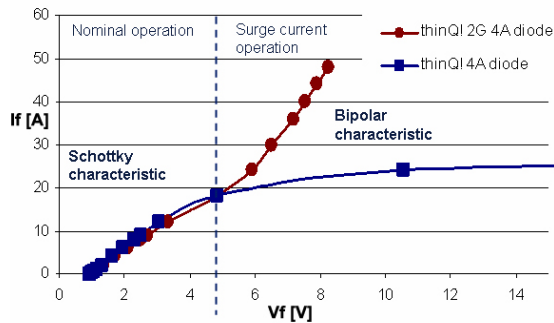
**Abb. 3.21** Struktur der SiC-Schottky-Diode 2. Generation von Firma Infineon [Quelle: Firma Infineon]

Inzwischen sind diese Bauelemente im Sperrspannungsbereich von 300 V bis 1200 V kommerziell verfügbar. Das Anwendungsspektrum von SiC-SBD kann durch eine Verbesserung der Cost per Function erweitert werden. Dies ist einerseits möglich durch Umstellung der Prozesstechnik auf größere Waferdurchmesser, also eine Reduktion der Stückkosten, andererseits durch den Einsatz kleinerer Bauelemente in der Applikation. Auf den letztgenannten Aspekt zielt die Einführung der 2. Generation von SiC-SBD durch Firma Infineon. Während bei der 1. Generation aufgrund der reinen unipolaren Schottky-Charakteristik der Diode das Stromrating der Diode auf den maximal auftretenden Strom auszulegen war, erlaubt die 2. Generation aufgrund ihrer Merged-Pin-Schottky-Struktur eine Auslegung auf den Normalbetriebszustand. Die Diode besitzt für kurze Pulse eine Überstromfähigkeit bis zum 100-fachen Nennstrom, womit kurze Stromstöße (Surge-Pulse) vollständig abgefangen werden können. Abb. 3.20 zeigt die Struktur der 1. Generation SiC-Dioden von Firma Infineon. Sie besteht aus einem SiC-Substrat-Wafer, auf dem eine Feldstoppschicht und eine für das Bauelementeverhalten bestimmende Basiszone epitaktisch abgeschieden werden. An der Oberfläche werden der Schottky-Übergang mit Hilfe eines geeigneten Metalls sowie die Randstruktur per Implantation realisiert [2.7]. Die Funktionsweise der SiC-SBD kann in [2.7] nachgelesen werden.

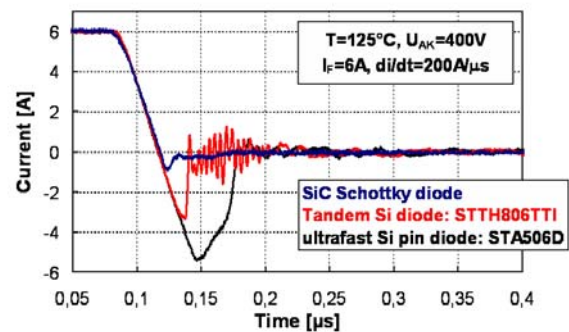
Die positive Eigenschaft einer nicht vorhandenen Speicherladung wurde schon erwähnt, weiterhin besitzt die Diode aufgrund ihrer Unipolarität im Nennstrombereich einen positiven

Temperaturkoeffizient, was sich günstig auf das Parallelschaltverhalten auswirkt. Dieser Temperaturkoeffizient ergibt sich aus den Koeffizienten der Schottky-Barriere (negativer Temperaturkoeffizient) und der Driftzone (positiver Temperaturkoeffizient). Im Nennstrombereich überwiegt der Anteil der Driftzone. Die Driftzone wird auch als Bahngebiet bezeichnet. Nähere Informationen zu dem Verhalten sind in [2.2] zu finden.

Ein weiterer Vorteil ist die Unabhängigkeit der kapazitiven Diodenladung  $Q_C$  vom Strom  $I_F$ , der Temperatur  $T$  und den Transienten  $dv/dt$ ,  $di/dt$ .



**Abb. 3.22 Kennlinienvergleich zwischen 1. Generation und 2. Generation (2G) SiC-Schottky-Dioden (4 A) von Firma Infineon [Quelle: Firma Infineon]**



**Abb. 3.23 Vergleich des Schaltverhaltens zwischen Si- und SiC-Dioden [Quelle: Firma Infineon]**

Zur Verbesserung des Überstromverhaltens wurden die Struktur der SiC-SBD mit zusätzlichen  $p^+$ -Inseln erweitert (Abb. 3.21). Diese Inseln bringen eine zusätzliche bipolare Charakteristik in die Schottky-Diode. Das Wirkprinzip ist in Abb. 3.22 zu sehen. Während des normalen Betriebes wird der Stromfluss durch die Schottky-Charakteristik bestimmt. Ab zirka dem fünffachen Überstrom übernimmt die bipolare Struktur den Strom. Der Durchlassspannungsabfall der SiC-Schottky-Dioden der ersten und zweiten Generation ist nahezu identisch. Der infolge der  $p^+$ -Inseln verlorene Platz wurde durch eine größere Chip-Fläche ausgeglichen.

SiC-Schottky-Dioden eignen sich für Applikationen, bei denen es auf schnelles Schalten ankommt. Typischerweise werden sie in PFC-Stufen für Server-SMPS eingesetzt, da hier ein Kostenoptimum erreicht werden kann. Weiterhin sind SiC-SBD für Anwendungen mit kritischen EMV-Anforderungen prädestiniert.

Aus Siliziumkarbid lassen sich neben Dioden auch aktive Schalter herstellen. Der aktuelle Entwicklungsstand des SiC-JFET und des SiC-MOSFETs kann der Veröffentlichung [2.12] entnommen werden. Weiterhin ist in dieser Publikation ein Vergleich zwischen aktiven 600 V Si- und SiC-Schaltern in einer Hochsetzsteller-PFC-Stufe dargestellt.

### 3.2.5 Vergleich von Si- und SiC-Dioden in einer Hochsetzsteller-PFC-Stufe

Bei der Auswahl der Leistungshalbleiter für eine PFC-Stufe hat das vorangegangene Kapitel gezeigt, dass Si-MOSFETs sehr gut für den Einsatz in diesen Anordnungen geeignet sind. Bei der Antwort auf die Frage nach der optimalen Diode soll dieser Abschnitt helfen.

#### Grundlagen des Vergleichs

Der nachfolgend dargestellte experimentelle Vergleich verschiedener Leistungsdioden der 600 V Spannungsklasse wurde mit einer Hochsetzsteller-PFC-Stufe durchgeführt. Der Leistungsteil dieser weit verbreiteten Lösung ist in Abb. 3.24 zu sehen, die Ansteuerung hingegen in Abb. 3.25. Für den Vergleich wurden verschiedene Silizium-Dioden und zwei Siliziumkarbid-Dioden mit einem Stromrating von 8 A herangezogen. Bei den Si-Dioden wurden zwei Tandembaulemente in den Test einbezogen. Eine Tandem-Diode für 600 V besitzt zwei optimierte 300 V Si-Dioden, die in Reihe geschaltet sind. Dies beschert ihr gute dynamische Eigenschaften. Beim Durchlassspannungsabfall hingegen macht sich die Reihenschaltung der zwei Chips negativ bemerkbar, so dass typische Werte von  $V_F > 2$  V vorhanden sind.

Die Auslegung der Schaltung erfolgte mit Hilfe des Entwicklerhandbuchs der Firma Unitrode [3.5]. Die PFC-Drosseln für die verschiedenen Schaltfrequenzen wurden mit einem Software-tool [8.1] optimiert. Folgende Spezifikationen lagen dem Vergleich zugrunde:

- Ausgangsleistung:  $P_{OUT}=600$  W
- Eingangsspannung:  $V_{IN\_RMS}=90 - 270$  V
- Zwischenkreisspannung:  $V_Z=400$  V
- Schaltfrequenz:  $f_{SW}=67$  kHz; 130 kHz; 250 kHz
- PFC-Drossel:  $L_{67kHz}=562$   $\mu$ H;  $L_{130kHz}=289$   $\mu$ H;  $L_{250kHz}=151$   $\mu$ H
- PFC-Schalter: CoolMOS IPP60R099CP
- Ansteuerschaltkreis: UC3854A

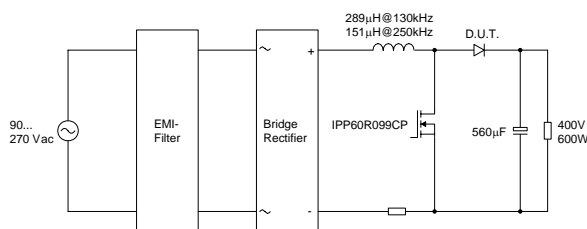


Abb. 3.24 Schaltplan, Leistungsteil der 600 W PFC-Stufe

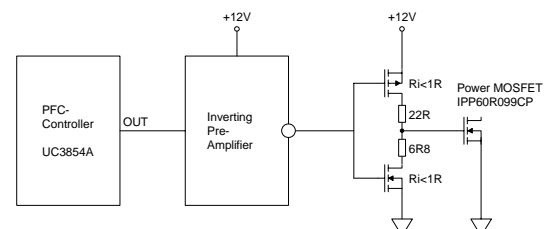


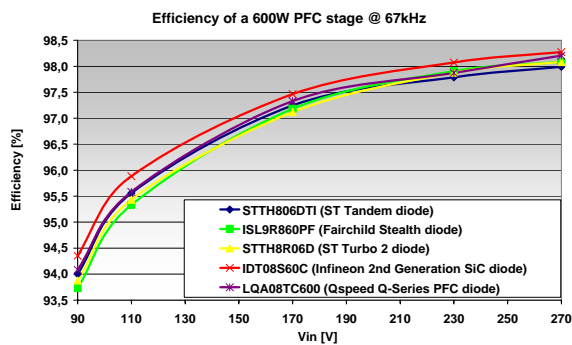
Abb. 3.25 Schaltplan, Ansteuerung der 600 W PFC-Stufe

Beim Aufbau der Testanordnung wurden Diode und MOSFET auf separate Kühlkörper montiert, um eine optimale Auswertung der Bauelementetemperaturen zu gewährleisten. Die Kühlung erfolgte nur über freie Konvektion. Die Messungen der Wirkungsgrade und Temperaturen wurden im thermisch eingeschwungenen Zustand vollzogen. Die Auswertung der Messungen ist im nachstehenden Abschnitt zu finden.

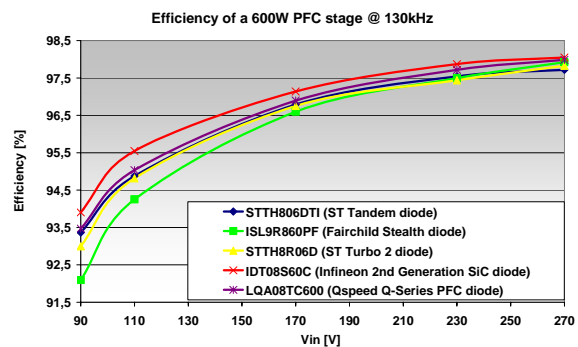
#### Ergebnisse des Vergleichs

Die Ergebnisse der Vergleichsmessungen zwischen den verschiedenen Dioden bei einer Schaltfrequenz von 67 kHz, sind in Abb. 3.26 zu sehen. Die Si-Dioden lieferten, bis auf geringe Differenzen von maximal 0,2 %, alle einen ähnlichen Wirkungsgrad. Die SiC-Diode konnte sich im bei niedriger Netzeingangsspannung ( $V_{IN\_RMS}=90\text{ V}$ , low-line Bereich) nur mit einem ca. 0,25 % höheren Wirkungsgrad abheben.

Bei 130 kHz war schon ein Effizienzabfall der Stealth-Diode von Firma Fairchild zu sehen. Diese lag im low-line Betrieb mit 1 % Wirkungsgrad hinter den anderen Si-Dioden zurück (Abb. 3.27). Die SiC-Diode hingegen erreichte unter low-line-Bedingungen einen bis zu 0,5 % höheren Wirkungsgrad als die anderen im Test befindlichen Dioden.

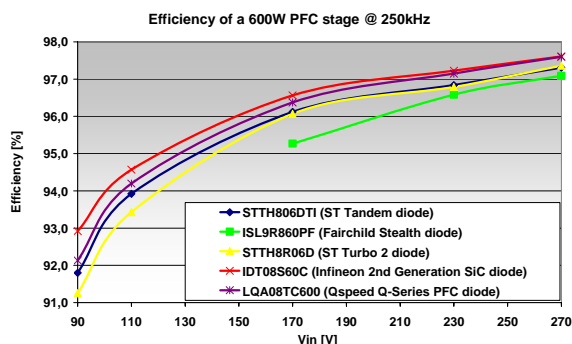


**Abb. 3.26** Wirkungsgrad einer 600 W PFC-Stufe bei Verwendung eines CoolMOS IPP60R099CP und verschiedener PFC-Dioden @  $f_{sw}=67\text{ kHz}$

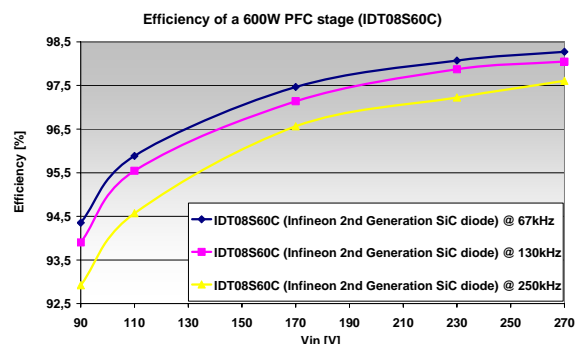


**Abb. 3.27** Wirkungsgrad einer 600 W PFC-Stufe bei Verwendung eines CoolMOS IPP60R099CP und verschiedener PFC-Dioden @  $f_{sw}=130\text{ kHz}$

Die Erhöhung der Schaltfrequenz auf 250 kHz spaltete das Feld klar auf (Abb. 3.28). Die Stealth-Diode läuft im unteren Eingangsspannungsbereich ( $V_{IN\_RMS}<140\text{ V}$ ) thermisch weg. Im Dauerbetrieb wäre sie zerstört worden. Dieses Bauelement ist für hohe Schaltfrequenzen definitiv nicht geeignet.



**Abb. 3.28** Wirkungsgrad einer 600 W PFC-Stufe bei Verwendung eines CoolMOS IPP60R099CP und verschiedener PFC-Dioden @  $f_{sw}=250\text{ kHz}$



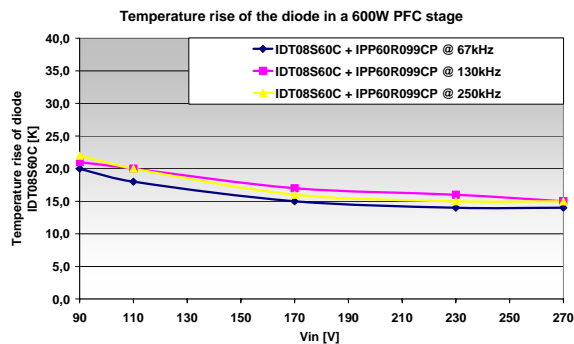
**Abb. 3.29** Wirkungsgrad einer 600 W PFC-Stufe bei Verwendung eines CoolMOS IPP60R099CP und einer SiC-Diode IDT08S60C @  $f_{sw}=67\text{ kHz}$ ; 130 kHz, 250 kHz

Weiterhin ist zu sehen, dass die beiden Tandem-Konzepte STMicroelectronics Tandem-Diode und Qspeed Tandem-Diode ca. 0,5 % bessere Wirkungsgrade als eine konventionelle Si-Diode (STMicroelectronics Turbo-2-Diode) lieferten.

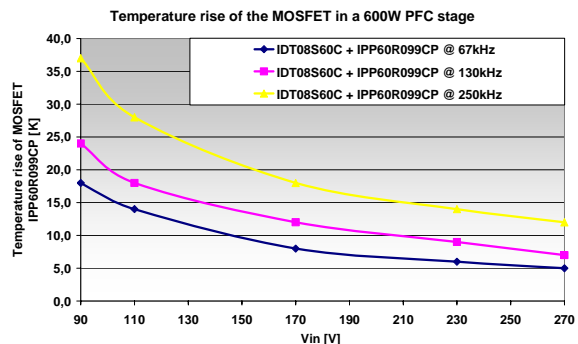
Die SiC-Diode lag beim Wirkungsgrad-Vergleich, im low-line Betrieb, gegenüber den anderen im Test befindlichen Dioden mit 0,8 % vorn. Abb. 3.29 zeigt noch einmal den Einfluss der Frequenz auf den Wirkungsgrad der PFC mit SiC-Diode und Si-CoolMOS.

Die Verlustaufteilung zwischen den aktiven Bauelementen, in Abhängigkeit von der Frequenz, kann mit Hilfe einer thermischen Analyse untersucht werden. Abb. 3.30 zeigt die Übertemperatur der SiC-Diode für verschiedene Schaltfrequenzen. Es ist kein Einfluss der Schaltfrequenz auf die Übertemperatur der Diode zu sehen. Dies führt zu dem Schluss, dass in einer SiC-Diode keine Schaltverluste entstehen.

Anders hingegen verhält sich der MOSFET in der PFC. Er verändert seine Gehäusetemperatur in Abhängigkeit von der Schaltfrequenz. Die Entstehung von Schaltverlusten ist daher offensichtlich (Abb. 3.31).



**Abb. 3.30** Übertemperatur einer SiC-Diode IDT08S60C in Kombination mit einem CoolMOS IPP60R099CP in einer 600 W PFC-Stufe @  $f_{sw}=67$  kHz; 130 kHz, 250 kHz



**Abb. 3.31** Übertemperatur eines CoolMOS IPP60R099CP in Kombination mit einer SiC-Diode IDT08S60C in einer 600 W PFC-Stufe @  $f_{sw}=67$  kHz; 130 kHz, 250 kHz

Da es am Markt zwei Anbieter von SiC-Schottky-Dioden gibt, wurden diese auch verglichen. Im Ergebnis gab es aus Sicht des Wirkungsgrades keinen Unterschied zwischen den Bauelementen der gleichen Stromklasse von den Firmen Infineon und Cree.

Die Messungen an der PFC-Stufe lieferten ein weiteres Ergebnis bezüglich des Zusammenhangs von Schaltfrequenz und Wirkungsgrad. Es ist in Abb. 3.29 zu sehen, dass der Wirkungsgrad der PFC-Stufe mit steigender Frequenz abnimmt. Obwohl die PFC-Drossel für die jeweilige Schaltfrequenz optimiert wurde, ist die Verlustreduktion in der Drossel mit steigender Frequenz nicht größer als die Verluststeigerung in dem PFC-MOSFET.

Bei diesen Betrachtungen wurden Aspekte der Volumenreduktion infolge einer Frequenzerhöhung nicht berücksichtigt.

Die experimentellen Untersuchungen haben gezeigt, dass die SiC-Diode nahezu unabhängig von der Schaltfrequenz für die Erzielung eines hohen Wirkungsgrades geeignet ist. Ihre Vorteile werden besonders bei hoher Strombelastung im low-line Betrieb sichtbar.

Das Kapitel 3.2.4 enthält umfassende Aussagen zur Theorie von SiC-SBD. Es wurde beschrieben, dass die Diode nahezu keinen Rückstrom aufweist. Dieses Verhalten führt zu einem reduzierten Überstrom im einschaltenden Schalter und in Summe zu einem kleineren  $di/dt$  als bei Schaltungen mit Si-Dioden. Der nahezu nicht vorhandene Rückstrom kann sich positiv auf das EMV-Verhalten der PFC auswirken.

Man muss aus Sicht der EMV beachten, dass beim Abschalten der SiC-Diode aufgrund der sehr kleinen Kapazität eine höheres  $dv/dt$  als bei Si-Dioden auftritt.

Abschließend ist zu sagen, dass die Applikation von SiC-Schottky-Dioden aus heutiger Sicht Produkten im Hochleistungssegment vorbehalten ist, da die Kosten für die Bauelemente immer noch sehr hoch sind.

*Leistungshalbleiter haben einen hohen Anteil an der Gesamtanzahl von Bauelementen in einem Schaltnetzteil. Ihr aktueller Entwicklungsstand ist sehr hoch. Bei Hochvolt-Schaltern dominiert das Kompensationsprinzip, welches z.B. im CoolMOS von Firma Infineon praktisch realisiert wurde. CoolMOS CP ist ein Bauelement mit niedrigem Durchlasswiderstand und relativ geringen Schalterkapazitäten, was den Schalter für hohe Schaltfrequenzen prädestiniert. Die starke Nichtlinearität der Schalterkapazitäten wirkt auf das Schaltverhalten und die Steuerbarkeit der MOSFETs.*

*Auf dem Sektor der Niedervolt-Schalter ist der letzte Entwicklungsstand das Trench-Feldplatten-Prinzip, welches bei Firma Infineon ab dem Bauelement OptiMOS 2 eingesetzt wird. Die Kombination des Trench-Feldplatten-Prinzips mit neusten Gehäuseentwicklungen führte zu MOSFETs mit Einschaltwiderständen  $< 1 \text{ m}\Omega$ . Bauelemente der OptiMOS-Serie eignen sich beim Einsatz in einer Synchrongleichrichterstufe sehr gut zur Wirkungsgrad-Steigerung eines SMPS gegenüber einer Diodengleichrichterstufe.*

*Zur Verlustentstehung bei Hochvolt-MOSFETs kann man grundsätzlich sagen, dass die Einschaltverluste gegenüber den Ausschaltverlusten dominieren. Bei Niedervolt-MOSFETs ist es genau entgegengesetzt, hier dominieren die Ausschaltverluste.*

*Siliziumkarbid hat sich als Material für Hochvolt-Schottky-Dioden etabliert. Grund dafür sind die exzellenten Eigenschaften: Die Diode weist keine Speicherladung auf und besitzt einen positiven Temperaturkoeffizienten, dieser begünstigt ihre Parallelschaltbarkeit.*

*Der experimentelle Vergleich verschiedener Dioden in einer PFC-Stufe hat den Vorteil von SiC-Dioden gezeigt, der besonders im low-line Betrieb sichtbar wird. Bei Applikationen, die stark auf Kosten optimiert werden müssen, ist eine Tandem-Diode vorzuziehen, da sie nur einen 0,2 % schlechteren Wirkungsgrad als eine SiC-Diode liefert (Vergleich an 600 W PFC-Stufe). Der relative hohe Preis von SiC-Bauelementen ist im aufwendigen Herstellungsprozess begründet. Typischer Weise werden sie in PFC-Stufen für Server-SMPS eingesetzt, da hier ein Kostenoptimum erreicht werden kann. Ein Vorteil der SiC-Diode ist bei Anwendungen mit kritischen EMV-Anforderungen zu sehen, da die fehlende Rückstromspitze der SiC-SBD das EMV-Spektrum begünstigt.*

*Eine Aussage zur optimalen Schaltfrequenz kann anhand der Ergebnisse in Kapitel 3.2.5 auch noch getroffen werden. Für einen hohen Wirkungsgrad ist eine minimale Schaltfrequenz (z.B. 67 kHz) von Vorteil. Ursache dafür ist, dass die Verluststeigerung in den aktiven Bauelementen die Verlusteinsparung in den passiven Komponenten bei Schaltfrequenzerhöhung übersteigt. Hohe Schaltfrequenzen sind nur für die Volumenreduktion sinnvoll, dabei sind die Grenzen der heute verfügbaren Materialien zu beachten. Auf diesen Aspekt wird in Kapitel 5.3.3 eingegangen.*

### 3.3 Magnetwerkstoffe für Schaltnetzteilanwendungen

Magnetbauelemente und Kapazitäten sind die vorherrschenden zwei Grundtypen passiver Bauelemente in Schaltnetzteilen. Passive Bauelemente sind, wie die Halbleiter, ein Hauptbestandteil von Schaltnetzteilen. Leider wird ihnen oft zu wenig Aufmerksamkeit gegeben.

Wie schon im Kapitel 2.2 erörtert wurde, beträgt ihr Anteil an den Gesamtverlusten in einem SMPS zwischen 10 % und 20 %. Dieser Abschnitt soll einen kurzen Überblick über die Magnetwerkstoffe für Schaltnetzteile geben, die im Rahmen dieser Arbeit Anwendung fanden.

Grundsätzlich unterscheidet man zwischen:

- kernverlustlimitierten Anwendungen
- sättigungslimitierten Anwendungen

Zu den kernverlustlimitierten Anwendungen zählen in der Regel Transformatoren und Resonanzdrosseln. In diesen Anwendungen sind bei der Auslegung die Kernverluste der limitierende Faktor. Diese Aussage gilt für heute übliche Schaltfrequenzen und Kernmaterialien. Sättigungslimitierte Anwendungen sind hingegen häufig Drosselanwendungen, bei denen Gleichstromdrosseln z.B. als Glättungsdrosseln eingesetzt werden. Bei der Auslegung dieser Drosseln wird die Sättigungsgrenze des Materials vor der Verlustleistungsgrenze erreicht. Der Wechselanteil der Magnetflussdichte  $\Delta B$  ist oftmals kleiner als ihr Gleichanteil  $B_{DC}$ .

Aus Werkstoffssicht unterscheidet man zwischen hartmagnetischen und weichmagnetischen Materialien.

Hartmagnetische Materialien (Dauermagneten) sind für die Schaltnetzteiltechnik nicht von Bedeutung, da sie sehr hohe Koerzitivfeldstärken besitzen, und den äußeren Magnetfeldern dementsprechend einen hohen Widerstand entgegensetzen. Eine Ummagnetisierung (bzw. Entmagnetisierung) wird selbst mit starken äußeren Feldern nicht erreicht.

Weichmagnetische Werkstoffe sind durch eine leichte Magnetisierbarkeit und eine relativ schmale Hysteresekurve gekennzeichnet, die sich in einer kleinen Koerzitivfeldstärke äußert. Vereinfacht ausgedrückt können kleinste äußere Magnetfelder die innere Ausrichtung der Elementarteilchen verändern. Weichmagnetische Materialien finden Anwendung in der Leistungselektronik. Man kann sie in vier typische Untermaterialien aufteilen (Abb. 3.32).

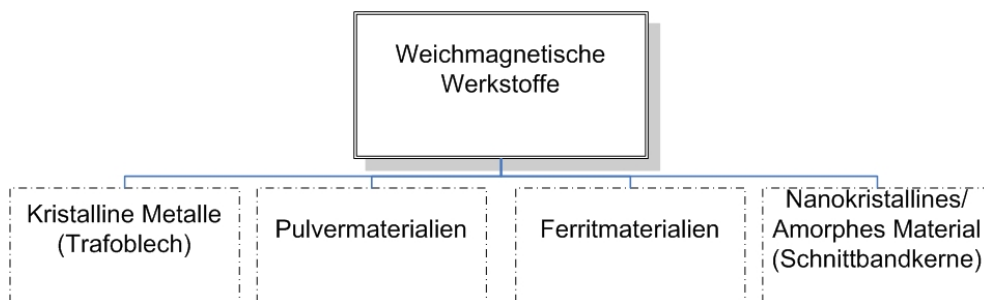


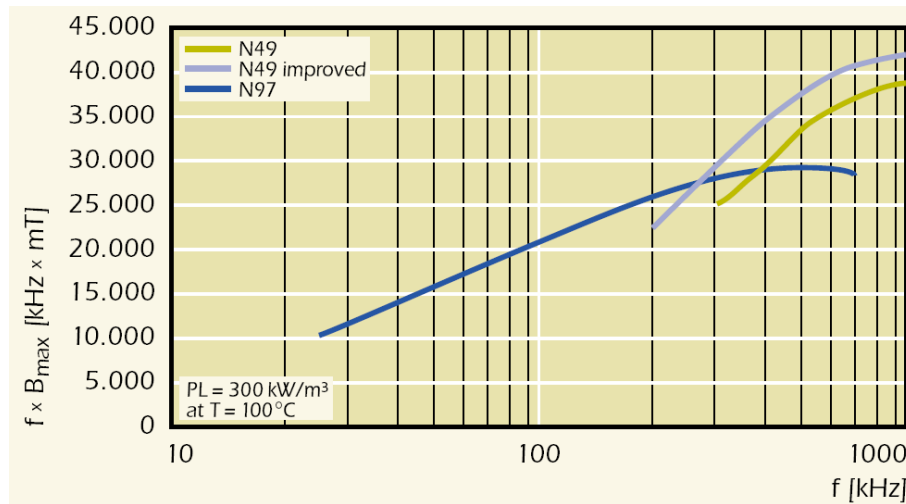
Abb. 3.32 Übersicht über die verschiedenen am Markt verfügbaren weichmagnetischen Werkstoffe

Die erste Gruppe beinhaltet die kristallinen Metalle. Darunter versteht man einfaches Trafoblech, wie es in 50 Hz-Transformatoren zur Anwendung kommt. Die nächste Gruppe bilden die Pulvermaterialien, die in der Regel eine hohe Sättigungsflussdichte aufweisen. Im Rahmen dieser Arbeit wird auf die kernverlustminimierten Pulvermaterialien KoolM $\mu$  und Molypermalloy-Powder (MPP) eingegangen. Da diese Materialien einen verteilten Luftspalt aufweisen, sind sie besonders gut für Drosselanwendungen geeignet. Ferritmaterialien sind durch geringe Kernverluste gekennzeichnet und daher für Transformatoranwendungen prädestiniert. Nanokristallines bzw. amorphes Material kann für Transformatoren mit niedrigen Schaltfrequenzen ( $\leq 40$  kHz) eingesetzt werden. Die Kosten dieser nanokristallinen Materialien sind vergleichsweise hoch. Amorphe Pulverkerne hingegen sind relativ preisgünstig, sie werden aber nur wenig verwendet.

#### *Magnetwerkstoffe für Transformatoren*

Wie bereits erwähnt, sind Ferritmaterialien, infolge geringer Kernverluste, besonders gut für Transformatoranwendungen geeignet. Während der Analyse zum Stand der Technik wurde dies noch einmal bestätigt. Transformatoren in Schaltnetzteilen, die für den Massenmarkt gefertigt werden, sind fast ausschließlich mit Ferritmaterial hergestellt.





**Abb. 3.33 Leistungsfaktor (Performance Factor) über der Schaltfrequenz für die Materialien EPCOS N 49 und N 97 [8.2]**

Im Rahmen dieser Arbeit wird auf Schaltfrequenzen im Bereich von 100 kHz bis 500 kHz abgezielt. Das bedeutet, es kommen z.B. die Materialien N 97 und N 49 der Firma Epcos in Betracht. Im Frequenzbereich von 100 kHz bis 300 kHz ist das Material N 97 zu verwenden, darüber hinaus das Material N 49 (Abb. 3.33).

Beim Design des Transformators kann ein Verlustleistungsminimum erzielt werden, wenn die Kernverlustleistung und die Wicklungsverlustleistung auf den gleichen Wert gebracht werden.

Eine aus der praktischen Erfahrung gewonnene Dimensionierungsregel für die Erzielung eines Übertemperaturminimums bei Verwendung eines ETD-Ferritkerns in einer Trafoanwendung lautet:

Die Wicklungsverlustleistung sollte die Hälfte der Kernverlustleistung betragen. Zu erklären ist dieses Verhalten mit der besseren Wärmeableitung des Kerns gegenüber der Wicklung.

#### *Magnetwerkstoffe für Drosseln*

Ferritmaterialien sind neben den Pulvermaterialien auch für die Herstellung von Drosseln verwendbar. Ferrite benötigen in einer Drosselanwendung einen Luftspalt (Luftspaltverluste), der aufgrund der Materialeigenschaften nur konzentriert bzw. diskret verteilt ausgeführt werden kann. Ferritdrosseln werden besonders bei großen Stromwelligkeiten eingesetzt und bei Anwendungen, die auf einen hohen Wirkungsgrad optimiert werden sollen, weil in ihnen geringe Kernverluste auftreten. Nachteilig beim Einsatz von Ferritdrosseln sind die hohen Wicklungsverluste, die sich wegen der benötigten Oberfläche zur Entwärmung negativ auf die Baugröße auswirken.

Während der Analyse zum Stand der Technik wurde festgestellt, dass Drosseln in Schaltnetzteilen, die für den Massenmarkt gefertigt werden, oftmals mit Pulvermaterial in Toroidform hergestellt werden. Pulvermaterialien besitzen einen verteilten Luftspalt. Der Einfluss des Luftspaltes auf die Wicklungsverluste ist also nicht an einer Stelle des Kerns konzentriert. Die Betrachtungen bei der Materialauswahl für Drosseln beschränken sich im Rahmen dieser Arbeit auf die kernverlustminimierten Pulvermaterialien KoolM $\mu$  und MPP. Eine direkte Gegenüberstellung der Verlustleistungen beider Materialien über der Schaltfrequenz ist nicht möglich, da die Kernverluste nichtlinear sind und von der jeweiligen Permeabilität abhängen. Einen Eindruck über die Kernverluste der Materialien liefert Abb. 3.34. Eine generelle Gegenüberstellung zwischen den verschiedenen Pulvermaterialien der Firma Magnetics zeigt Abb. 3.35. Hier werden zwar Frequenzbereiche von 60 Hz bis hin zu einigen kHz für die Ap-

plikation von MPP-Material und KoolM $\mu$ -Material angegeben, die praxisrelevanten Anwendungsfrequenzen im Schaltnetzteilbereich liegen aber deutlich in anderen Bereichen. Praktische Analysen ergaben, dass KoolM $\mu$ -Material gut im Schaltfrequenzbereich von 20 kHz bis 200 kHz einsetzbar ist. Erst ab 200 kHz ist MPP-Material aufgrund der Kostensituation zu bevorzugen.

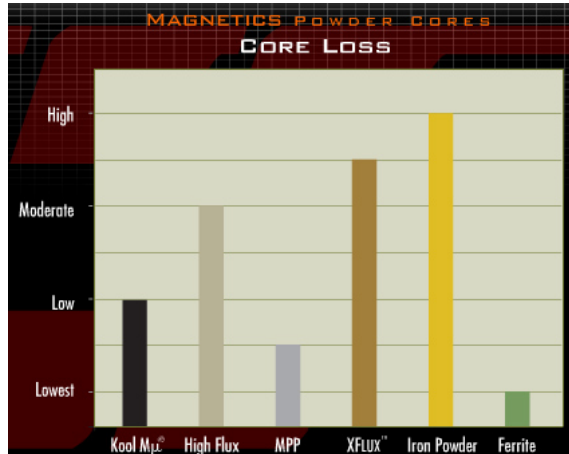


Abb. 3.34 Vergleich von Kernverlusten verschiedener Pulvermaterialien [8.4]

	MPP	High Flux	Kool M $\mu$	XFLUX
Frequency Range	60 Hz - 1 MHz	60 Hz - 200 kHz	60 Hz - 500 kHz	60 Hz - 25 kHz
Permeability	14-550	14-160	26-125	26-60
Core Loss	Lowest	Moderate	Low	Moderate
Perm vs. DC Bias	Good	Better	Good	Best
Saturation	7.5 Kilogauss	15 Kilogauss	10.5 Kilogauss	16 Kilogauss
Nickel Content	80%	50%	0%	0%
Relative Cost	High	Medium	Lowest	Low

Abb. 3.35 Vergleich verschiedener Pulvermaterialien [8.4]

Magnetbauelemente und Kondensatoren sind die beiden Arten von passiven Hauptbauelementen, die neben den Halbleitern in einem Schaltnetzteil vorhanden sind. In den passiven Bauelementen fallen zwischen 10 % und 20 % der Gesamtverluste in einem Schaltnetzteil an. Deshalb ist ihre optimale Auslegung von großer Bedeutung.

Die Anwendungen für Magnetmaterialien lassen sich in kernverlustlimitierte und sättigungslimitierte unterteilen. Typische Anwendungen, die durch Kernverluste limitiert sind, sind Transformatoranwendungen und Resonanzdrosseln. Glättungsdrosselapplikationen sind häufig durch die Sättigung limitiert.

Für die Transformatoranwendungen sind Ferritmaterialien zu verwenden, da sie geringe Kernverluste aufweisen. Im Rahmen dieser Arbeit werden die Materialien N 97 von Firma Epcos für den Frequenzbereich 100 kHz bis 300 kHz bzw. N 49 für den Frequenzbereich über 300 kHz verwendet.

Für Drosselanwendungen soll auf die kernverlustminimierten Pulvermaterialien KoolM $\mu$  und MPP zurückgegriffen werden. Diese besitzen einen verteilten Luftspalt. KoolM $\mu$ -Material ist bis 200 kHz einsetzbar, darüber hinaus besitzt MPP-Material Vorteile.

### 3.4 Schaltnetzteiltopologien im Überblick

#### 3.4.1 Vorbemerkungen

Die verschiedenen, am Markt verfügbaren, Leistungshalbleiter lassen sich in unterschiedlichen Topologien einsetzen. Die Topologieauswahl wird maßgeblich von den vorhandenen Leistungshalbleitern bestimmt. Ein Schaltungskonzept ist so zu wählen, dass die positiven Eigenschaften der Leistungshalbleiter optimal genutzt werden und die negativen Eigenschaften so wenig wie möglich ins Gewicht fallen.

Weitere Einflussfaktoren auf die Topologieauswahl sind die verfügbaren passiven Bauelemente und damit auch die Schaltfrequenz sowie das Ansteuerkonzept. Dieser Abschnitt gibt einen Überblick über die verschiedenen Grundtopologien.

### 3.4.2 Einstufige Topologien (Single-Stage)

Die einstufigen Schaltnetzteile, auch Single-Stage-SMPS genannt, stellen die einfachste Struktur für Schaltnetzteile dar. Der strukturelle Aufbau eines solchen SMPS ist in Abb. 3.36 zu sehen. Die Funktionen der PFC-Stufe, die Leistungsstellung und die galvanische Trennung, werden in nur einer Stufe realisiert. Bei der Auslegung dieser Stufe muss man sich in den meisten Fällen zwischen einer guten PFC-Funktion und einer geringen Welligkeit der DC-Ausgangsspannung entscheiden. Kompromisslösungen, die beide Funktionen im ausreichenden Maß erfüllen, sind möglich. Typisch sind Topologien die mit dem Hochsetzsteller-Prinzip arbeiten und der Sperrwandler (Flyback).

1-stage-concept

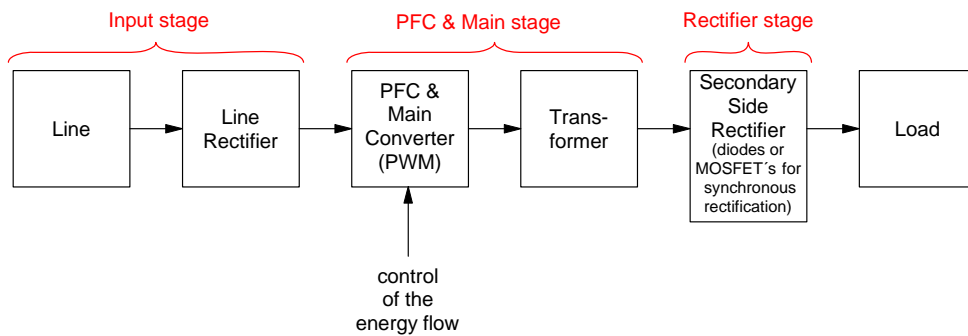


Abb. 3.36 Konzept eines einstufigen Schaltnetzteils; Single-Stage-SMPS

Vorteile bieten die einstufigen Lösungen hinsichtlich der Einsparung von aktiven sowie passiven Bauelementen. Dies wirkt sich im Vergleich zu einem mehrstufigen Konzept positiv auf die Kosten und die Zuverlässigkeit aus. Eine Wirkungsgrad-Steigerung gegenüber mehrstufigen Topologien ist in Abhängigkeit von der Topologie möglich. Die Dissertation [4.2] beschäftigt sich speziell mit der Wirkungsgrad-Erhöhung einfacher SMPS-Topologien auf der Basis von Durchfluss- und Sperrwandlern.

Bei Schaltanordnungen mit nur einem primärseitigen Schalter ist dieser meist auf low-side-Potential angeordnet, so dass eine einfache Ansteuerung gewährleistet ist. Die Anforderungen an die Sperrfähigkeit des Schalters hingegen sind meist sehr hoch.

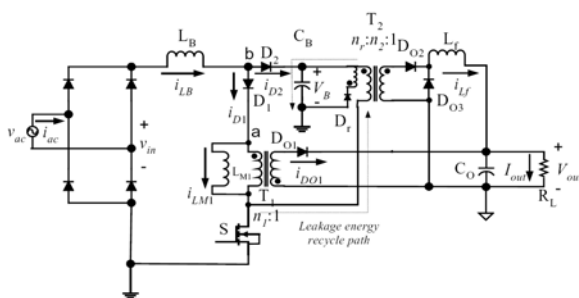


Abb. 3.37 Single-Stage, Forward-Flyback Konverter, Einschalteranordnung [4.9]

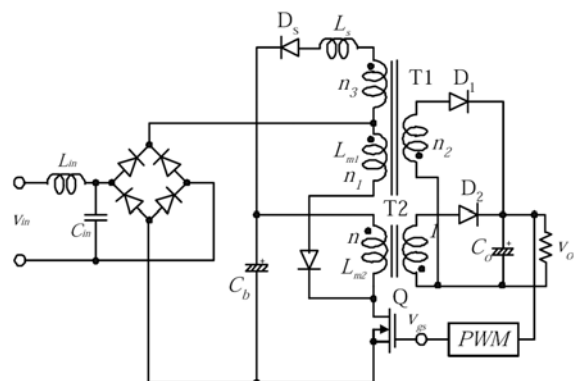


Abb. 3.38 Single-Stage, Hybrid Parallel Konverter, Einschalteranordnung [4.8]

Die Entwicklung des Single-Stage-Konzeptes wird weiter vorangetrieben. Es wird versucht, den Kompromiss zwischen guter PFC-Funktion und geringer Ausgangsspannungswelligkeit durch einen Zusatzkonverter, der keinen extra Leistungsschalter benötigt, zu lösen. Solche Konzepte werden als Parallel-Konverter bzw. Hybrid-Konverter bezeichnet. Aus der Anzahl

der zahlreichen Veröffentlichungen vermitteln [4.9], [4.8], und [4.4] einen kleinen Eindruck über den aktuellen Entwicklungsstand auf diesem Gebiet.

Aus diesen Publikationen wurden zwei Schaltungsbeispiele zur Veranschaulichung herausgelöst: die des Forward-Flyback Konverters (Abb. 3.37) und die der Hybrid-Parallel-PFC (Abb. 3.38). Die Idee besteht darin, die PFC-Funktion von der Ausgangsspannungsregelung bzw. dem Hauptleistungstransport zu entkoppeln. Es wird in allen Konzepten nur ein Leistungsschalter verwendet.

Single-Stage-Konzepte sind für Applikationen im höheren Leistungsbereich (Server-SMPS) nicht geeignet, da der gewünschte Vorteil hinsichtlich der Einsparung von aktiven sowie passiven Bauelementen nicht mehr gegeben ist. Im höheren Leistungsbereich ist aufgrund der steigenden Bauelementeanforderung beispielsweise die Parallelschaltung von Halbleitern nötig. Die hohen Anforderungen an die Dynamik der Ausgangsspannung in Kombination mit einer guten PFC-Funktion sind ebenfalls nur schwer zu realisieren. Nicht zu vergessen ist die Anforderung an die Verweilzeit während Netzspannungsschwankungen (hold-up time Anforderung), die in Single-Stage-Topologien nicht umgesetzt werden kann.

Diese Nachteile lassen sich beim Einsatz einer zweistufigen Topologie vermeiden. Diese wird nachfolgend im Abschnitt 3.4.3 beschrieben.

### 3.4.3 Zweistufige Topologien (Dual-Stage)

Das zweistufige Schaltnetzteil, auch als Dual-Stage-Lösung bekannt, ist die am häufigsten verwendete Topologie für Schaltnetzteile im betrachteten Leistungsbereich. Der strukturelle Aufbau ist in Abb. 3.39 dargestellt. Der PFC-Stufe schließt sich der Hauptkonverter an, der die galvanische Trennung und die Leistungsstellung realisiert. Auf der Sekundärseite des Transformators befindet sich der Gleichrichter, der der zweiten Stufe zugeordnet wird.

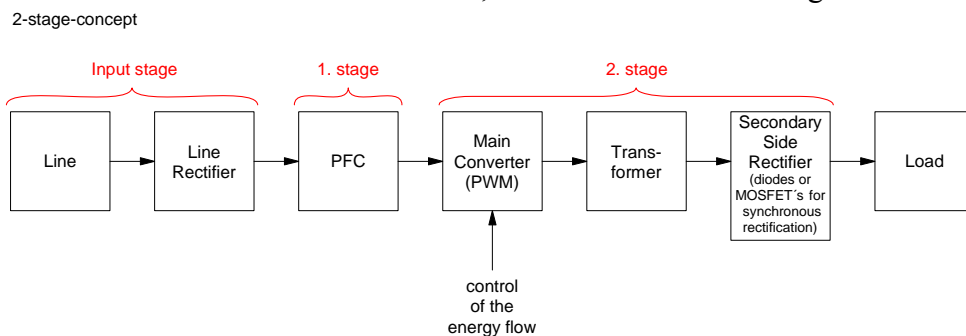


Abb. 3.39 Konzept eines zweistufigen Schaltnetzteils; Dual-Stage-SMPS

Die Auslegung der einzelnen Stufen kann, entsprechend ihrer Aufgabe, optimiert werden. Die PFC, die typischerweise als Hochsetzsteller ausgeführt wird, liefert eine geregelte Zwischenkreisspannung mit Restwelligkeit. Diese Gleichspannung liegt als Eingangsspannung am Hauptwandler an. Der Hauptwandler erzeugt daraus eine Wechselspannung, die über den galvanisch isolierenden Transformator auf die Sekundärseite übertragen wird. Der Gleichrichter auf dieser Seite erzeugt wieder eine Gleichspannung, die geglättet an die Last abgegeben wird. Der Hauptwandler regelt eine konstante DC-Ausgangsspannung.

Bei Schwankungen der Netzspannung über einige Millisekunden (brown-out) kann die PFC den Zwischenkreiskondensator nicht mehr nachladen, und somit keine konstante Zwischenkreisspannung mehr zur Verfügung stellen. Die Größe des Zwischenkreiskondensators  $C_Z$  bestimmt den zeitlichen Verlauf, mit dem die Spannung am Kondensator absinkt.

Bei Server- und Telekommunikations-Schaltnetzteilen existiert die Anforderung, dass bei einer Netzspannungsschwankung die Last für 20 ms durch das Netzteil ohne Einschränkungen weiterversorgt wird. Diese Spezifikation bzw. Anforderung wird als hold-up time bezeichnet.

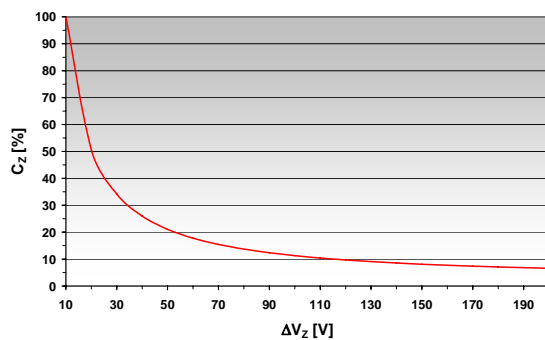
Der Energiespeicher für diesen Fall ist der Zwischenkreiskondensator, da er bei einer Spannung von 400 V eine vertretbare Kapazität zur Energiespeicherung aufweist (Gl. 3.2).

$$E_C = \frac{C}{2} \cdot V^2$$

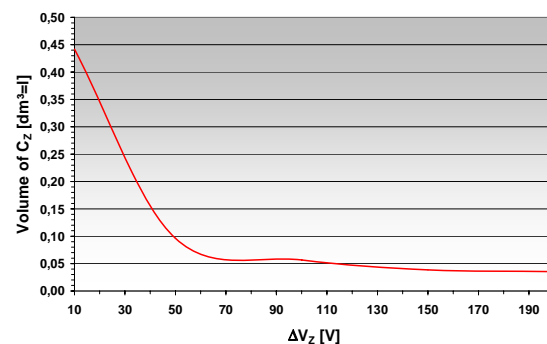
#### Gl. 3.2 Energieinhalt einer Kapazität

Der Hauptwandler, der in verschiedenartigsten Topologien ausgeführt sein kann, wird im Kapitel 3.6 näher beschrieben. Bei seiner Auslegung kann man entweder eine geringe Schwankung der Eingangsspannung zulassen und die hold-up time über eine große Zwischenkreiskapazität erfüllen oder eine Zwischenkreiskapazität mit kleinem Wert wählen und dafür den Hauptwandler für einen weiten Eingangsspannungsbereich auslegen. Abb. 3.40 zeigt die Abhängigkeit zwischen der Größe des Zwischenkreiskondensators und der Spannungsabsenkung über dem Zwischenkreiskondensator während eines Netzspannungsausfalls. Der 100 % Wert der Kapazität ist der Wert, bei dem während eines Netzausfalls eine Spannungsabsenkung um 10 V über ihr auftritt. Eine große Zwischenkreiskapazität bedeutet viel Volumen und einen hohen Preis, was sich negativ auf das Gesamtkonzept auswirkt.

Das Volumen des Zwischenkreiskondensators in Abhängigkeit von der zulässigen Spannungsabsenkung wurde in Abb. 3.41 dargestellt. Diese Betrachtung wurde für ein SMPS mit 800 W Ausgangsleistung, 20 ms hold-up time und 400 V nomineller Zwischenkreisspannung vorgenommen. Verwendung fanden die Kondensatoren der TS-ED Serie von Panasonic mit einer zulässigen Betriebsspannung von 450 V. Es ist zu sehen, dass ab einer zulässigen Spannungsabsenkung von ca. 70 V über dem Kondensator keine signifikante Verkleinerung des Kapazitätsvolumens eintritt.



**Abb. 3.40** Reduktion der Zwischenkreiskapazität in Abhängigkeit von der Spannungsschwankung über  $C_Z$  bei Einhaltung der hold-up time @  $V_{Z\_Nominell}=400$  V



**Abb. 3.41** Reduktion des Volumens der Zwischenkreiskapazität in Abhängigkeit von der Spannungsschwankung über  $C_Z$  bei Einhaltung der 20 ms hold-up time @  $V_{Z\_Nominell}=400$  V; Panasonic TS-ED Series 450 V/105 °C

Ein Hauptwandler, der für einen weiten Eingangsspannungsbereich ausgelegt ist, arbeitet im nominellen Betrieb nicht optimal. Seine aktiven und passiven Komponenten sind für den ungünstigsten Betriebspunkt, d.h. niedrigste Eingangsspannung ausgelegt. Bei einer Auslegung auf den nominellen Arbeitspunkt kommt es während des Netzspannungsausfalls und dem Absinken der Zwischenkreisspannung zu einer starken Belastung der Komponenten im Hauptwandler.

In Abhängigkeit von der Applikation muss man einen Kompromiss zwischen der Größe der Zwischenkreiskapazität und der Belastung des Hauptwandlers finden.

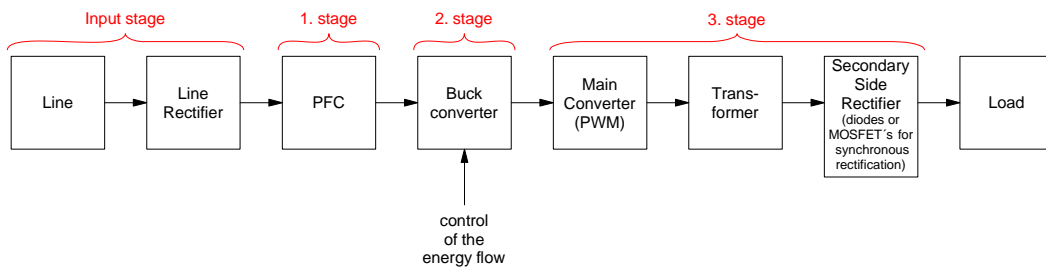
Ein Ansatzpunkt, um diesen Nachteil zu überwinden, ist die Verwendung einer dreistufigen Schaltnetzteiltopologie, die im anschließenden Kapitel behandelt wird.

### 3.4.4 Dreistufige Topologien (Three-Stage)

Die dreistufigen Schaltnetzteiltopologien, die auch als Three-Stage-Lösungen bezeichnet werden, stellen den zentralen Teil dieser Arbeit dar. Diese Topologien wurden mit dem Ziel der Verbesserung der bestehenden zweistufigen Topologien untersucht. Die angestrebten Verbesserungen sind die Reduktion der Zwischenkreiskapazität und die damit verbundene Leistungsdichte-Erhöhung. Die Verbesserung des Systemwirkungsgrades mittels Aufteilung der Leistungsstellung und der galvanischen Trennung auf unterschiedliche Stufen. Erhöhung der Freiheitsgrade zur Beeinflussung von Schaltungsparametern und eine bessere Anpassung der dreistufigen Topologien an die jeweilige Anwendung.

Der im Abschnitt 3.4.3 beschriebene Kompromiss zwischen Bauvolumen des Zwischenkreises und Eingangsspannungsbereich des Hauptwandlers kann mit dreistufigen Lösungen überwunden werden. Hier wird ein zusätzlicher Wandler in den Leistungspfad eingebunden, der die Leistungsstellung vom Hauptwandler übernimmt. Der Hauptwandler arbeitet nun als ungesteuertes Übertragungsglied in Form eines „DC-Transformators“. Das bedeutet, er kann mit Vollaussteuerung, d.h. 100 % Konvertertastverhältnis betrieben und auf ZVS bzw. resonantes Schalten ausgelegt werden.

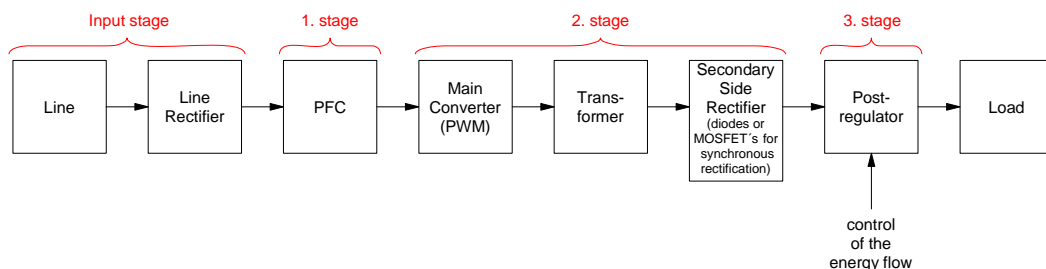
3-stage-concept-I



**Abb. 3.42** Konzept eines primärseitig geregeltem dreistufigen Schaltnetzteils; Pre-Regulate Three-Stage-SMPS

Als Glied für die Leistungsstellung bietet sich ein Tiefsetzsteller an, da er einen unkomplizierten Aufbau besitzt, sehr gut in einem weiten Eingangsspannungsbereich arbeiten kann und einfach zu steuern ist. Der Tiefsetzsteller kann auf der Primärseite des Transformators angeordnet werden, wo er die Hauptstufe mit einer konstanten Spannung versorgt (Abb. 3.42). Die andere Variante ist seine Anordnung auf der Sekundärseite des galvanisch isolierenden Wandlers (Abb. 3.43). Bei dieser Lösung überträgt der „DC-Transformator“ die Zwischenkreisspannung mit all ihren Schwankungen in einem festen Verhältnis. Der nachfolgende Tiefsetzsteller muss die Schwankungen ausgleichen und die DC-Ausgangsspannung über der Last auf den vorgegeben Sollwert regeln.

3-stage-concept-II



**Abb. 3.43** Konzept eines sekundärseitig geregeltem dreistufigen Schaltnetzteils; Post-Regulated Three-Stage-SMPS

Für den Hauptwandler gibt es verschiedene Topologien, die besonders hinsichtlich ihres Übertragungsverhaltens untersucht wurden.

Die zwei Konzepte: Pre-Regulated SMPS und Post-Regulated SMPS, stellen den Hauptteil dieser Arbeit dar. Sie werden im Kapitel 5 eingehend beschrieben. Es wird auch der Frage nachgegangen, ob die Auslegung der einzelnen Stufen für einen optimalen Arbeitspunkt mehr Systemverluste vermeidet als der zusätzliche Tiefsetzsteller verursacht.

*Bei Schaltnetzteilen kann man zwischen drei grundlegenden Strukturen entscheiden. Dem Single-Stage-, dem Dual-Stage- und dem Three-Stage-SMPS. Das Single-Stage-SMPS vereint PFC-Funktion und Leistungsstellung in einer Stufe, die mit nur einem Transistor auskommt. Bei konventionellen einstufigen Anordnungen muss der Kompromiss zwischen PFC-Funktion und Dynamik der Ausgangsspannungsregelung abgewogen werden. Weiterführende Konzepte versuchen mit Hilfe von Parallel- bzw. Hybrid-Konvertern das Problem der einfachen Single-Stage-Topologien zu lösen.*

*Die Dual-Stage-Lösung ist das am weitesten verbreitete Schaltnetzteilkonzept. Bei diesem Ansatz existieren eine PFC mit nachfolgendem Hauptkonverter und ein sekundärseitiger Gleichrichter. Die PFC-Stufe erzeugt die Eingangsspannung für den Hauptwandler. Entsprechend der Anforderung an die Verweilzeit während Netzspannungsschwankungen (hold-up time Anforderung) für Server- und Telekommunikations-SMPS muss das Netzteil die Last bei einem Netzspannungseinbruch für 20 ms weiterversorgen können. Es muss ein Kompromiss zwischen der Zwischenkreiskapazität (Volumen, Kosten) und dem zulässigen Eingangsspannungsbereich des Hauptwandlers gefunden werden. Dieser Konflikt kann mittels eines Three-Stage-Konzeptes gelöst werden.*

*Bei der dreistufigen Lösung existiert eine zusätzliche Stufe, die die Leistungsstellung übernimmt. Der Hauptwandler ist nur noch für die galvanische Trennung verantwortlich. Er arbeitet als „DC-Transformator“. Die Zusatzstufe kann als unkomplizierter Tiefsetzsteller aufgebaut werden. Ihre Anordnung ist sowohl auf der Trafoprimärseite (Pre-Regulated-SMPS) als auch auf der Trafosekundärseite (Post-Regulated-SMPS) möglich. Diese Arbeit widmet sich der Untersuchung dieser beiden Konzepte.*

## 3.5 Power Factor Correction (PFC)-Stufe

### 3.5.1 Vorbemerkungen

Nach Inkrafttreten der Europeanorm EN61000-3-2 am 01.01.2001 unterliegen auch Schaltnetzteilhersteller erhöhten Anforderungen hinsichtlich des Leistungsfaktors, der von ihnen hergestellten Geräte. Die Norm schreibt Grenzen für die Oberschwingungen im Eingangsstrom elektrischer Verbraucher fest. Sie ist für alle elektrischen Geräte mit einer Gesamteingangsleistung von mehr als 75 W, die für den Anschluss an das öffentliche Stromnetz vorgesehen sind, verbindlich. Beleuchtungseinrichtungen fallen unabhängig von der Leistung unter diese Norm. Die genauen Grenzwerte und die Einteilung der Geräteklassen können in [4.2] nachgelesen werden.

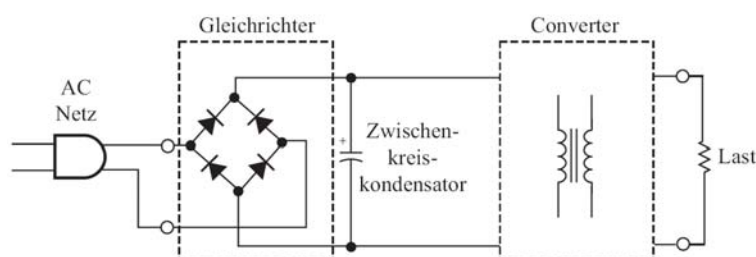


Abb. 3.44 Konventionelle Diodengleichrichter ohne PFC [4.2]

In der Vergangenheit wurde die Energie auf einfache Art und Weise aus dem Netz entnommen. Die Netzspannung wurde über Dioden gleichgerichtet und mit einer großen Kapazität, der Zwischenkreiskapazität, geglättet (Abb. 3.44). Im Betrieb dieser Schaltung ergeben sich Spannungs- und Stromverläufe wie sie in Abb. 3.45 zu sehen sind. Der Netzstrom ist als kurzer Ladeimpulsstrom zu sehen, der einen höheren Stromeffektivwert aufweist, als ein vergleichbarer Sinusstromverlauf für die Erzeugung der gleichen Leistung. Eine Fourieranalyse zeigt, dass dieser Nadelstromimpuls einen hohen prozentualen Anteil harmonischer Frequenzen aufweist, die die Qualität der Netzspannung beeinträchtigen. Abhilfe soll eine Stufe zur Leistungsfaktorkorrektur bringen.

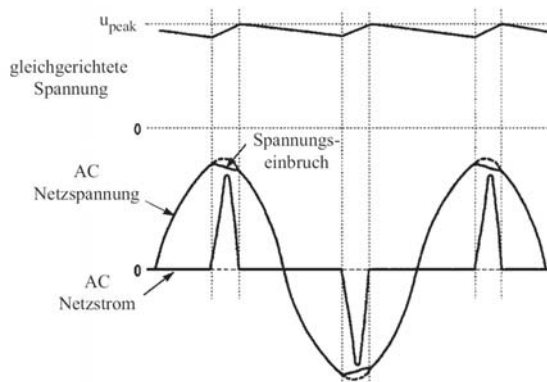


Abb. 3.45 Qualitative Netzspannungs- und Stromverläufe ohne aktive PFC [4.2]

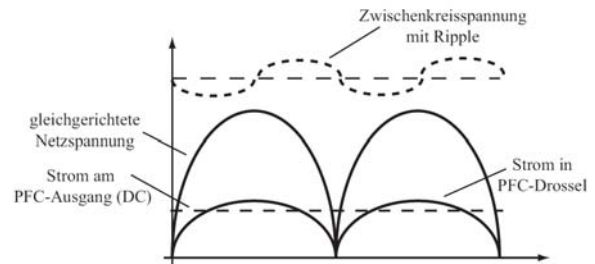


Abb. 3.46 Qualitative Netzspannungs- und Stromverläufe mit aktiver PFC [4.2]

Der Leistungsfaktor, auf Englisch Power Factor (PF), ist definiert als Verhältnis von Wirkleistung zu Scheinleistung, die aus dem Netz entnommen wird (Gl. 3.3). Der PF beträgt, im Idealfall einer ohmschen Last, Eins.

$$PF = \frac{P_W}{S}$$

Gl. 3.3 Leistungsfaktor, Power Factor

$$THD = \sqrt{\frac{\sum_{n \neq 1} I_n^2}{I_1^2}}$$

Gl. 3.4 Definition des Oberschwingungsgehaltes (THD)

$$PF = \sqrt{\frac{1}{1 + THD^2}}$$

Gl. 3.5 Beziehung zwischen Leistungsfaktor und Oberschwingungsgehalt (THD)

Die Gleichungen Gl. 3.4 und Gl. 3.5 veranschaulichen noch einmal den Zusammenhang zwischen Oberschwingungsgehalt (THD) und Leistungsfaktor. Ein hoher Oberschwingungsgehalt im Netzstrom führt zu einem schlechten Leistungsfaktor.

Die Schaltung zur Leistungsfaktorkorrektur, auf Englisch Power Factor Correction (PFC), bietet die Möglichkeit, die Form des Eingangsstromes eines Gerätes aktiv an die Form der Eingangsspannung anzupassen. Auf diese Weise wird der Leistungsfaktor des angeschlossenen Gerätes verbessert und der Anteil der Harmonischen im Verhältnis zur Grundschwingung geringer. Weiterhin wird der Effektivwert des Netzstromes geringer, da der Zwischenkreis-kondensator nicht mehr impulsweise (Abb. 3.45) sondern über die gesamte Netzperiode verteilt (Abb. 3.46) geladen wird [4.2].



Neben der Einhaltung der gesetzlichen Normen bieten PFC-Stufen weitere Vorteile gegenüber konventionellen Diodengleichrichtern:

- höhere Ausgangsleistung bei gleichem Effektivwert des Eingangsstromes möglich
- geringere Stromaufnahme bei gleicher Ausgangsleistung möglich
- geringere Belastung der Bauelemente am Netzeingang der Schaltung (NTC-Widerstand, Funkentstördrosseln)
- Weitbereichseingang realisierbar; Geräte sind weltweit einsetzbar
- sinusförmige Zwischenkreiswelligkeit

Der Aufbau einer PFC-Stufe ist mit mehreren Schaltungstopologien (Hochsetzsteller, Sperrwandler) möglich. Ihre Aufgabe besteht darin, den Eingangsstrom auf die Form der Eingangsspannung und eine gewünschte Amplitude zu regeln [4.2].

Der Hochsetzsteller hat sich sehr weit verbreitet, da der Eingangsstrom durch eine Induktivität fließt und sowohl relativ gut zu glätten als auch über einen Widerstand zu messen ist. Im Bereich kleinerer Leistung ist der Einsatz von Sperrwandlern nicht unüblich, da mit einer Stufe die Potentialtrennung und die Regelung der DC-Ausgangsspannung realisiert werden kann. Nachteile dieser einstufigen Topologien wurden in Kapitel 3.4.2 beschrieben.

Diese Arbeit befasst sich mit Hochsetzsteller-PFC-Stufen und ihrer Sonderform, der eingangsgleichrichterlosen PFC-Stufe.

#### 3.5.2 Boost-PFC-Stufe

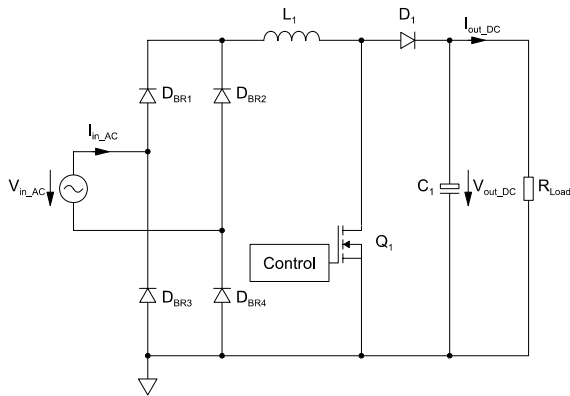
##### *Schaltung und Betriebsarten*

Die Hochsetzsteller-PFC besitzt einen einfachen Aufbau, der in Abb. 3.47 zu sehen ist. In der praktischen Ausführung befindet sich zwischen Netzanschlusspunkt und Diodengleichrichter noch das EMV-Filter. Dieser hat die Aufgabe, Störungen vom Netz fernzuhalten, die von der PFC und dem angeschlossenen SMPS erzeugt werden. Nach dem Diodengleichrichter folgen die PFC-Drossel, der PFC-MOSFET und die PFC-Diode. Am Ausgang dieser Stufe ist der Zwischenkreiskondensator angeordnet, der für die Glättung und die Energiespeicherung zuständig ist. Die Ansteuerung erfolgt in der Regel mit analogen Ansteuerschaltkreisen. Je nach der Leistungsklasse, für die die PFC bestimmt ist, gibt es unterschiedliche Ansteuerverfahren. Ein Überblick ist in Abb. 3.48 zu sehen.

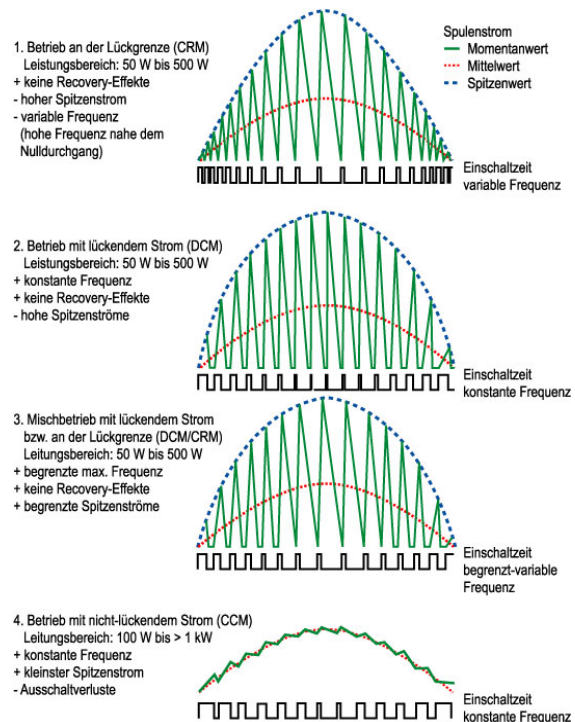
Die drei Grundprinzipien sind der lückende Betrieb, auf Englisch Discontinuous Conduction Mode (DCM), der nichtlückende Betrieb, auf Englisch Continuous Conduction Mode (CCM) und der Betrieb an der Lückgrenze, auf Englisch Critical Conduction Mode (CRM). Für die Einteilung in die Betriebsmodi wird der Spulenstrom betrachtet.

Die Steuerverfahren DCM und CRM haben den Vorteil, dass man eine konventionelle, relativ langsame Si-Diode verwenden kann und trotzdem keine Rückstromspitze infolge fehlender Speicherladung auftritt, da der Strom durch die Diode zu null gegangen ist, bevor der PFC-MOSFET wieder einschaltet.

Der MOSFET wird deshalb während des Einschaltens auch nicht mit einer zusätzlichen Stromspitze belastet. Die Einschaltverluste des MOSFETs können somit stark reduziert werden. Nachteilig an diesen Verfahren hingegen ist der hohe Spitzenstromwert, der eine große Belastung für die Diode und den MOSFET darstellt (hohe Durchlassverluste). Die große Stromwelligkeit wirkt sich negativ auf die Ausschaltverluste des MOSFETs und auf die Verluste in der PFC-Drossel (große Drosselaussteuerung) aus.



**Abb. 3.47** Schaltung einer Hochsetzsteller-PFC-Stufe mit vorgeschaltetem Brückengleichrichter



**Abb. 3.48** Unterschiede der verschiedenen PFC-Betriebsarten; Momentanwert des Spulenstroms und Ansteuermuster des Schalters dargestellt [3.1]

Die PFC-Drossel für eine CRM-PFC besitzt in der Regel weniger Induktivität und damit weniger Volumen als eine CCM-PFC-Drossel. In Summe entstehen in einer CRM-Drossel meist weniger Verluste als in einer CCM-Drossel.

Das CRM-Verfahren hat noch einen weiteren Nachteil: es arbeitet mit einer variablen Schaltfrequenz, die besonders in der Region um den Nulldurchgang sehr groß ist. Die variable Frequenz erschwert die Filterung, die hohen Werte nahe den Nulldurchgängen bewirken große Schalt- und Ansteuerverluste im PFC-MOSFET.

Beim DCM-Betrieb gibt es eine feste Schaltfrequenz, so dass die Nachteile des CRM nicht auftreten. Der Einsatz beider Steuerverfahren ist im Leistungsbereich bis ca. 150 W sinnvoll [3.1]. Die Entscheidung für CRM oder DCM hängt davon ab, ob man den Wirkungsgrad bei Vollast optimieren möchte (CRM besser geeignet) oder den Aufwand für die EMV-Filterung gering halten möchte (DCM besser geeignet) [3.1]. Der Leistungsbereich zwischen 150 W und 250 W stellt einen gewissen Graubereich dar, in dem man keine konkrete Aussage über den Vorteil des jeweiligen Systems machen kann.

Ab einer Leistung von ca. 250 W ist der CCM zu bevorzugen [3.1]. Die Begründung liegt in den geringen Spitzenströmen und in der konstanten Frequenz. Im CCM erlangt auch die Speicherladung und die deshalb auftretende Rückstromspitze in der Diode Bedeutung, da die Diode jetzt nicht mehr bei Strom null ausschaltet sondern hart abkommutiert wird. Die Rückstromspitze und die damit verbundenen Verluste können mit einer SiC-Diode vermieden werden. Ein Vergleich zwischen Si- und SiC-Dioden wurde im Kapitel 3.2.5 durchgeführt. Er zeigt den Vorteil von SiC-Dioden bei hohen Schaltfrequenzen.

Im praktischen Teil dieser Arbeit wurden mehrere Schaltnetzteile mit einer Ausgangsleistung von 800 W realisiert. Die darin verwendeten Hochsetzsteller-PFC-Stufen arbeiten alle im CCM-Modus und wurden auf 900 W Eingangsleistung ausgelegt.

#### Auslegung und Charakterisierung einer Hochsetzsteller-PFC-Stufe

Die rechnerische Auslegung einer PFC-Stufe ist in der Literatur weitgehend beschrieben. Deshalb wird auf diesen Punkt nicht weiter eingegangen [3.5], [4.2]. Dieses Kapitel soll sich vielmehr mit dem Einfluss der Schaltfrequenz auf die PFC-Komponenten und der Auswahl des optimalen Schalters am Beispiel einer 900 W PFC-Stufe mit Weitbereichseingang beschäftigen.

Die Forderung nach steigenden Schaltfrequenzen und der damit verbunden Leistungsdichte-Erhöhung ist ein lang gehegter Wunsch in der Leistungselektronik. Das Kapitel 3.2.5 hat aber schon gezeigt, dass sich mit steigender Frequenz der Wirkungsgrad der PFC-Stufe reduziert. Der Einfluss der Frequenz auf die PFC-Induktivität wird mit einem einfachen mathematischen Zusammenhang beschrieben (Gl. 3.6).

$$L = \frac{V_{IN\_Peak} \cdot D}{f_{SW} \cdot \Delta I_{pp}} \quad \Delta I_{pp} = \text{konstant}$$

Gl. 3.6 Berechnung der PFC-Drossel [3.5]

Die Erhöhung der Schaltfrequenz verkleinert die benötigte PFC-Induktivität. Die Verkleinerung des Induktivitätswertes wirkt sich natürlich auch auf die Verkleinerung des Kernvolumens aus. Die Abbildungen Abb. 3.49 und Abb. A. 24 zeigen für verschiedene Materialien den Einfluss der Schaltfrequenz auf das Drosselvolumen. Das Volumen einer PFC-Drossel aus KoolM $\mu$ -Material verkleinert sich bei einer Schaltfrequenz von 1 MHz um 65 %, gegenüber einer Schaltfrequenz von 100 kHz. Die Reduktion der Drosselverluste bei dieser Frequenzerhöhung beträgt gerade einmal 39,5 % (Abb. 3.50).

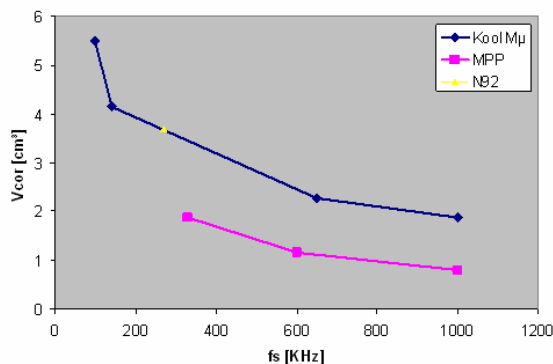


Abb. 3.49 Einfluss der Schaltfrequenz auf das Kernvolumen der Drossel in einer Hochsetzsteller-PFC; CCM-Betrieb; Stromwelligkeit konstant  
@ P<sub>IN</sub>=400 W; V<sub>IN\_RMS</sub>=180 V ;  
V<sub>OUT</sub>=420 V; ΔT<sub>max</sub>=40 K

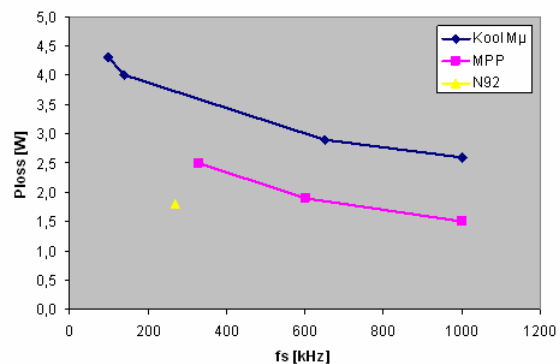


Abb. 3.50 Einfluss der Schaltfrequenz auf die Verluste der Drossel in einer Hochsetzsteller-PFC; CCM-Betrieb; Stromwelligkeit konstant  
@ P<sub>IN</sub>=400 W; V<sub>IN\_RMS</sub>=180 V ;  
V<sub>OUT</sub>=420 V; ΔT<sub>max</sub>=40 K

Das Material MPP ist hingegen besser für hohe Schaltfrequenzen geeignet, da die absoluten Verluste geringer sind, als bei KoolM $\mu$ -Material. Es kommt bei einer Frequenzerhöhung von 330 kHz auf 1 MHz zu einer Volumenreduktion um 58 %, die Verluste verringern sich um 40 %.

Die Verlustreduktion in der PFC-Drossel aufgrund einer Frequenzerhöhung fällt in der Gesamt-PFC-Betrachtung nur wenig ins Gewicht. Dieser Aspekt wird in diesem Kapitel zu einem späteren Zeitpunkt noch einmal aufgegriffen.

Die Frequenzerhöhung in der PFC-Stufe hat auch Einfluss auf das EMV-Filter, das sich zwischen Netzanschlusspunkt und Eingangsgleichrichter befindet. Eine Messung des leitungsgebundenen EMV-Spektrums soll Aufschluss über die genauen Zusammenhänge geben. Im Anhang sind drei EMV-Messverläufe für 130 kHz, 330 kHz und 600 kHz dargestellt (Abb. A. 21, Abb. A. 22, Abb. A. 23). Im Abb. A. 23 ist im Frequenzbereich bis 500 kHz ein erhöhter EMV-Messwert zu sehen, der durch Frequenzsprünge des Ansteuerschaltkreises hervorgerufen wurde. Der Ansteuerschaltkreis wurde bei 600 kHz Schaltfrequenz schon außerhalb seiner Spezifikation betrieben. Deshalb ist dieser erhöhte Wert ohne Bedeutung.

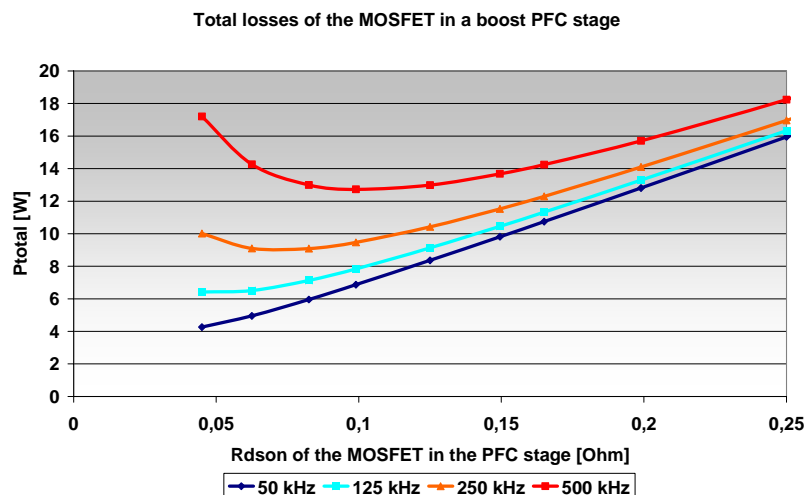
Alle Messungen wurden mit dem gleichen EMV-Filter und identischen Gate-Vorwiderständen am PFC-MOSFET durchgeführt. Die jeweilige Schaltfrequenz ist als Spitze im Spektrum zu identifizieren. Je höher die Schaltfrequenz gewählt wird, umso kleiner wird ihre Spitze, da die EMV-Filterdämpfung mit steigender Frequenz größer wird. Anhand der Messwerte ist auch zu sehen, dass durch Erhöhung der Schaltfrequenz weniger Energie in den unteren Frequenzbereichen vorhanden ist. Dieses Verhalten kann bei der Optimierung des EMV-Filters genutzt werden, indem das Filter auf höhere Frequenzen hin optimiert wird. Es kann ein Filter mit höherer Resonanzfrequenz und guten Dämpfungswerten im oberen Frequenzbereich eingesetzt werden. Hohe Dämpfungswerte des Filters im unteren Frequenzbereich werden nicht mehr benötigt.

Die Vorteile der Schaltfrequenzerhöhung für das EMV-Filter werden in Abb. A. 25 und Abb. A. 26 sichtbar. Die Erhöhung der Frequenz von 100 kHz auf 1 MHz reduziert das Volumen des EMV-Filters um 60 % bei nahezu gleicher Filterwirkung.

Der Vorteil in der Frequenzerhöhung liegt eindeutig in der Volumenreduktion des SMPS. Sie wirkt sich positiv auf die Erhöhung der Leistungsdichte aus.

Im experimentellen Teil dieser Arbeit sollen mehrere Demonstratoren für dreistufige Schaltnetzteile entstehen, die alle eine Hochsetzsteller-PFC am Eingang besitzen. Da die Ausgangsleistung der Demonstratoren 800 W betragen soll, wurden die PFC-Stufen auf eine Eingangsleistung von 900 W ausgelegt. Ein weltweiter Einsatz soll mittels eines Weitbereichseingangs ( $V_{IN\_RMS}=90 - 265 \text{ V}$ ) sichergestellt werden.

Die Auslegung der PFC-Stufe erfolgt immer für den ungünstigsten Betriebsfall, d.h. für die niedrigste Eingangsspannung ( $V_{IN\_RMS}=90 \text{ V}$ ). Die Drossel wurde mit einer Software optimiert [8.1].



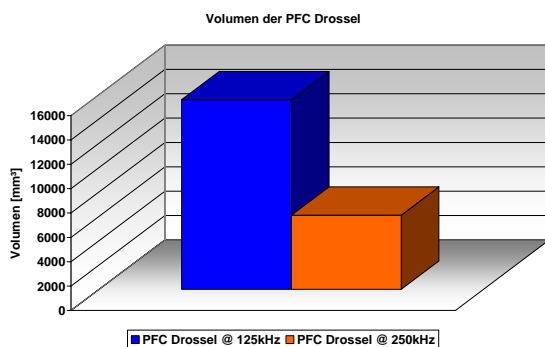
**Abb. 3.51** Gesamtverluste eines MOSFETs in einer Hochsetzsteller-PFC-Stufe in Anhängigkeit vom Durchlasswiderstand  $R_{DS(on)}$ ; Auswahl des optimalen PFC-MOSFETs (CoolMOS CP-Serie) in Abhängigkeit von der Schaltfrequenz @  $P_{IN}=900 \text{ W}$ ;  $V_{IN\_RMS}=90 \text{ V}$ ;  $V_{OUT}=400 \text{ V}$ ,  $T_J=150 \text{ °C}$

Für die Auswahl eines geeigneten Schalters aus der CoolMOS CP-Serie wurde eine Berechnung für verschiedene Schaltfrequenzen angestellt (Abb. 3.51). Die Grafik stellt die Verluste

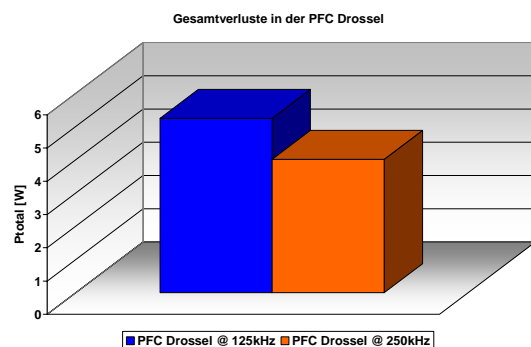
im MOSFET, über dem Durchlasswiderstand  $R_{DSon}$  bei unterschiedlichen Schaltfrequenzen dar. In die Verlustberechnung flossen die Ansteuerungsverluste, die Durchlassverluste und der kapazitive Anteil der Schaltverluste, der sich aus der Umladung der Ausgangskapazität  $C_{OSS}$  ergibt, ein. Bei dieser Betrachtung wird davon ausgegangen, dass der Kanal des Bauelementes unendlich schnell geschlossen wird und der Strom vollständig in die Ausgangskapazität kommutiert. Da dies in der Praxis nicht vollständig der Fall ist, ergibt sich infolge der jouleschen Verluste ein Fehler in der Berechnung.

Für die praktische Realisierung wurde noch festgelegt, ohne Parallelschaltung von aktiven Bauelementen in der PFC auszukommen. Die Abb. 3.51 zeigt, dass für eine Schaltfrequenz von 125 kHz ein CoolMOS CP mit 75 m $\Omega$  und für 250 kHz ein CoolMOS CP mit 99 m $\Omega$  die günstigste Auslegung hinsichtlich minimaler Verluste ist. Bei der Auswahl der MOSFETs sollte man immer den höheren Durchlasswiderstandswert im Verlustleistungsminimum (rechte Seite) wählen, da hierdurch der Teillastwirkungsgrad maximiert wird. Die Berechnung gilt nur als Auswahlhilfe, da die realen Schaltverluste aus kapazitiven und jouleschen Verlusten bestehen.

Praktisch realisiert wurden zwei PFC-Stufen: eine mit 125 kHz Schaltfrequenz, die andere mit 250 kHz unter Verwendung des 45 m $\Omega$  CoolMOS CP (IPW60R045CP) und der 6 A SiC-Diode (IDT06S60C). Die für 250 kHz berechnete PFC-Drossel aus MPP-Material besitzt 61 % weniger Volumen als ihr Äquivalent für 125 kHz (Abb. 3.52). Die Gesamtverluste der Spulen wurden durch die Frequenzverdopplung um geringe 23,5 % reduziert (Abb. 3.53).



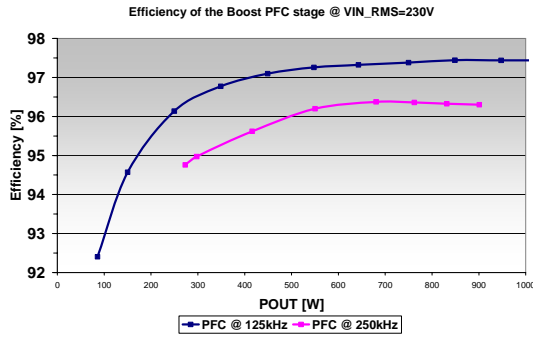
**Abb. 3.52** Abhängigkeit des Drosselvolumens von der Schaltfrequenz in einer Hochsetzsteller-PFC-Stufe mit der Kernmaterial MPP @  $P_{IN}=900$  W;  $V_{IN,RMS}=90$  V;  $V_{OUT}=410$  V



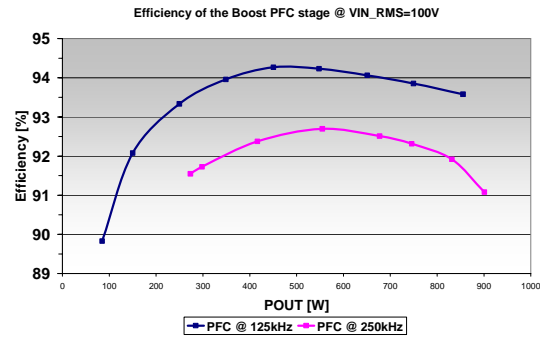
**Abb. 3.53** Abhängigkeit der Gesamtverluste in der Drossel von der Schaltfrequenz in einer Hochsetzsteller-PFC-Stufe mit der Kernmaterial MPP @  $P_{IN}=900$  W;  $V_{IN,RMS}=90$  V;  $V_{OUT}=410$  V

Der Einfluss der Schaltfrequenz auf den Wirkungsgrad ist für die niedrige Eingangsspannung in Abb. 3.55 und für die normale Eingangsspannung in Abb. 3.54 zu sehen. Das Ergebnis ist ernüchternd. Die höhere Schaltfrequenz bewirkt bei normaler Eingangsspannung von  $V_{IN}=230$  V, eine Verschlechterung des Wirkungsgrades über den gesamten Lastbereich um ca. 1 % bis 1,4 %. Bei niedriger Eingangsspannung wird der Unterschied zwischen beiden Wirkungsgrad-Kurven noch größer. Er beträgt bis zu 2 %.

Zur näheren Untersuchung des Wirkungsgrad-Unterschiedes wurde jeweils eine Verlustleistungsbilanz für das 125 kHz und das 250 kHz System aufgestellt. Sie ist im Anhang unter Abb. A. 27 bzw. Abb. A. 28 zu finden. Wie bereits erwähnt ist die Verlustreduktion durch Frequenzerhöhung in der PFC-Drossel minimal. Dagegen nehmen die Verluste im PFC-MOSFET bei einer Frequenzverdopplung von 125 kHz auf 250 kHz und bei konstanter Eingangsspannung ( $V_{IN,RMS}=100$  V) um 68 % zu. Diese Verlustzunahme ist aufgrund reiner Schaltverluste im PFC-MOSFET zu begründen.



**Abb. 3.54** Wirkungsgrad über der Ausgangsleistung einer Hochsetzsteller-PFC-Stufe mit CoolMOS CP (IPW60R045CP) und SiC-Diode (IDT06S60C) @  $V_{IN\_RMS}=230\text{ V}$ ;  $V_{OUT}=410\text{ V}$ ,  $R_{Gon}=22\ \Omega$ ;  $R_{Goff}=4,7\ \Omega$



**Abb. 3.55** Wirkungsgrad über der Ausgangsleistung einer Hochsetzsteller-PFC-Stufe mit CoolMOS CP (IPW60R045CP) und SiC-Diode (IDT06S60C) @  $V_{IN\_RMS}=100\text{ V}$ ;  $V_{OUT}=410\text{ V}$ ,  $R_{Gon}=22\ \Omega$ ;  $R_{Goff}=4,7\ \Omega$

Im praktischen Experiment wurden die Schaltgeschwindigkeit durch Verkleinerung der Gate-Vorwiderstände erhöht und die Schaltverluste damit reduziert. Der Einschalt-Gate-Vorwiderstand wurde von  $22\ \Omega$  auf  $15\ \Omega$  reduziert, der Ausschalt-Gate-Vorwiderstand von  $4,7\ \Omega$  auf  $2,2\ \Omega$ . Diese Maßnahme verbesserte den Wirkungsgrad der PFC-Stufe bei 250 kHz Schaltfrequenz,  $V_{IN\_RMS}=100\text{ V}$  Eingangsspannung und einer Ausgangsleistung von 900 W um 2,36 %, auf 93,44 %. Bei dieser Konfiguration traten aber sehr starke EMV-Störungen auf, so dass ein praktischer Dauerbetrieb damit nicht zu empfehlen ist.

Die dominierenden Schaltverluste sind die Ausschaltverluste die stark von der Schaltgeschwindigkeit und damit vom Gate-Vorwiderstand abhängig sind. Die, durch die Ausgangskapazität  $C_{OSS}$  des MOSFETs, verursachten Einschaltverluste sind mit 3,5 W (125 kHz) und 7 W (250 kHz) recht angemessen.

### *Interleaved Boost-PFC-Stufe*

In Abb. 3.51 ist zu sehen, dass die Leistungsgrenze eines Einzelbauelementes (45 m $\Omega$  CoolMOS CP) in einer Hochsetzsteller-PFC bei applikationstypischen Schaltfrequenzen (100 - 250 kHz), bei ca. 900 W erreicht ist. Praktische Untersuchungen haben dies bestätigt. Zur weiteren Erhöhung der Leistung einer PFC-Stufe gibt es zwei Möglichkeiten:

Erstens die Parallelschaltung von Bauelementen und zweitens die Verschachtelung mehrere Teilschaltungen, was auch als Interleaving bezeichnet wird.

Prinzipiell kann man sagen, dass eine Parallelschaltung von Bauelementen ein gutes Layout und ein gutes thermisches Management voraussetzt. Eine Interleaved Boost-PFC-Stufe kann in Abhängigkeit vom Leistungsbereich ein Optimum bezüglich der Ausnutzung der aktiven und passiven Materialien gegenüber einer einphasigen Lösung darstellen. Dieser Punkt wird im Rahmen dieser Arbeit nicht weiter verfolgt.

In allen bisher vorgestellten PFC-Stufen existiert am Netzeingang ein Brückengleichrichter. Wie schon die Verlustleistungsbilanz (Abb. A. 27) gezeigt hat, beträgt der Anteil der Verluste in diesem Bauelement mehr als 20 % der auftretenden Gesamtverluste einer PFC-Stufe. Eine Idee zur Vergrößerung des Systemwirkungsgrades beschäftigt sich mit einer PFC-Stufe ohne Eingangsgleichrichter, die nachfolgend vorgestellt wird.

### 3.5.3 Bridgeless-PFC-Stufe

#### Schaltung und Betriebsarten

Der Eingangsgleichrichter wurde im vorangegangenen Abschnitt als eine große Verlustquelle ermittelt. Dieser Abschnitt stellt ansatzweise eine PFC-Schaltung vor, die ohne Eingangsgleichrichter auskommt (Abb. 3.56).

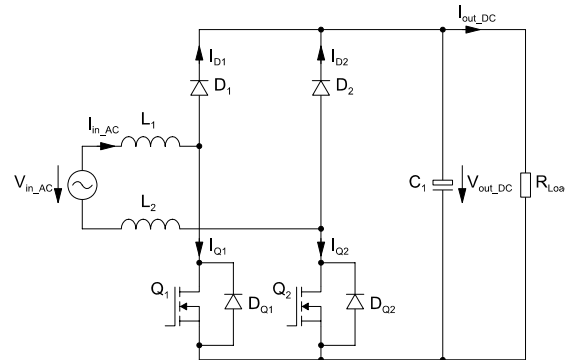


Abb. 3.56 Schaltung einer PFC-Stufe ohne Eingangsgleichrichter (Bridgeless-PFC)

Das Arbeitsprinzip ähnelt dem einer konventionellen Hochsetzsteller-PFC-Stufe. Der Unterschied besteht darin, dass sowohl für die positive Netzspannungshalbwelle als auch für die negative Netzspannungshalbwelle eine eigenständige PFC-Stufe existiert. Der Stromfluss für beide Polaritäten ist in Abb. 3.57 und Abb. 3.58 zu sehen. Die internen Body-Dioden der MOSFETs werden mit in das Gleichrichterkonzept einbezogen. Eine weitere Erhöhung des Wirkungsgrades kann durch Ansteuerung der MOSFETs während der Stromführung in den Body-Dioden erreicht werden, ähnlich dem Synchrongleichrichterbetrieb. Dies ist auf einfachste Weise zu realisieren, wenn beide MOSFETs ( $Q_1$ ,  $Q_2$ ) gleichzeitig angesteuert werden. PFC-Funktion und Synchronbetrieb werden somit gleichzeitig ausgeführt. Eine weitere minimale Wirkungsgrad-Steigerung ist durch eine permanente, nicht getaktete Ansteuerung des MOSFETs im Synchronbetrieb zu erreichen. Für diesen statischen Synchronbetrieb ist pro Halbwelle eine zusätzliche Halwellenerkennung nötig.

Eine Bridgeless-PFC kann mit allen bekannten Steuerverfahren: CCM, DCM und auch CRM betrieben werden. Weiterführende Informationen zur Schaltung und zum Betrieb sind in der Literatur zu finden [3.4], [3.2], [3.3].

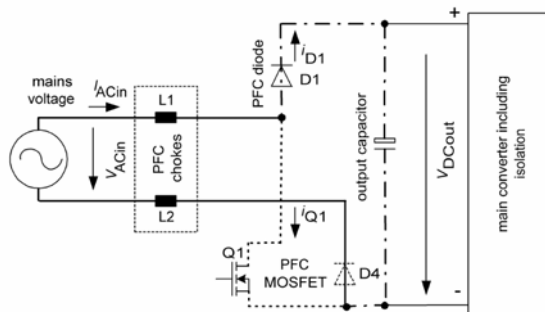


Abb. 3.57 Stromfluss in der Bridgeless-PFC bei der positiven Halbwelle der Netzspannung [3.4]

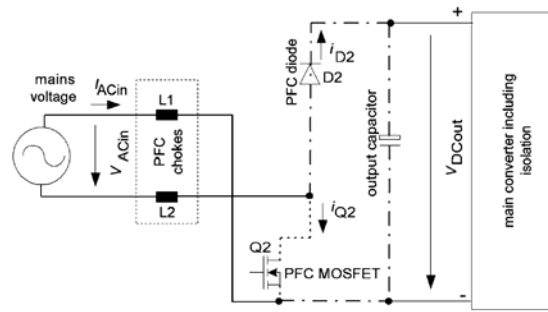


Abb. 3.58 Stromfluss in der Bridgeless-PFC bei der negativen Halbwelle der Netzspannung [3.4]

*Auslegung und Charakterisierung einer Bridgeless-PFC-Stufe*

Die Auslegung des Leistungsteils der eingangsgleichrichterlosen PFC-Stufe verläuft äquivalent zur Auslegung einer konventionellen Hochsetzsteller-PFC. Es ist zu beachten, dass die PFC-Induktivität aus Gründen der Symmetrie auf zwei Teildrosseln aufgeteilt wird. Die Anordnung der Teilwindungen erfolgt in der Regel auf einem Kern.

Die Steuerung der Schaltung kann mit gängigen PFC-Schaltkreisen erfolgen, die mit einer zusätzlichen Polaritätserkennung zu ergänzen sind.

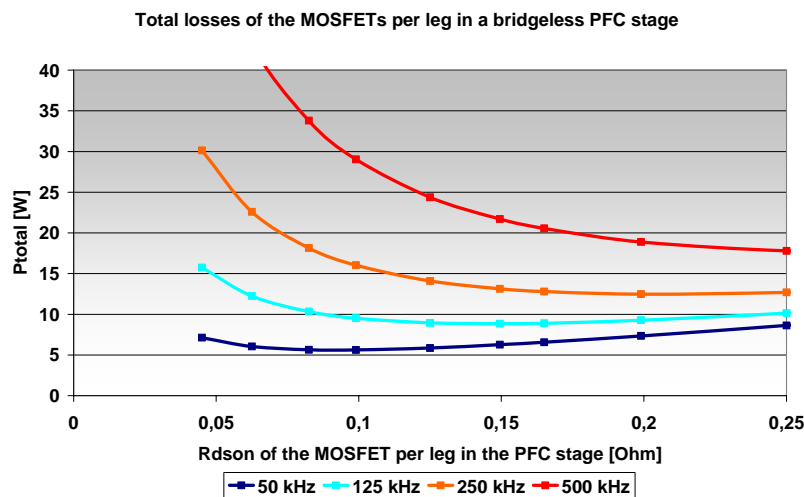
Für die Auswahl eines geeigneten Schalters, aus der CoolMOS CP-Serie, wurde eine Berechnung für verschiedene Schaltfrequenzen angestellt (Abb. A. 29). Diese Berechnung wurde aus Gründen der Vergleichbarkeit unter denselben Bedingungen wie bei der Hochsetzsteller-PFC-Stufe im Kapitel 3.5.2 durchgeführt.

Die Grafik stellt die Verluste im MOSFET über dem Durchlasswiderstand  $R_{DSon}$  bei verschiedenen Schaltfrequenzen dar. Eine Verlustabschätzung bei Parallelschaltung von MOSFETs kann ebenfalls durchgeführt werden.

In die Verlustberechnung flossen die Ansteuerungsverluste, die Durchlassverluste und der kapazitive Anteil der Schaltverluste, der sich aus der Umladung der Ausgangskapazität  $C_{OSS}$  ergibt, ein. Bei dieser Betrachtung wird davon ausgegangen, dass der Kanal des Bauelementes unendlich schnell geschlossen wird und der Strom vollständig in die Ausgangskapazität kommutiert. Da dies in der Praxis nicht vollständig der Fall ist, ergibt sich aufgrund der jouleschen Verluste ein Fehler in der Berechnung.

Weitere Parameter waren die Netzeingangsspannung von  $V_{IN\_RMS}=90$  V und die Eingangsleistung von  $P_{IN}=900$  W.

Bei der Realisierung erwies sich der CoolMOS CP von Firma Infineon mit  $99$  m $\Omega$  Durchlasswiderstand bei  $125$  kHz Schaltfrequenz als die beste Wahl hinsichtlich minimaler Verluste (Abb. A. 29). Bei der Auswahl der MOSFETs sollte man immer den höheren Durchlasswiderstandswert im Verlustleistungsminimum (rechte Seite) wählen, da hierdurch der Teillastwirkungsgrad maximiert wird.



**Abb. 3.59** Gesamtverluste eines MOSFETs ( $Q_1$ ,  $Q_2$ ) in einer Bridgeless PFC-Stufe in Abhängigkeit vom Durchlasswiderstand  $R_{DSon}$ ; Auswahl des optimalen PFC-MOSFETs (CoolMOS CP-Serie) in Abhängigkeit von der Schaltfrequenz @  $P_{IN}=1500$  W;  $V_{IN\_RMS}=207$  V;  $V_{OUT}=400$  V,  $T_j=150$  °C

Praktisch realisiert wurde eine PFC-Stufe für eine Ausgangsleistung von  $1500$  W bei einem geringen Eingangsspannungsbereich von  $V_{IN\_RMS}=207 - 264$  V. Die Schaltung arbeitet mit  $130$  kHz (Abb. 3.61). Entsprechend der Berechnung in Abb. 3.59 sowie experimentellen Vorüberlegungen erwies sich die Parallelschaltung von zwei CoolMOS CP mit  $99$  m $\Omega$  als opti-

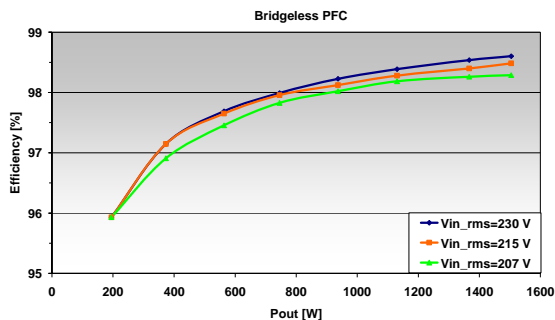


male Konfiguration. Der Spitzenwert des gemessenen Wirkungsgrades lag bei 98,6 %. Die Variation der Effizienz über der Ausgangsleistung ist in Abb. 3.60 zu sehen.

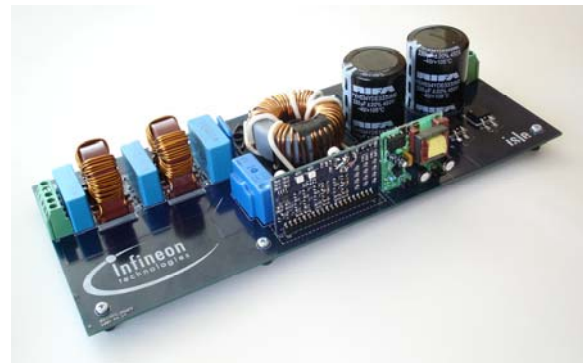
Die geringen Verluste, die zu diesem hohen Wirkungsgrad führen, entstehen hauptsächlich in den PFC-MOSFETs und Dioden. Die Verlustleistungsbilanz im Anhang gibt genauen Aufschluss über die Verlustverteilung (Abb. A. 30).

Die praktische Realisierung einer Bridgeless-PFC hat gezeigt, dass die Schaltung in der Lage ist, ohne Eingangsgleichrichter einen Wirkungsgrad nahe 99 % zu erzeugen. Dieses Ziel wurde unter Vernachlässigung des Kostenaspektes sowie der Leistungsdichte realisiert. Die Kosten werden hauptsächlich durch den hohen Halbleiteranteil und die Strommessung verursacht, die nicht über einen Shunt zu realisieren ist.

Neben den Kosten stellte die EMV einen weiteren kritischen Punkt dar, da bei dieser Schaltung das Zwischenkreispotential gegenüber dem Schutzleiterpotential (PE) springt. Dieser Aspekt muss bei einer praktischen Realisierung gesondert betrachtet werden. In der Literatur werden Lösungsansätze für das EMV-Problem vorgestellt [3.3]. Durch das Einfügen von Kondensatoren zwischen der Zwischenkreismasse und dem Netzeingang, wird ein definierter Weg für den hochfrequenten Störstrom geschaffen. Mittels dieses Ansatzes kann man das EMV-Spektrum der Bridgeless-PFC auf das Niveau einer konventionellen PFC bringen.



**Abb. 3.60** Wirkungsgrad über der Ausgangsleistung einer Bridgeless-PFC-Stufe mit CoolMOS CP (IPB60R099CP) und SiC-Diode (IDT16S60C) @  $f_{sw}=130$  kHz;  $V_{OUT}=380$  V



**Abb. 3.61** Praktischer Aufbau einer Bridgeless-PFC-Stufe für eine Ausgangsleistung von 1500 W

#### 3.5.4 Zusammenfassung und Schlussfolgerungen

Schaltnetzteile, die an das öffentliche Energieversorgungsnetz angeschlossen werden sollen, müssen ab einer Eingangsleistung von 75 W mit einer PFC-Stufe ausgestattet sein. Für die praktische Umsetzung gibt es mehrere Schaltungskonzepte.

Für eine nicht isolierende PFC-Stufe hat sich die Topologie des Hochsetzstellers durchgesetzt. Die Steuerung dieser Stufe kann im Wesentlichen mit drei verschiedenen Steuerverfahren realisiert werden, dem lückenden Betrieb (DCM), dem nichtlückenden Betrieb (CCM) und dem Betrieb an der Lückgrenze (CRM). Für den Leistungsbereich über 250 W ist der CCM-Betrieb das geeignete Ansteuerungsverfahren.

Für den experimentellen Teil dieser Arbeit wurde eine PFC-Stufe mit 900 W Eingangsleistung benötigt. Bei der Auslegung wurden zwei Optimierungswege eingeschlagen, erstens die Optimierung auf Wirkungsgrad, was zu einer PFC mit 125 kHz Schaltfrequenz führte und zweitens die Optimierung auf Leistungsdichte, die mit einer Frequenzverdopplung erreicht wurde. Der Vergleich dieser beiden experimentell realisierten Systeme zeigt eine Volumenreduktion an der PFC-Drossel um 61 % infolge der Frequenzverdopplung. Im Ge-

genzug kam es durch die höhere Schaltfrequenz zu größeren Schaltverlusten im PFC-MOSFET, die besonders bei niedriger Eingangsspannung ( $V_{IN\ RMS}=100\ V$ ) den Wirkungsgrad um bis zu 2 % verschlechterten.

Eine Schaltfrequenzerhöhung von z.B. 130 kHz auf 330 kHz bzw. 600 kHz wirkt sich positiv auf das EMV-Filter aus, da sich durch die Erhöhung der Frequenz das Volumen des EMV-Filters bei nahezu gleicher Filterwirkung reduzieren lässt.

Um in Bereiche höherer Leistung vorzustoßen, hat man entweder die Möglichkeit mehrere aktive Bauelemente in einer PFC-Stufe parallel zu schalten oder man verschachtelt mehrere PFC-Stufen, die phasenverschoben angesteuert werden. Da besonders die Parallelschaltung von Si-Dioden aufgrund ihres negativen Temperaturkoeffizienten kritisch ist, stellt die interleaved PFC-Stufe eine akzeptable Lösung dar. Das Optimum der Ausnutzung von aktiven und passiven Bauelementen muss in Abhängigkeit von der jeweiligen Leistungsklasse untersucht werden. Es kann nicht pauschal gesagt werden, dass eine verschachtelte PFC-Stufe bezüglich Wirkungsgrad bzw. Kosten besser ist, als eine einphasige PFC-Stufe.

Der Eingangsgleichrichter in einer Hochsetzsteller-PFC erzeugt im Mittel mehr als 20 % der Gesamtverluste einer PFC. Das Konzept einer eingangsgleichrichterlosen PFC, d.h. einer Bridgeless-PFC-Stufe, kommt ohne dieses Bauelement aus. Man kann dadurch einen höheren Wirkungsgrad erreichen. Diese Schaltung weist jeweils eine PFC-Stufe für die positive und für die negative Netzspannungshalbperiode auf. Sie lässt sich mit einfachen Ansteuerschaltkreisen kontrollieren. Mit einem Demonstrator für 1500 W Ausgangsleistung wurde ein Wirkungsgrad nahe 99 % realisiert. Dabei wurde der Kostenaspekt vernachlässigt. Neben den Kosten stellt das EMV-Verhalten der Schaltung noch einen kritischen Punkt dar. Zur Erfüllung der EMV-Anforderungen müssen applikationsspezifische Lösungen gefunden werden.

Nach diesem Gesamtüberblick über verschiedene PFC-Schaltungen und Ansteuermöglichkeiten zeigte sich für die benötigte Leistung von 900 W, dass konventionelle Hochsetzsteller-Konzepte im CCM-Betrieb optimale Lösungen für die praktische Realisierung sind. Dabei spielten Faktoren wie Kosten, EMV-Verhalten, Leistungsdichte, Komplexität und Wirkungsgrad eine entscheidende Rolle.

## 3.6 Hauptwandler-Stufe

### 3.6.1 Vorbemerkungen

Der Hauptwandler ist die zentrale Baugruppe in einem Schaltnetzteil. Der Hauptwandler besitzt einen Transformator zur Realisierung der galvanischen Trennung und zur groben Anpassung der Spannungsebenen zwischen Eingang und Ausgang.

Neben der galvanischen Trennung muss der Hauptwandler in zweistufigen Topologien die Leistungsstellung ausführen.

Dreistufige Topologien hingegen besitzen, wie in Kapitel 3.4.4 beschrieben, eine Zusatzstufe, die den Hauptwandler von dieser Aufgabe entlastet. Der Hauptwandler in einer dreistufigen Topologie kann also für konstanten Betrieb ausgelegt werden, d.h. er kann mit einem festen Signaltastverhältnis von 50 % je Schalter arbeiten. Man kann den Wandler in diesem Betrieb als „DC-Transformator“ ansehen. Wie bei jedem Schaltnetzteil ist zu beachten, dass die magnetischen Komponenten insbesondere der Transformator nicht gesättigt werden.

Bei stromgespeisten Topologien ergibt sich automatisch ein Flussgleichgewicht bzw. ein stabiler DC-Offset am Transformator. Bei spannungsgespeisten Topologien, insbesondere bei Verwendung von Vollbrückenschaltungen auf der Primärseite des Transformators, muss jedoch mittels Steuerung das Flussgleichgewicht am Transformator eingestellt werden.

Die nachfolgenden Abschnitte geben einen Überblick über die Eigenschaften und bevorzugten Anwendungsgebiete verschiedener partiell hart schaltender Wandler sowie Resonanzwandler.

#### 3.6.2 Partiiell hart schaltende Wandler

##### *Spannungsgespeiste und stromgespeiste Wandler im Vergleich*

Bei den partiell hart schaltenden Wandlern gibt es zwei grundsätzliche Arten, den spannungsgespeisten Wandler (Abb. 3.62) und den stromgespeisten Wandler (Abb. 3.63).

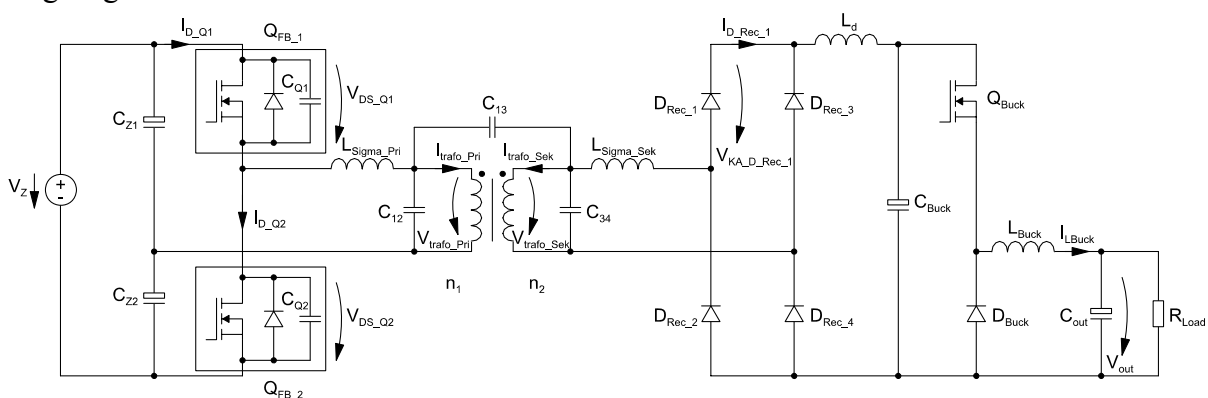
Der Begriff partiell hart schaltender Wandler wurde gewählt, da es keine zu 100 % hart schaltenden Wandler gibt. Aufgrund von parasitären Elementen kommt es fast immer zu einem entlasteten Schalten.

Dieser Abschnitt soll die Vorzüge und Nachteile von Wandlern mit Stromeinprägung bzw. Spannungseinprägung auf der Primärseite des Transformators zeigen und ihre Einsatzgebiete herausstellen. Die Betrachtungen wurden mit Hilfe von Simulationen durchgeführt. Es wurden dafür folgende Parameter zugrunde gelegt:

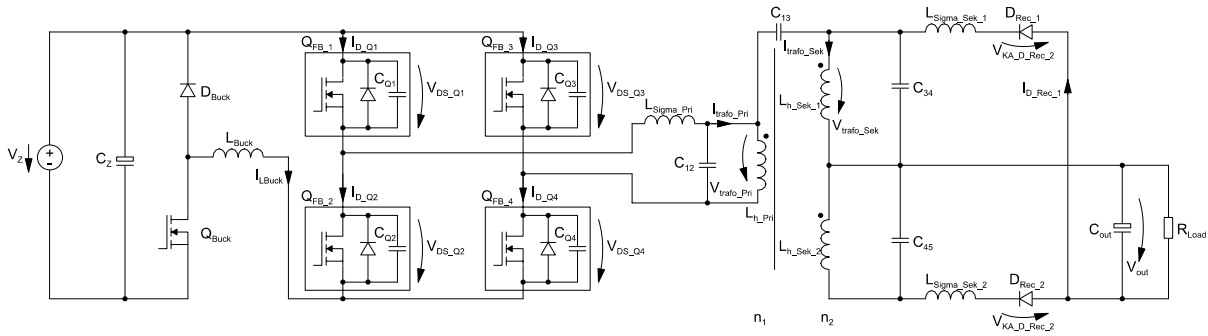
- Zwischenkreisspannung: 410 V DC
- Ausgangsspannung: 12 V; 100 V; 1000 V DC
- Ausgangsleistung: 800 W
- Trafo-Übersetzungsverhältnis: 5:1; 1:1; 1:5

Der Vergleich sollte auf einer einheitlichen Basis stattfinden, deshalb wurde sowohl für die spannungseingeprägten als auch für die stromeingeprägten Systeme eine Ausgangsleistung von 800 W gewählt. Die Eigenschaften der Schaltungen wurden für drei verschiedenen Ausgangsspannungen und angepasste Größen in den Schaltungen untersucht. Der Einfluss der parasitären Elemente wie Streuinduktivität und Schalter- bzw. Wicklungskapazität wurde ebenfalls untersucht. Die ausführlichen Simulationsschaltpläne sind im Anhang (Abb. A. 31 bis Abb. A. 36) zu finden.

Die Simulationsergebnisse für die beiden Systeme wurden in Tabellenform verglichen. Dabei wurde das Verhältnis vom Spitzenwert zum Effektivwert in Form des Crest-Faktors der wichtigsten Größen (Strom, Spannung) an aussagekräftigen Bauelementen für den Vergleich herangezogen.



**Abb. 3.62** Schaltplan des spannungsgespeisten hart schaltenden Wandlers für die Vergleichsuntersuchungen



**Abb. 3.63** Schaltplan des stromgespeisten hart schaltenden Wandlers für die Vergleichsuntersuchungen

In Tab. 3.1 sind die Werte für die partiell hart schaltenden Wandler mit Spannungseinprägung auf der Primärseite des Trafos zusammengefasst.

Der Crest-Faktor ist bei dem Konverter für 12 V DC-Ausgangsspannung nahezu bei allen betrachteten Größen angemessen. Der erhöhte Spitzenwert des primärseitigen Drain-Stroms ist zu vernachlässigen, da der Effektivwert einen kleinen Wert besitzt. Der Spitzenwert der sekundärseitigen Diodenspannung steht in direkten Zusammenhang zur Streuinduktivität im Kreis (Vergleich: Abb. A. 37, Abb. A. 38). Eine Verkleinerung der Streuung verkleinert im untersuchten Bereich auch die Überspannung an den sekundären Dioden. Ein Nebeneffekt ist bei der Verkleinerung der Streuung zu sehen. Die Spitzenströme in den primärseitigen Schaltern vergrößern sich, da aufgrund einer kleineren Streuung der Stromanstieg beim Umladen der parasitären Kapazitäten nicht mehr so stark begrenzt wird.

	Variante I	Variante II	Variante III
Bulk Voltage DC_AVG [V]	410	410	410
Output Voltage DC_AVG [V]	12	100	1000
Output Power DC_AVG [W]	800	800	800
Transformer Transmission Ratio	5	1	0,2
Primary MOSFET Drain Current (Peak/RMS) [%]	205	2730	1139
Primary MOSFET Drain Source Voltage (Peak/RMS) [%]	142	142	142
Transformer Primary Voltage (Peak/RMS) [%]	179	180	230
Transformer Primary Current (Peak/RMS) [%]	107	131	321
Transformer Secondary Voltage (Peak/RMS) [%]	172	183	230
Transformer Secondary Current (Peak/RMS) [%]	105	118	402
Secondary Rectifier Diode Current (Peak/RMS) [%]	147	155	338
Secondary Rectifier Diode Voltage (Peak/RMS) [%]	302	340	351

**Tab. 3.1** Vergleich verschiedener hart schaltender Wandler mit Spannungseinprägung auf der Primärseite des Transformators;  
Gegenüberstellung der Bauelementebelastung bei der Erzeugung von: 12 V; 100 V; 1000 V DC-Ausgangsspannung; 800 W Ausgangsleistung;  
Darstellung des Spitzenwertes gegenüber dem Effektivwert (Peak/RMS=Crest-Faktor) in Prozent

Die Verkleinerung der parasitären Kapazitäten  $C_p$  (Schalterkapazitäten  $C_Q$ ; Trafokapazitäten  $C_{xx}$ ) wirkt sich auch positiv auf die sekundärseitigen Überspannungen an den Gleichrichtern aus. Weiterhin wird die Schwingungsneigung im System verringert (Vergleich: Abb. A. 37, Abb. A. 39).

Die Belastung der Elemente bei Erzeugung von Hochspannung mit einem spannungsgespeisten Wandler, ist ebenfalls in Tab. 3.1 zu sehen. Nahezu alle betrachteten Elemente werden stark belastet. Aus dieser Betrachtung ist zu schließen, dass sich ein Konverter mit Spannungseinprägung auf der Primärseite am besten für die Erzeugung niedriger Spannungen bei großen Strömen eignet.

Das Pendant zur primärseitigen Spannungseinprägung ist die primärseitige Stromeinprägung. Die Zusammenfassung der Untersuchungsergebnisse ist in Tab. 3.2 zu sehen.

	Variante I	Variante II	Variante III
Bulk Voltage DC_AVG [V]	410	410	410
Output Voltage DC_AVG [V]	12	100	1000
Output Power DC_AVG [W]	800	800	800
Transformer Transmission Ratio	5	1	0,2
Primary MOSFET Drain Current (Peak/RMS) [%]	264	231	618
Primary MOSFET Drain Source Voltage (Peak/RMS) [%]	655	445	162
Transformer Primary Voltage (Peak/RMS) [%]	343	388	116
Transformer Primary Current (Peak/RMS) [%]	231	156	418
Transformer Secondary Voltage (Peak/RMS) [%]	342	388	116
Transformer Secondary Current (Peak/RMS) [%]	366	268	643
Secondary Rectifier Diode Current (Peak/RMS) [%]	382	323	353
Secondary Rectifier Diode Voltage (Peak/RMS) [%]	623	464	152

**Tab. 3.2 Vergleich verschiedener hart schaltender Wandler mit Stromeinprägung auf der Primärseite des Transformators;  
Gegenüberstellung der Bauelementebelastung bei der Erzeugung von: 12 V; 100 V; 1000 V DC-Ausgangsspannung; 800 W Ausgangsleistung;  
Darstellung des Spitzenwertes gegenüber dem Effektivwert (Peak/RMS=Crest-Faktor) in Prozent**

Der Crest-Faktor ist bei 12 V DC-Ausgangsspannung, im Vergleich zu der vorherigen Betrachtung besonders groß. Das bedeutet, die untersuchten Bauelemente der Schaltung sind stark belastet. Es treten sowohl hohe Stromspitzen als auch starke Spannungsbelastungen der Bauelemente auf. Aus diesen Gründen ist ein Konverter mit Stromeinprägung auf der Primärseite des Transformators nicht für die Erzeugung niedriger Spannungen und hoher Ströme geeignet.

Anhand Tab. 3.2 ist die bessere Eignung des Konverters für die Erzeugung von hohen Spannungen zu sehen. Bei Erzeugung einer DC-Ausgangsspannung von 1000 V zeigen nahezu alle betrachteten Größen einen zulässigen Crest-Faktor. Die erhöhten Spitzenwerte der untersuchten Ströme sind zu vernachlässigen, da ihre Effektivwerte in einem System zur Hochspannungserzeugung eher gering sind.

Die Streuinduktivität im Kreis beeinflusst die Stromspitzen und die Schwingungen in den Stromverläufen sowohl des primärseitigen als auch des sekundärseitig fließenden Stromes. Eine Verkleinerung der Streuung verkleinert sowohl Stromspitzen als auch Schwingungen (Vergleich: Abb. A. 40, Abb. A. 41). Der Einfluss der Streuung auf die Spitzenwerte der Schalterspannungen in einem Hochspannungssystem ist eher gering.

Die Verkleinerung der parasitären Kapazitäten  $C_p$  (Schalterkapazitäten  $C_Q$ ; Trafokapazitäten  $C_{xx}$ ), wirkt sich sowohl positiv auf die Verkleinerung der Schaltüberspannungen als auch auf die Verkleinerung der Stromspitzen aus (Vergleich: Abb. A. 40, Abb. A. 42).

	stromgespeicherter Wandler	spannungsgespeicherter Wandler
Eignung zur Hochstromerzeugung	-	+
Eignung zur Hochspannungserzeugung	+	-
Wirkung der parasitären Induktivitäten bei Hochstromerzeugung	-	o
Wirkung der parasitären Kapazitäten bei Hochstromerzeugung	+	o
Beanspruchung der primärseitigen Halbleiter bei Hochstromerzeugung	-	+
Beanspruchung der sekundärseitigen Halbleiter bei Hochstromerzeugung	-	+
Spannungsbeanspruchung (Isolation) des Transformators bei Hochstromerzeugung	-	+
Wirkung der parasitären Induktivitäten bei Hochspannungserzeugung	-	+
Wirkung der parasitären Kapazitäten bei Hochspannungserzeugung	-	-
Beanspruchung der primärseitigen Halbleiter bei Hochspannungserzeugung	+	-
Beanspruchung der sekundärseitigen Halbleiter bei Hochspannungserzeugung	+	o
Spannungsbeanspruchung (Isolation) des Transformators bei Hochspannungserzeugung	+	-

**Tab. 3.3 Zusammenfassung der Eigenschaften strom- und spannungsgespeicherter, partiell hart schaltender Wandler (+ positiv; - negativ; o durchschnittlich)**

Tab. 3.3 fasst noch einmal alle wichtigen Ergebnisse der Betrachtung zusammen. Es ist eindeutig zu sehen, dass sich ein primärseitig spannungsgespeicherter Wandler sehr gut für die Erzeugung hoher Ströme und niedriger Spannungen eignet. Ein primärseitig stromgespeicherter Wandler kann dagegen vorteilhaft in Anwendungen zur Erzeugung hoher Spannungen eingesetzt werden. Bei einem spannungsgespeicherten Wandler zur Hochstrom-Erzeugung haben die

parasitären Kapazitäten bzw. Induktivitäten keinen übermäßig negativen Einfluss auf das Wandlerprinzip. Dagegen ist bei stromgespeisten Systemen zur Hochspannungserzeugung der Einfluss der parasitären Kapazitäten und Induktivitäten nicht zu vernachlässigen. Die parasitären Elemente bewirken vornehmlich Schwingungen in den Stromverläufen sowie Stromspitzen in den primärseitigen und sekundärseitigen MOSFETs.

Anwendungsfelder für spannungsgespeiste Wandler sind alle Stromversorgungen, bei denen hohe Ströme und niedrige Spannungen benötigt werden, beispielsweise Schaltnetzteile im PC- und Server-Bereich, Prozessorstromversorgungen aber auch Stromversorgungen für die Galvanotechnik.

Da sich stromgespeiste Wandler besonders für die Erzeugung von Hochspannung eignen, ist die Medizintechnik (Magnetoresonanztomographen, Röntgenanlagen) als ein Hauptanwendungsfeld zu nennen.

Bei partiell hart schaltenden Wandlern treten harte Schaltvorgänge auf. Bedingt durch parasitäre Elemente in der Schaltung entstehen entlastete Schaltvorgänge. Diese Schaltvorgänge sind verlustbehaftet, weil während des Stromflusses durch den Schalter sich schon eine Spannung am Schalter aufbaut bzw. während des Spannungsabbaus am Schalter schon ein Strom fließt.

Mit Erhöhung der Schaltfrequenz werden die Schaltverluste immer größer, was derzeitige Bauelemente rasch an ihre Grenzen stoßen lässt.

Ein Ausweg zur Minimierung von Schaltverlusten bieten Resonanzkonverter, die nachfolgend behandelt werden.

### 3.6.3 Resonanzwandler für die DC-DC Transformation

Resonanzwandler nutzen Schwingungsvorgänge von Spannungen bzw. Strömen aus, um die Schaltverluste zu minimieren. Sie unterscheiden sich von den zuvor untersuchten partiell hart schaltenden Wandlern durch ein vorhandenes Resonanznetzwerk aus Kapazitäten und Induktivitäten. Das Resonanznetzwerk stellt einen internen Energiespeicher in der Schaltung dar.

Grundsätzlich kann man zwei Arten von Resonanznetzwerken unterscheiden, den Reihenschwingkreis und den Parallelschwingkreis. Die einfachsten Ausführungen sind einerseits der Reihenschwingkreis mit serieller Lastauskopplung (Abb. 3.64) und andererseits der Parallelschwingkreis mit paralleler Lastauskopplung (Abb. 3.65). Der Reihenresonanzkreis wird mit einer rechteckförmigen Spannung angeregt, der Stromfluss durch die Resonanzelemente ist sinusförmig. Der Parallelresonanzkreis hingegen wird mit einem rechteckförmigen Strom angeregt, über den Resonanzelementen prägt sich eine sinusförmige Spannung aus.

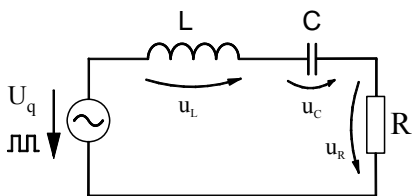


Abb. 3.64 Reihenschwingkreis mit serieller Lastauskopplung

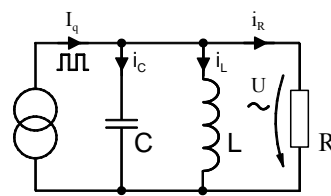


Abb. 3.65 Parallelschwingkreis mit paralleler Lastauskopplung

Beide dargestellten Konverter stellen die Grundtypen der Resonanzanordnungen dar, bei beiden Schaltungen ist die Resonanz unabhängig vom Lastwiderstand R. Weiterführende Untersuchungen und mathematische Beschreibungen der verschiedenen Resonanzkonverter sind in der Literatur zu finden [1.2], [4.6].

Neben der Einteilung der verschiedenen Konverter nach der Anordnung der Resonanzelemente kann man die Konverter noch nach der Art der Lastauskopplung klassifizieren. Sowohl beim Reihenresonanzkonverter als auch beim Parallelresonanzkonverter kann die Last seriell oder parallel zum Schwingkreis ausgekoppelt werden. Entsprechend ergeben sich verschiedene Topologien und ein unterschiedliches Übertragungsverhalten.

Die Untersuchungen in dieser Arbeit beziehen sich auf ungesteuerte Resonanzkonverter, die mit 100 % Konvertertastverhältnis als „DC-Transformator“ arbeiten sollen. Die Eingangsspannung liegt in der Größenordnung 410 V, die DC-Ausgangsspannung bei 12 V und die Ausgangsleistung bei 800 W.

Für die Verwendung als „DC-Transformator“ ergeben sich vier Topologien, die nachfolgend näher betrachtet werden sollen:

- Serienresonanzkonverter mit serieller Lastauskopplung
- Serienresonanzkonverter mit paralleler Lastauskopplung
- Parallelresonanzkonverter mit paralleler Lastauskopplung
- Parallelresonanzkonverter mit serieller Lastauskopplung

Bei jeder der vier Topologien gibt es mehrere Möglichkeiten der primär- und sekundärseitigen Schalteranordnung:

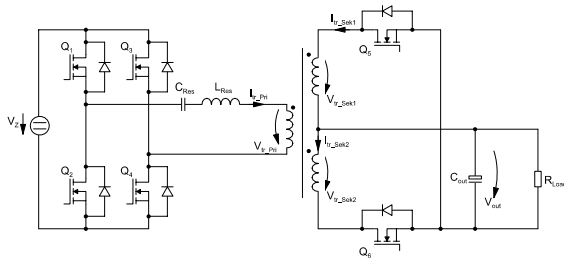
- AC-Mittelpunkt
- DC-Mittelpunkt
- Vollbrücke

Die unterschiedlichen Möglichkeiten der primärseitigen Schalterkonfiguration für strom- bzw. spannungsgespeiste Systeme sind in Anhang Abb. A. 43 bis Abb. A. 48 zu sehen. Das Pendant für die Sekundärseite ist in den Abbildungen Abb. A. 49 bis Abb. A. 54 dargestellt.

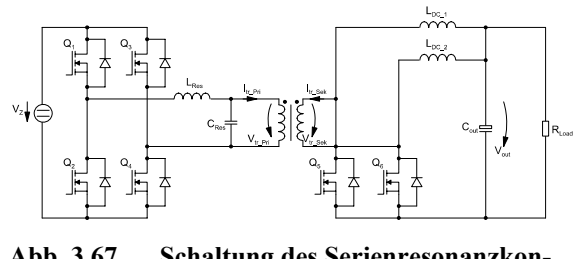
Zu jeder Resonanzschaltung gibt es neun Kombinationen von Ein- und Ausgangstopologien. Die Ergebnisse der Vergleiche für die vier bereits oben genannten Grundtopologien wurden in Tabellenform aufbereitet und sind in Anhang auf Abb. A. 55 bis Abb. A. 58 zu sehen.

Aus diesen Untersuchungen haben sich die vier praxisrelevanten Schaltungen herauskristallisiert, die in Abb. 3.66 bis Abb. 3.69 dargestellt sind. Jede dieser Schaltungen soll nachfolgend etwas näher vorgestellt werden. Dabei wird deren Eignung als „DC-Transformator“ von  $V_{IN}=410\text{ V}$  auf  $V_{OUT}=12\text{ V}$  mit 100 % Konvertertastverhältnis im Vordergrund der Betrachtungen stehen.

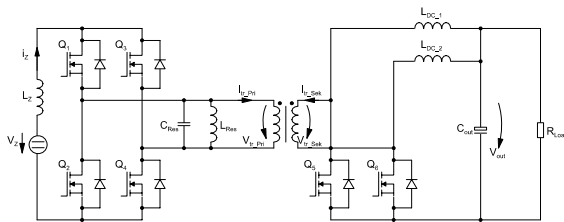
Primärseitig, d.h. auf der Hochspannungsseite, wird für die vergleichenden Betrachtungen eine Vollbrückentopologie angesetzt. Auf der Sekundärseite ist aufgrund des hohen Ausgangsstromes ( $I_{OUT}=67\text{ A}$ ) auf eine Vollbrücke zu verzichten, da der Strom immer durch zwei Schaltelemente fließen müsste und höhere Verluste entstehen würden. Wird eine sekundärseitige Stromeinprägung benötigt, ist die DC-Mittelpunkt (current doubler)-Anordnung zu verwenden. Hier wird jeder Gleichrichter nur vom halben Laststrom durchflossen. Bei einer sekundären Spannungseinprägung hingegen ist der AC-Mittelpunkt vorteilhaft, da hier die Spannungsbelastung der Gleichrichter vergleichsweise gering ist.



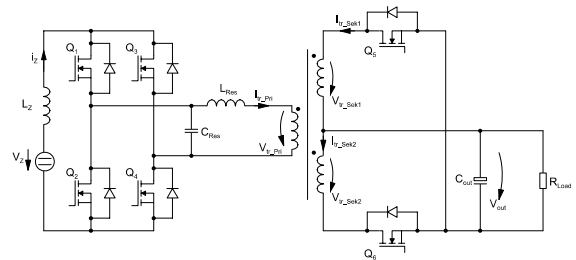
**Abb. 3.66** Schaltung des Serienresonanzkonverters mit serieller Lastauskopplung für  $V_{IN}=410\text{ V}$ ;  $V_{OUT}=12\text{ V}$ ;  $P_{OUT}=800\text{ W}$



**Abb. 3.67** Schaltung des Serienresonanzkonverters mit paralleler Lastauskopplung für  $V_{IN}=410\text{ V}$ ;  $V_{OUT}=12\text{ V}$ ;  $P_{OUT}=800\text{ W}$



**Abb. 3.68** Schaltung des Parallelresonanzkonverters mit paralleler Lastauskopplung für  $V_{IN}=410\text{ V}$ ;  $V_{OUT}=12\text{ V}$ ;  $P_{OUT}=800\text{ W}$



**Abb. 3.69** Schaltung des Parallelresonanzkonverters mit serieller Lastauskopplung für  $V_{IN}=410\text{ V}$ ;  $V_{OUT}=12\text{ V}$ ;  $P_{OUT}=800\text{ W}$

Unerlässlich ist die Untersuchung der Lastabhängigkeit dieser Schaltungen. Der Einsatz der Resonanzwandler als „DC-Transformatoren“ erfolgt ungesteuert, das bedeutet jede Änderung der Eingangsspannung wird an die Ausgangsspannung weitergegeben und jede Lastvariation spiegelt sich am Eingang des Konverters wider.

Zur Untersuchung des Systemverhaltens wurden theoretische Analysen der einzelnen Konverter im eingeschwungenen Zustand vorgenommen. Dabei wurde angenommen, dass der Ausgangskondensator auf der Sekundärseite unendlich groß ist und sich im aufgeladenen Zustand befindet. Die DC-Seite wurde mit einem Grundswingungsmodell untersucht. Die AC-Seite konnte mittels der komplexen Rechnung beschrieben werden, da sinusförmige Größen vorlagen. Auf die detaillierte mathematische Beschreibung soll im Rahmen dieser Arbeit verzichtet werden, da diese sehr umfangreich ist. Sie kann in der Literatur nachgelesen werden [1.2], [7.1]. Vielmehr soll auf die Ergebnisse der Betrachtungen eingegangen werden.

### *Serienresonanzkonverter mit serieller Lastauskopplung*

Der Reihenresonanzwandler mit serieller Lastauskopplung ist in Abb. 3.66 dargestellt. Eingangsseitig ist eine Vollbrückentopologie vorhanden, die die eingepreßte Gleichspannung in eine rechteckförmige Spannung umwandelt. Der Schwingkreis wird durch diese Spannung angeregt und antwortet mit einem sinusförmigen Strom, der auch durch den sekundärseitigen Gleichrichter fließt.

Die primärseitigen Schalter in einem Brückenarm müssen mit einer Zweigverriegelungszeit angesteuert werden, um einen Kurzschluss der eingepreßten Spannung zu vermeiden.

Die primärseitigen Halbleiter sind relativ gering belastet, ihre Spannung ist durch den Zwischenkreis geclamped. Die sekundärseitigen Schalter werden statisch mit der doppelten Ausgangsspannung belastet. Je nach Qualität der Ankopplung des Ausgangskondensators ergibt sich eine dynamische Überspannungsbelastung.



Der Stromfluss durch die primärseitigen und die sekundärseitigen Schalter ist abschnittsweise sinusförmig. Dabei ist zu beachten, dass sich bei sinusförmigem Stromfluss (Resonanzkonverter) 23 % höhere Durchlassverluste in einem MOSFET ergeben als bei rechteckförmigen Stromfluss (hart schaltende Konverter) (Gl. 3.7 bis Gl. 3.12). Die Ansteuerung von Synchrongleichrichter-MOSFETs ist einfach zu realisieren, da die primärseitigen und die sekundärseitigen Schalterspannungen in Phase liegen.

Ein Serienresonanzwandler kann in drei verschiedenen Betriebszuständen arbeiten:

- resonanter Betrieb
- unterresonanter Betrieb
- überresonanter Betrieb

$$I_{RMS\_sin e} = \frac{\hat{I}_{sin e}}{2}$$

**Gl. 3.7** Zusammenhang zwischen Spitzenwert und Effektivwert einer Sinusgröße bei 100 % Konvertertastverhältnis

$$\bar{I}_{AVG\_rec\ tan\ gle} = \frac{\hat{I}_{rec\ tan\ gle}}{2}$$

**Gl. 3.10** Zusammenhang zwischen Spitzenwert und Mittelwert einer Rechteckgröße bei 100 % Konvertertastverhältnis

$$\bar{I}_{AVG\_sin e} = \frac{\hat{I}_{sin e}}{\pi}$$

**Gl. 3.8** Zusammenhang zwischen Spitzenwert und Mittelwert einer Sinusgröße bei 100 % Konvertertastverhältnis

$$I_{RMS\_sin e} = \frac{\pi}{2 \cdot \sqrt{2}} \cdot I_{RMS\_rec\ tan\ gle}$$

**Gl. 3.11** Zusammenhang zwischen den Mittelwerten einer Rechteckgröße und einer Sinusgröße bei 100 % Konvertertastverhältnis

$$I_{RMS\_rec\ tan\ gle} = \frac{\hat{I}_{rec\ tan\ gle}}{\sqrt{2}}$$

**Gl. 3.9** Zusammenhang zwischen Spitzenwert und Effektivwert einer Rechteckgröße bei 100 % Konvertertastverhältnis

$$P_{fw\_sin e} = \frac{\pi^2}{8} \cdot P_{fw\_rec\ tan\ gle}$$

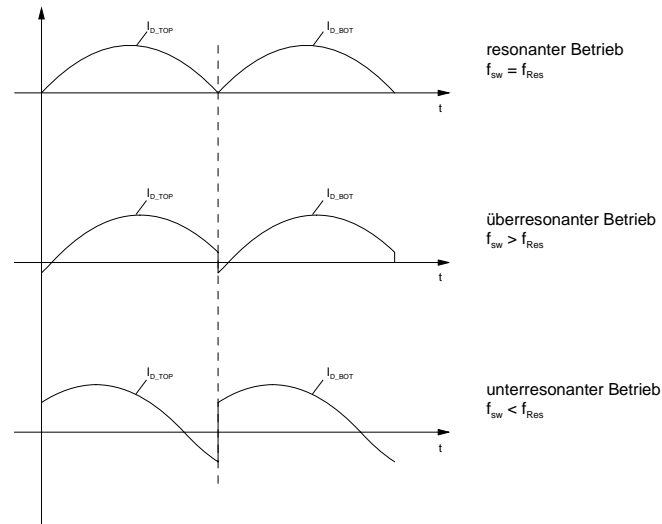
**Gl. 3.12** Zusammenhang zwischen den Durchlassverlusten eines rechteckförmigen Stromes und eines sinusförmigen Stromes bei 100 % Konvertertastverhältnis

Die Verläufe der Schalterströme beim Serienresonanzkonverter sind in Abb. 3.70 zu sehen.

Der genau *resonante Betrieb*, bei dem die Resonanzfrequenz des Schwingkreises mit der Schaltfrequenz übereinstimmt, hat kaum eine praktische Bedeutung. Das liegt daran, dass man zwar im Stromnulldurchgang schaltet und theoretisch keine Verluste verursachen würde, in der Realität aber genau das Gegenteil abläuft. Da im Stromnulldurchgang kein Strom vorhanden ist, um die parasitären Kapazitäten des MOSFETs und des Transformators umzuladen, schaltet man beim nächsten Einschaltvorgang des MOSFETs auf die noch aufgeladenen Kapazitäten (Ausgangskapazität ( $C_{OSS}$ ) + Trafokapazität) und es entstehen Schaltverluste.

Der *überresonante Betrieb* löst die Probleme, die im resonanten Betrieb auftreten. Es wird mit einer Schaltfrequenz gearbeitet, die über der Resonanzfrequenz liegt. Dadurch wird nicht mehr im Stromnulldurchgang geschaltet sondern davor. Auf die Anwendung bezogen bedeutet das, man schaltet einen Strom ab, dessen Größe durch den Steuerwinkel (Grad der Überresonanz) und die aktuelle Last bestimmt wird. In diesem Betriebszustand ist also ein Strom zur Umladung der parasitären Kapazitäten vorhanden und man kann ein verlustloses Einschalten

(ZVS) der primärseitigen Schalter erreichen. Im Leichtlastbetrieb bzw. Leerlauf geht der Strom durch den Schwingkreis zurück bis hin zu null. Spätestens in diesem Arbeitspunkt verliert man die ZVS-Bedingung und schaltet hart auf die noch nicht umgeladenen parasitären Kapazitäten. In Abhängigkeit von der Schaltfrequenz können die hohen Schaltverluste zur Zerstörung der primärseitigen Schalter führen.



**Abb. 3.70** Primärseitige Schalterströme bei den verschiedenen Betriebsarten des Serienresonanzkonverters (unabhängig von der Art der Lastauskopplung)

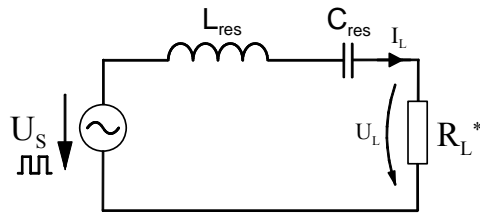
Die dritte Betriebsart ist der *unterresonante Betrieb*. Dabei wird eine Schaltfrequenz vorgegeben, die unter der Resonanzfrequenz des Schwingkreises liegt. In diesem Betrieb kommt es zu einem Umschwingen (Polaritätswechsel) des Stromes durch die primärseitigen Schalter und während der Zweigverriegelungszeit zu einem Stromfluss durch die Body-Diode. Beim nächsten Einschalten des gegenüberliegenden MOSFETs kommt es zu einem harten Abkommutieren der zuvor stromdurchflossenen Body-Diode. Dieses harte Kommutieren ist nur mit einem MOSFET mit schneller Body-Diode möglich.

Da dieser Betriebsfall erhöhte Anforderungen an die Body-Diode des MOSFETs stellt und praktisch keine Vorteile aufweist, ist er zu vermeiden.

Das Ersatzschaltbild für die Analyse des stationären Konverterverhaltens ist in Abb. 3.71 zu sehen. Die reale Resonanzkreisfrequenz und ihre Abhängigkeit vom Lastwiderstand ist in Gl. 3.14 beschrieben.

Die für den Betrieb des Konverters interessanteste Aussage zeigt Gl. 3.16. Die Frequenz, bei der sich der Schwingkreis wie ein ohmscher Widerstand verhält, ist lastunabhängig. Das bedeutet, über den ganzen Lastbereich hinweg liegen Strom und Spannung an den primärseitigen Schaltern in Phase. Ein resonantes Schalten ist somit immer möglich. Dieses Verhalten wurde ebenfalls in simulativen Untersuchungen festgestellt.

Der Serienresonanzkonverter mit serieller Lastauskopplung ist sehr gut für den Einsatz als „DC-Transformator“ geeignet, da die Resonanz des Konverters lastunabhängig ist. Der überresonante Betrieb ist der praktisch relevante Betriebsfall.



**Abb. 3.71** Ersatzschaltbild des Serienresonanzkonverters mit serieller Lastauskopplung (stationäre Betrachtung; Grundschwingungsmodell)

$$R_L^* = \frac{8}{\pi^2} \cdot \omega^2 \cdot R_L$$

**Gl. 3.13** Primärseitig wirksamer Lastwiderstand

$$\omega_{RES} = \sqrt{\omega_0^2 - \delta^2} = \sqrt{\frac{1}{L_{RES} \cdot C_{RES}} - \left(\frac{R_L^*}{2 \cdot L_{RES}}\right)^2}$$

**Gl. 3.14** Reale Resonanzkreisfrequenz

$$\underline{Z}(j\omega) = R_L^* + j \cdot \left( L_{RES} \cdot \omega - \frac{1}{C_{RES} \cdot \omega} \right)$$

**Gl. 3.15** Schwingkreisimpedanz

$$\omega_{\text{Im}=0} = \frac{1}{\sqrt{L_{RES} \cdot C_{RES}}} \rightarrow f_{ZIRS} = f_0 = \frac{1}{2 \cdot \pi \cdot \sqrt{L_{RES} \cdot C_{RES}}}$$

**Gl. 3.16** Frequenz bei der sich der Schwingkreis wie ein ohmscher Widerstand verhält

### *Serienresonanzkonverter mit paralleler Lastauskopplung*

Der Reihenresonanzwandler mit paralleler Lastauskopplung ist in Abb. 3.67 dargestellt. Eingangsseitig ist wieder eine Vollbrückentopologie vorhanden, die die eingepreßte Gleichspannung in eine rechteckförmige Spannung umwandelt. Der Schwingkreis wird durch diese Spannung angeregt und antwortet mit einem sinusförmigen Strom. Der sinusförmige Strom fließt durch die Schwingkreisinduktivität ( $L_{RES}$ ). Die Auskopplung der Last erfolgt parallel zur Schwingkreiskapazität ( $C_{RES}$ ). Aufgrund der Drosseln am Ausgang des Konverters ergibt sich ein rechteckförmiger Stromfluss durch den Transformator und durch die sekundärseitigen Gleichrichter.

Die primärseitigen Schalter in einem Brückenweig müssen mit einer Zweigverriegelungszeit angesteuert werden, um einen Kurzschluss der eingepreßten Spannung zu vermeiden.

Die primärseitigen Halbleiter sind relativ gering belastet, ihre Spannung ist über die Body-Dioden auf den Zwischenkreis geclamped. Die sekundärseitigen Schalter werden mit einer sinusförmigen Spannung belastet. Es ist besonders hinsichtlich der Ansteuerung von Synchrongleichrichter-MOSFETs zu beachten, dass die primärseitigen und die sekundärseitigen Schalterspannung nicht in Phase liegen.

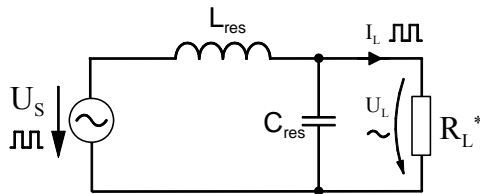
Dieser Serienresonanzwandler kann auch in drei verschiedenen Betriebszuständen arbeiten:

- resonanter Betrieb
- unterresonanter Betrieb
- überresonanter Betrieb

Die Verläufe der Schalterströme bei den verschiedenen Betriebszuständen sind mit denen in Abb. 3.70 identisch. Weiterhin sind die Betrachtungen zu den einzelnen Betriebszuständen analog zu den Ausführungen beim Serienresonanzkonverter mit serieller Lastauskopplung.

Das Ersatzschaltbild für die Analyse des stationären Konverterverhaltens ist in Abb. 3.72 zu sehen. Die reale Resonanzkreisfrequenz und ihre Abhängigkeit vom Lastwiderstand ist in Gl. 3.18 beschrieben.

Die für den Betrieb des Konverters interessanteste Aussage zeigen Gl. 3.20 und Gl. 3.21. Die Frequenz, bei der sich der Schwingkreis wie ein ohmscher Widerstand verhält, ist lastabhängig. Dieses Verhalten wurde ebenfalls bei der simulativen Untersuchung des Konverters festgestellt. Das bedeutet, bei Lastschwankungen verändert sich die Resonanzbedingung des Konverters. Strom und Spannung an den primärseitigen Schaltern sind nicht mehr in Phase. Ein resonantes Schalten ist somit nicht lastunabhängig möglich.



**Abb. 3.72** Ersatzschaltbild des Serienresonanzkonverters mit paralleler Lastauskopplung (stationäre Betrachtung; Grundschwingungsmodell)

$$R_L^* = \frac{8}{\pi^2} \cdot w^2 \cdot R_L$$

**Gl. 3.17** Primärseitig wirksamer Lastwiderstand

$$\omega_{RES} = \sqrt{\omega_0^2 - \delta^2} = \sqrt{\frac{1}{L_{RES} \cdot C_{RES}} - \frac{1}{4 \cdot R_L^{*2} \cdot C_{RES}^2}}$$

**Gl. 3.18** Reale Resonanzkreisfrequenz

$$\underline{Z}(j\omega) = \frac{\frac{R_L^*}{(\omega C_{RES})^2} + j \left( \frac{L_{RES}}{\omega C_{RES}^2} + \omega L_{RES} R_L^{*2} - \frac{R_L^{*2}}{\omega C_{RES}} \right)}{\frac{1}{(\omega C_{RES})^2} + R_L^{*2}}$$

**Gl. 3.19** Schwingkreisimpedanz

$$\omega_{Im=0} = \sqrt{\frac{1}{L_{RES} C_{RES}} - \frac{1}{(C_{RES} R_L^*)^2}}$$

**Gl. 3.20** Kreisfrequenz bei der sich der Schwingkreis wie ein ohmscher Widerstand verhält

$$f_{ZVRS} = \frac{1}{2 \cdot \pi} \cdot \sqrt{\frac{1}{L_{RES} C_{RES}} - \frac{1}{(C_{RES} R_L^*)^2}}$$

**Gl. 3.21** Frequenz bei der sich der Schwingkreis wie ein ohmscher Widerstand verhält

Der Serienresonanzkonverter mit paralleler Lastauskopplung ist für den Einsatz als „DC-Transformator“ prinzipiell ungeeignet, da die Resonanz des Konverters lastabhängig ist. Für einen Betrieb mit geringer Lastvariation wäre die Lösung denkbar. Da man aber neben den Resonanzelementen auf der Primärseite noch zusätzliche sekundärseitige Glättungsdrosseln benötigt, ist die Lösung unwirtschaftlich.

### Parallelresonanzkonverter mit paralleler Lastauskopplung

Der Parallelresonanzwandler mit paralleler Lastauskopplung ist in Abb. 3.68 dargestellt. Eingangsseitig ist eine Vollbrückentopologie vorhanden, die den eingprägten Gleichstrom in einen rechteckförmigen Strom umwandelt. Der Schwingkreis wird durch diesen Strom ange-

regt und antwortet mit einer sinusförmigen Spannung. Die sinusförmige Spannung liegt über den primärseitigen Schaltern an, wird über den Transformator auf die Sekundärseite übertragen und dort liegt sie wiederum über den Gleichrichtern an. Der Stromfluss durch die Gleichrichter weist einen rechteckförmigen Verlauf auf.

Die primärseitigen Schalter in einem Brückenweig müssen mit einer Zweigüberlappungszeit angesteuert werden, um permanent einen Weg für den eingepprägten Gleichstrom zu gewährleisten.

Die primärseitigen Halbleiter werden durch eine sinusförmige Spannung belastet, deren Amplitude von der Abstimmung des Schwingkreises abhängig ist. Die sekundärseitigen Schalter werden ebenfalls mit einer sinusförmigen Spannung belastet, die der primärseitigen Schalterspannung, bewertet mit dem Trafo-Übersetzungsverhältnis, entspricht.

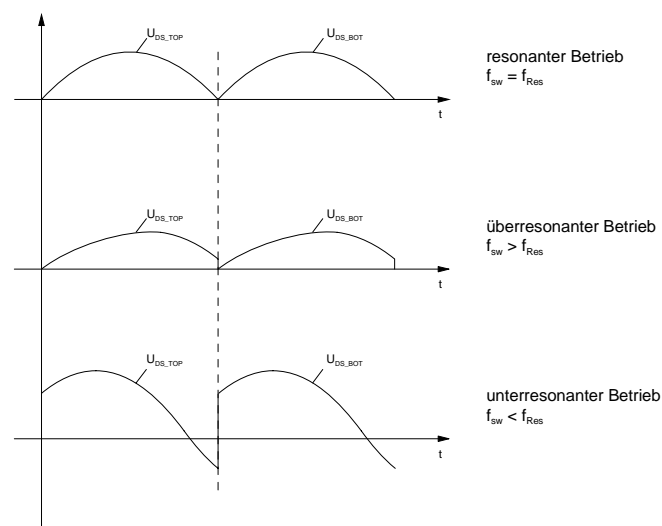
Der Strom durch die primärseitigen und die sekundärseitigen Schalter ist abschnittsweise ein Gleichstrom. Die Ansteuerung der Synchrongleichrichter-MOSFETs ist wiederum einfach zu realisieren, da die primärseitigen und die sekundärseitigen Schalterspannungen in Phase liegen.

Ein Parallelresonanzwandler kann in drei verschiedenen Betriebszuständen arbeiten:

- resonanter Betrieb
- unterresonanter Betrieb
- überresonanter Betrieb

Die Verläufe der Schalterspannungen beim Parallelresonanzkonverter, unter Verwendung von sperrfähigen Schaltern, sind in Abb. 3.73 zu sehen.

Der genau *resonante Betrieb*, bei dem die Resonanzfrequenz des Schwingkreises mit der Schaltfrequenz übereinstimmt, ist der erste anwendbare Betriebsfall. Man kann im resonanten Betrieb ein verlustloses Schalten erreichen, da man quasi im Nulldurchgang der Schalterspannung schaltet. In diesem Arbeitspunkt werden keine besonderen Anforderungen an die primärseitigen Schalter gestellt.



**Abb. 3.73** Primärseitige Schalterspannungen bei den verschiedenen Betriebsarten des Parallelresonanzkonverters (unabhängig von der Art der Lastauskopplung)

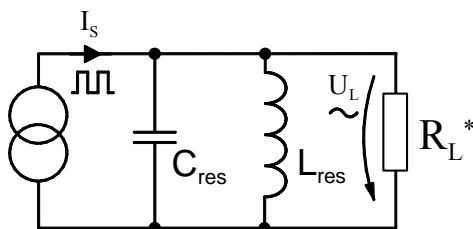
Der *unterresonante Betrieb* ist die zweite mögliche Betriebsart. Dabei wird eine Schaltfrequenz vorgegeben, die unter der Resonanzfrequenz des Schwingkreises liegt. Für diesen Betrieb sind primärseitig sperrfähige Schalter nötig, die eine Spannung beim Umschwingen der Schwingkreisspannung aufnehmen können. Ein sperrfähiger Schalter kann in der einfachsten Anordnung mittels eines MOSFETs und einer Reihendiode realisiert werden. Würde man auf den Einsatz von sperrfähigen Schaltern verzichten, käme es beim Umschwingen der Schalterspannung zu einem Stromfluss (Schwingkreisstromfluss) in den primärseitigen Schalter und dessen Body-Diode. Eine Zerstörung des Schalters wäre absehbar.

Die Realisierung eines sperrfähigen Schalters durch einen MOSFET mit einer Reihendiode ist für die praktische Anwendung nicht vorteilhaft, da immer in beiden seriell angeordneten Bauelementen Durchlassverluste anfallen.

Aufgrund dieses elementaren Problems ist der unterresonante Betrieb mit derzeitigen Halbleitern nicht vorteilhaft.

Der *überresonante Betrieb* ist die dritte mögliche Betriebsart eines Resonanzkonverters. Es wird mit einer Schaltfrequenz gearbeitet, die über der Resonanzfrequenz liegt. Dadurch wird nicht mehr im Spannungsnulldurchgang geschaltet sondern davor. Praktisch bedeutet das, man schaltet auf eine Spannung ein, deren Größe durch den Steuerwinkel (Grad der Überresonanz) bestimmt wird. Dieser Betriebsfall ist praktisch zu vermeiden, da man hart auf die momentane Schwingkreisspannung einschaltet und somit den Schwingkreis hart entlädt. Die Verluste in den Schaltern wären so groß, dass es unweigerlich zur Zerstörung dieser kommen würde.

Das Ersatzschaltbild für die Analyse des stationären Konverterverhaltens ist in Abb. 3.74 zu sehen. Die reale Resonanzkreisfrequenz und ihre Abhängigkeit vom Lastwiderstand ist in Gl. 3.23 beschrieben. Weiterführende Untersuchungen zu Parallelresonanzkonvertern und den Anforderungen an die Halbleiter in diesen Topologien sind in [4.12], [4.13] und [4.3] dargestellt.



**Abb. 3.74** Ersatzschaltbild des Parallelresonanzkonverters mit paralleler Lastauskopplung (stationäre Betrachtung; Grundschaingmodell)

$$R_L^* = \frac{8}{\pi^2} \cdot w^2 \cdot R_L$$

**Gl. 3.22** Primärseitig wirksamer Lastwiderstand

$$\omega_{RES} = \sqrt{\omega_0^2 - \delta^2} = \sqrt{\frac{1}{L_{RES} \cdot C_{RES}} - \frac{1}{4 \cdot R_L^{*2} \cdot C_{RES}^2}}$$

**Gl. 3.23** Reale Resonanzkreisfrequenz

$$\underline{Y}(j\omega) = j\omega C_{RES} + \frac{1}{R_L^*} - \frac{j}{\omega L_{RES}} = \frac{1}{R_L^*} + j \left( \omega C_{RES} - \frac{1}{\omega L_{RES}} \right)$$

**Gl. 3.24** Schwingkreisadmittanz

$$\omega_{Im=0} = \frac{1}{\sqrt{L_{RES} \cdot C_{RES}}} \rightarrow f_{ZVRS} = f_0 = \frac{1}{2 \cdot \pi \cdot \sqrt{L_{RES} \cdot C_{RES}}}$$

**Gl. 3.25** Frequenz bei der sich der Schwingkreis wie ein ohmscher Widerstand verhält

Die für den Betrieb des Konverters interessanteste Aussage zeigt Gl. 3.25. Die Frequenz, bei der sich der Schwingkreis wie ein ohmscher Widerstand verhält, ist lastunabhängig. Das be-

deutet, über den ganzen Lastbereich hinweg liegen Strom und Spannung an den primärseitigen Schaltern in Phase. Ein resonantes Schalten ist somit immer möglich. Dieses Verhalten wurde ebenfalls in simulativen Untersuchungen festgestellt.

Der Parallelresonanzkonverter mit paralleler Lastauskopplung ist sehr gut für den Einsatz als „DC-Transformator“ geeignet, da die Resonanz des Konverters lastunabhängig ist. Beim ungesteuerten Betrieb als „DC-Transformator“ kann man auf die Verwendung von sperrfähigen Schaltern verzichten, da man immer im idealen Resonanzpunkt der Spannung schalten kann (resonanter Betrieb).

#### *Parallelresonanzkonverter mit serieller Lastauskopplung*

Der Parallelresonanzwandler mit serieller Lastauskopplung ist in Abb. 3.69 dargestellt. Eingangseitig ist wieder eine Vollbrückentopologie vorhanden, die den eingepprägten Gleichstrom in einen rechteckförmigen Strom umwandelt. Der Schwingkreis wird durch diesen Strom angeregt und antwortet mit einer sinusförmigen Spannung.

Aufgrund der seriellen Lastauskopplung im Schwingkreis, in Reihe zur Schwingkreisinduktivität ( $L_{RES}$ ), fließt durch den Transformator ein sinusförmiger Strom, wobei die Spannung am Trafo einen rechteckförmigen Verlauf aufweist.

Die rechteckförmige Spannung liegt auch über den sekundärseitigen Gleichrichtern an, die abschnittsweise von einem sinusförmigen Strom durchflossen werden.

Auch diese Topologie verlangt, dass die primärseitigen Schalter in einem Brückenweig mit einer Zweigüberlappungszeit angesteuert werden, um permanent einen Weg für den eingepprägten Gleichstrom zu gewährleisten.

Die primärseitigen Halbleiter werden durch eine sinusförmige Spannung belastet, deren Amplitude von der Abstimmung des Schwingkreises abhängig ist. Die sekundärseitigen Schalter werden statisch mit der doppelten Ausgangsspannung belastet. Je nach Qualität der Ankopplung des Ausgangskondensators ergibt sich eine dynamische Überspannungsbelastung.

Der Strom durch die primärseitigen Schalter ist rechteckförmig, durch die sekundärseitigen Schalter abschnittsweise sinusförmig. Dabei ist die gleiche Problematik wie beim Serienresonanzkonverter mit serieller Lastauskopplung zu beachten, dass sich bei sinusförmigem Stromfluss (Resonanzkonverter) 23 % höhere Durchlassverluste in einem MOSFET ergeben als bei rechteckförmigen Stromfluss (hart schaltende Konverter). Es ist besonders hinsichtlich der Ansteuerung der Synchrongleichrichter-MOSFETs zu beachten, dass die primärseitigen und die sekundärseitigen Schalterspannungen nicht in Phase liegen.

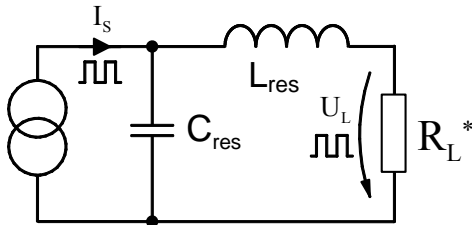
Dieser Parallelresonanzwandler kann auch in drei verschiedenen Betriebszuständen arbeiten:

- resonanter Betrieb
- unterresonanter Betrieb
- überresonanter Betrieb

Die Verläufe der Schalterströme bei den verschiedenen Betriebszuständen sind mit denen in Abb. 3.73 identisch. Weiterhin sind die Betrachtungen zu den einzelnen Betriebszuständen analog zu den Ausführungen beim Parallelresonanzkonverter mit paralleler Lastauskopplung.

Das Ersatzschaltbild für die Analyse des stationären Konverterverhaltens ist in Abb. 3.75 zu sehen. Die reale Resonanzkreisfrequenz und ihre Abhängigkeit vom Lastwiderstand ist in Gl. 3.27 zu sehen.

Die für den Betrieb des Konverters interessanteste Aussage zeigen Gl. 3.29 und Gl. 3.30. Die Frequenz, bei der sich der Schwingkreis wie ein ohmscher Widerstand verhält, ist lastabhängig. Dieses Verhalten wurde ebenfalls bei der simulativen Untersuchung des Konverters festgestellt. Das bedeutet, bei Lastschwankungen verändert sich die Resonanzbedingung des Konverters. Strom und Spannung an den primärseitigen Schaltern sind nicht mehr in Phase. Ein resonantes Schalten ist somit nicht lastunabhängig möglich.



**Abb. 3.75** Ersatzschaltbild des Parallelresonanzkonverters mit serieller Lastauskopplung (stationäre Betrachtung; Grundschaubild)

$$R_L^* = \frac{8}{\pi^2} \cdot \omega^2 \cdot R_L$$

**Gl. 3.26** Primärseitig wirksamer Lastwiderstand

$$\omega_{RES} = \sqrt{\omega_0^2 - \delta^2} = \sqrt{\frac{1}{L_{RES} \cdot C_{RES}} - \left(\frac{R_L^*}{2 \cdot L_{RES}}\right)^2}$$

**Gl. 3.27** Reale Resonanzkreisfrequenz

$$Z(j\omega) = \frac{\frac{L_{RES} R_L^*}{C_{RES}} - j \left( \frac{\omega L_{RES}^2}{C_{RES}} - \frac{L_{RES}}{\omega C_{RES}^2} \right) - j \frac{R_L^{*2}}{\omega C_{RES}} - \frac{R_L^*}{\omega C_{RES}} \left( \omega L_{RES} - \frac{1}{\omega C_{RES}} \right)}{R_L^{*2} + \left( \omega L_{RES} - \frac{1}{\omega C_{RES}} \right)^2}$$

**Gl. 3.28** Schwingkreisimpedanz

$$\omega_{Im=0} = \sqrt{\frac{1}{L_{RES} C_{RES}} - \left(\frac{R_L^*}{L_{RES}}\right)^2}$$

**Gl. 3.29** Kreisfrequenz bei der sich der Schwingkreis wie ein ohmscher Widerstand verhält

$$f_{ZVRS} = \frac{1}{2 \cdot \pi} \cdot \sqrt{\frac{1}{L_{RES} C_{RES}} - \left(\frac{R_L^*}{L_{RES}}\right)^2}$$

**Gl. 3.30** Frequenz bei der sich der Schwingkreis wie ein ohmscher Widerstand verhält

Der Parallelresonanzkonverter mit serieller Lastauskopplung ist für den Einsatz als „DC-Transformator“ prinzipiell ungeeignet, da die Resonanz des Konverters lastabhängig ist. Für einen Betrieb mit geringer Lastvariation wäre die Lösung denkbar, da man neben den Resonanzelementen auf der Primärseite keine zusätzlichen sekundärseitigen passiven Bauelemente benötigt (abgesehen vom Ausgangskondensator).

### 3.6.4 Zusammenfassung und Schlussfolgerungen

Die Hauptwandler-Stufe stellt die zentrale Baugruppe in einem Schaltnetzteil dar. Sie hat zwei wesentliche Aufgaben, die galvanische Trennung zwischen Eingang und Ausgang sowie die grobe Anpassung der Spannungsebenen zwischen Eingang und Ausgang. Bei einem zweistufigen SMPS kommt die Aufgabe der Leistungsstellung hinzu.

Die Auslegung des Hauptwandlers kann entweder als partiell hart schaltender Wandler oder aber als Resonanzwandler erfolgen.



*Bei partiell hart schaltenden Wandlern unterscheidet man zwischen Konvertern mit Spannungseinprägung und mit Stromeinprägung auf der Primärseite des Transformators. Schaltnetzteile mit Spannungseinprägung sind sehr gut für die Erzeugung niedriger Spannungen und hoher Ströme geeignet. Das Hauptanwendungsfeld liegt bei Stromversorgungen für Haushaltsgeräte, PC und Server. Im Bereich höherer Leistung ist die Galvanotechnik zu nennen.*

*Topologien mit Stromeinprägung eignen sich hingegen sehr gut für die Erzeugung hoher Spannungen und kleiner Ströme. Anwendungen dafür sind überwiegend in der Medizintechnik und dort speziell bei Röntgenanlagen zu finden.*

*Bei den Resonanzwandlern unterscheidet man zwischen vier praktisch relevanten Konzepten, dem Serienresonanzkonverter mit serieller bzw. paralleler Lastauskopplung sowie dem Parallelresonanzkonverter mit paralleler bzw. serieller Auskopplung. Es wurde eine Matrix mit allen denkbaren Topologiekombinationen für die Eingangs- und Ausgangsseite untersucht. Die Ergebnisse sind tabellarisch im Anhang abgebildet.*

*Bei den Untersuchungen haben sich der Serienresonanzkonverter mit serieller Lastauskopplung und der Parallelresonanzkonverter mit paralleler Lastauskopplung aufgrund ihres lastunabhängigen Resonanzverhaltens als besonders positiv herausgestellt. Der Parallelresonanzkonverter mit paralleler Lastauskopplung besitzt neben den Resonanzelementen noch Drosseln in der sekundärseitigen DC-Mittelpunktschaltung. Dies ist wirtschaftlich nicht attraktiv. Im ungesteuerten Betrieb als „DC-Transformator“ kann man den Konverter im resonanten Betrieb arbeiten lassen und benötigt keine sperrfähigen Schalter.*

*Der Parallelresonanzkonverter mit serieller Lastauskopplung besitzt zwar ein lastabhängiges Resonanzverhalten, kommt aber ohne zusätzliche passive Bauelemente auf der Sekundärseite aus. Der Einsatz dieses Converters in einer Anwendung mit geringen Lastschwankungen ist zu empfehlen.*

*Der Serienresonanzkonverter mit serieller Lastauskopplung im überresonanten Betrieb ist aufgrund der geringen Bauteileanzahl, des lastunabhängigen Resonanzverhaltens und der angemessenen Halbleiteranforderungen die beste Lösung für die Anwendung als „DC-Transformator“.*

### 3.7 Sekundärseitige Gleichrichter

Der sekundärseitige Gleichrichter ist auf der Sekundärseite des Transformators angeordnet und besitzt die Aufgabe, die übertragenen Wechselgrößen wieder in Gleichgrößen zu überführen.

Schon während der Analyse zum Stand der Technik in Kapitel 2.2 wurde festgestellt, dass im sekundärseitigen Gleichrichter bei Schaltnetzteilen ein Hauptteil der Verluste entstehen. In den betrachteten SMPS lag der Beitrag der sekundärseitigen Gleichrichter zu den Gesamtverlusten zwischen 10 % und 20 %.

Dieses Ergebnis zeigt, dass auf die sekundärseitigen Gleichrichter ein besonderes Augenmerk zu richten ist. In diesem Teilkapitel werden die beiden grundsätzlichen Arten, Diodengleichrichter und Synchrongleichrichter, vorgestellt.

Bei den Untersuchungen wird nur die absolute Gleichrichtung ohne Steuerfreiheitsgrad untersucht. Mittels MOSFETs im Synchronbetrieb wird der reine Diodenbetrieb nachgebildet.

#### *Diodengleichrichter*

Der Diodengleichrichter ist die einfachste Art eines sekundärseitigen Gleichrichters (Abb. 3.76). Er hat den Vorteil, dass keine Ansteuerung benötigt wird und die Dioden beim Stromnulldurchgang allein abschalten.

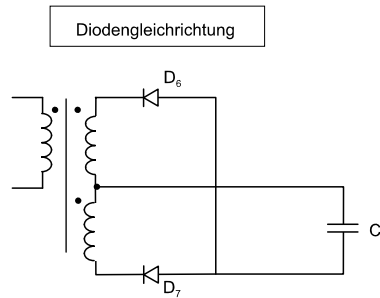


Abb. 3.76 Diodengleichrichter am Beispiel einer sekundärseitigen AC-Mittelpunktschaltung

Nachteilig ist der relativ hohe Durchlassspannungsabfall, besonders bei hohen Strömen. Auf diesen Aspekt wird in einem späteren Teil dieses Abschnitts eingegangen.

In Schaltnetzteilanwendungen werden für DC-Systemausgangsspannungen kleiner 48 V meist Schottky-Dioden als Gleichrichter verwendet. Ab 48 V DC-Ausgangsspannung kommen Si-Dioden zum Einsatz, die dann meist 300 V Sperrspannung aufweisen.

Da der Fokus dieser Arbeit auf Systemen mit 12 V DC-Ausgangsspannung liegt, sollen die verwendbaren Schottky-Dioden etwas näher beleuchtet werden.

Der Durchlassspannungsabfall einer Schottky-Diode ist geringer als der einer Si-Diode gleicher Spannungs- und Stromklasse. Der Datenblattvergleich für eine 5 A, 100 V Diode zeigt 10 % höhere Durchlassverluste bei Verwendung einer Si-Diode anstelle einer Schottky-Diode ([5.4], [5.5]). Schottky-Dioden bieten weiterhin den Vorteil, dass sie keine Speicherladung ausweisen und damit weniger Schaltverluste verursachen. Theoretisch können Schottky-Dioden unendlich schnell schalten. Praktisch besitzen diese Bauelemente aber eine Eigenkapazität, die den Schaltvorgang bremst. Im betrachteten Datenblattbeispiel hatte die Schottky-Diode bei 100 V Sperrspannung eine 50-fach höhere Kapazität als die Si-Diode.

Die Parallelschaltung von Schottky-Dioden außerhalb eines Packages ist zu vermeiden, da die Dioden im Nennstrombereich einen negativen Temperaturkoeffizienten aufweisen.

Die Durchlassverluste einer Schottky-Diode lassen sich entsprechend Gl. 3.31 und Gl. 3.32 berechnen. Die Verluste setzen sich aus zwei Anteilen zusammen, einem Anteil infolge der Schottky-Barriere, der mit dem Strommittelwert bewertet wird und einem Anteil durch den Bahnwiderstand der Diode, der mit dem Effektivwert des Stromes bewertet wird.

Der Anteil der Schottky-Barriere ist bei Niedervolt-Si-Schottky-Dioden dominant, bei Hochvolt-SiC-Schottky-Dioden hingegen der Anteil des Bahnwiderstands. Der Bahnwiderstand kann, ähnlich wie beim MOSFET, über die Chip-Fläche der Diode beeinflusst werden.

Der stark temperaturabhängige Sperrstrom von Schottky-Dioden führt zu Sperrverlusten, die in Abhängigkeit von der Temperatur und der Sperrspannung mit berücksichtigt werden sollten. Die Abschätzung der Schaltverluste von Schottky-Dioden ist nicht elementar. Im Rahmen dieser Arbeit wird nicht weiter darauf eingegangen.

$$P_{FW\_D} = V_F \cdot I_{F\_AVG} + R_d \cdot I_{F\_RMS}^2$$

Gl. 3.31 Durchlassverluste einer Diode (Anteil der Schottky-Barriere + Anteil des Bahnwiderstandes) [5.3]

$$R_d = \frac{V_{F\_1} - V_{F\_2}}{I_{F\_1} - I_{F\_2}}$$

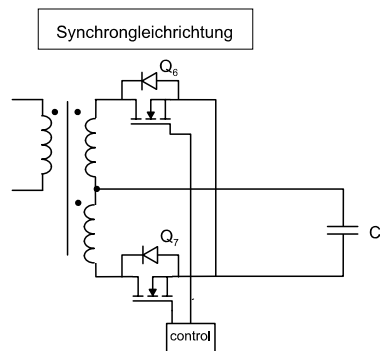
Gl. 3.32 Berechnung des Bahnwiderstandes einer Diode ( $V_{F\_1}@ I_{F\_1}$ ;  $V_{F\_2}@ I_{F\_2}$ ;  $I_{F\_1} > I_{F\_2}$ )

Die Durchlassverluste von Schottky-Dioden für die Anwendung als Gleichrichter in Schaltnetzteilen werden maßgeblich durch die Höhe des Durchlassspannungsabfalls bestimmt. Besonders bei großem Stromfluss können sehr große Durchlassverluste entstehen.

Ein Weg zur Reduzierung der Durchlassverluste bietet sich durch den Einsatz von MOSFETs im Synchronbetrieb.

#### *Synchrongleichrichter*

Der Synchrongleichrichter gilt in der Schaltnetzteiltechnik als wirksame Maßnahme, um geringe Durchlassverluste auf der Hochstrom-Seite (Sekundärseite) zu erzielen und damit den Wirkungsgrad des Gesamtsystems gegenüber einer Lösung mit Diodengleichrichter zu steigern (Abb. 3.77).



**Abb. 3.77** Synchrongleichrichter am Beispiel einer sekundärseitigen AC-Mittelpunktschaltung

Für die, im Rahmen dieser Arbeit, untersuchten Systeme zur Erzeugung von 12 V DC-Ausgangsspannung bei 800 W Ausgangsleistung kommt ein Synchrongleichrichter in Betracht. Da ein MOSFET die Fähigkeit besitzt, auch einen Stromfluss in Rückwärtsrichtung zuzulassen und bei Aufsteuerung des Kanals einen sehr niederohmigen Pfad für den Strom zu gewährleisten, kann man ihn sehr gut als Ersatz für Gleichrichterioden einsetzen (Abb. 3.79, Abb. 3.80). Der Synchrongleichrichter benutzt also einen MOSFET im inversen Betrieb, um die Funktionen einer Diode nachzubilden.

Zur Realisierung des Synchrongleichrichterbetriebes ist eine Ansteuerung der MOSFETs nötig. Sie kann auf mehrere Arten realisiert werden:

- selbstgetriebene Ansteuerung (spannungsgesteuert)
- selbstgetriebene Ansteuerung (stromgesteuert)
- Ableitung der Ansteuersignale aus den Ansteuersignalen der primärseitigen Schalter
- Verwendung eines Ansteuerschaltkreises

Die Herausforderung bei allen Ansteuerkonzepten besteht darin, die optimale Terminierung für die Generierung der Ansteuersignale zu finden. Idealerweise müsste man auf der Sekundärseite wissen, was auf der Primärseite als nächstes passiert. Digitale Ansteuerlösungen bieten sehr gute Voraussetzungen, um diese Anforderungen zu erfüllen.

Beim Einsatz eines Synchrongleichrichters in einer Topologie, die als „DC-Transformator“ arbeitet, ist die Erzeugung der Ansteuersignale für die Gleichrichtung eher unproblematisch, da man mit konstanten Tastverhältnissen arbeitet.

Die verschiedenen Arten der Signalerzeugung sind in der Literatur ausführlich beschrieben [5.1]. Bei der Vorstellung der dreistufigen Topologien im Kapitel 5 wird gesondert auf die Ansteuerung der Synchrongleichrichter eingegangen.

$$P_{FW} = R_{D_{Son}} \cdot I_{D_{RMS}}^2$$

Gl. 3.33 Durchlassverluste eines MOSFETs

$$P_{CON} = Q_g \cdot f_{SW} \cdot V_{Dr}$$

Gl. 3.34 Ansteuerverluste eines MOSFETs

Der Einsatz der Synchrongleichrichter bewirkt einerseits eine Reduktion der Durchlassverluste (Gl. 3.33), andererseits entstehen durch die Ansteuerung der MOSFETs Ansteuerverluste (Gl. 3.34), die bei hohen Frequenzen nicht mehr zu vernachlässigen sind.

Zur Reduktion der Ansteuerverluste, besonders bei geringer Systemausgangsleistung, ist eine Abschaltung der Synchrongleichrichter sinnvoll. Nach Abschaltung der Synchrongleichrichter erfolgt die Stromführung über die Body-Dioden der MOSFETs.

Durchlassverluste und Ansteuerverluste lassen sich in den Betrachtungen zum Synchrongleichrichter recht einfach berücksichtigen. Neben diesen Verlusten gibt es weitere Anteile, die nicht einfach zu quantifizieren sind. Dazu zählen Schaltverluste, Speicherladungsverluste in der Body-Diode, Verluste durch Aufsteuern des MOSFETs (du/dt) und Avalancheverluste. In der Veröffentlichung [5.2] wird ausführlich auf die verschiedenen Verlustanteile in Niedervolt-MOSFETs eingegangen.

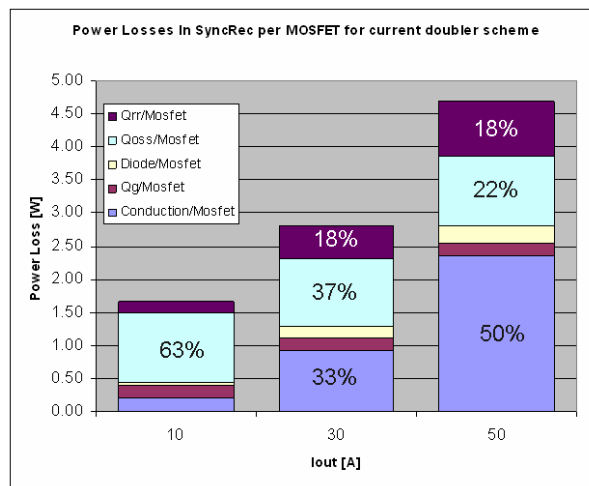


Abb. 3.78 Verlustanteile in einem Synchrongleichrichter-MOSFET in einer DC-Mittelpunktschaltung für verschiedene Ausgangsströme @  $V_{OUT}=10$  V;  $f_{SW}=125$  kHz [Quelle: Firma Infineon]

Bei der Auswahl eines geeigneten MOSFETs für die Synchrongleichrichterschaltung ist es nicht von Vorteil, den niederohmigsten MOSFET einer Spannungsklasse auszuwählen. Ein niederohmiger MOSFET besitzt aufgrund seiner großen Chip-Fläche auch große Kapazitäten, die sich negativ auf die Schaltverluste und die Ansteuerverluste auswirken. Es ist sinnvoll, den MOSFET nach dem für die Anwendung benötigten  $R_{D_{Son}}$  auszuwählen.

Abb. 3.78 zeigt die verschiedenen Verlustanteile in einem Synchrongleichrichter-MOSFET. Die Speicherladungsverluste der Body-Diode werden durch  $Q_{rr}$  repräsentiert. Der Anteil an den Gesamtverlusten nimmt mit größerem Strom zu. Die Schaltverluste, die durch  $Q_{oss}$  repräsentiert werden und beim Umladen der Kapazität  $C_{oss}$  entstehen, sind bei geringem Laststrom dominant.

Ein sehr wichtiger Aspekt beim Einsatz der Synchrongleichrichter ist, dass man die Zeit, in der Strom durch die Body-Diode fließt, möglichst gering hält, um wenig Speicherladung in die Diode zu bringen. Die Speicherladung bewirkt einen nicht zu vernachlässigenden Anteil an den Gesamtverlusten.

Besteht bei der Auslegung einer Schaltung Bedarf nach sehr niederohmigen MOSFETs, findet man diese hauptsächlich in den Spannungsklassen kleiner 100 V. Aus diesem Grund ist bei

der Topologieauswahl für Hochstrom-Anwendungen darauf zu achten, eine Schaltung mit geringer Spannungsbelastung der sekundärseitigen Halbleiter zu wählen.

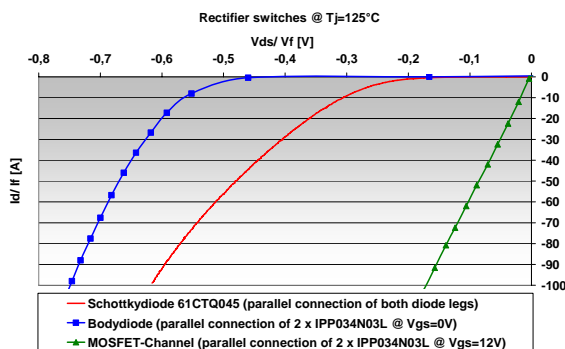
Der folgende Abschnitt soll einen Vergleich zwischen Diodengleichrichter und synchronem Gleichrichter zeigen.

#### *Diodengleichrichter und Synchrongleichrichter im Vergleich*

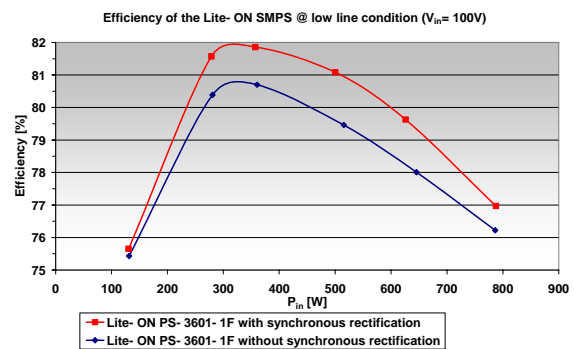
In den vorangegangenen Abschnitten wurde bereits angedeutet, dass der Synchrongleichrichter dem Diodengleichrichter hinsichtlich des Durchlassverhaltens überlegen ist. Dieser Passus soll diese Aussage noch einmal untermauern.

Abb. 3.79 zeigt den Vergleich der Durchlasscharakteristiken einer Schottky-Diode 61CTQ045 (45 V/ 60 A) mit einem MOSFET IPP034N03L (30 V/ 3,4 mΩ). Es ist bei einem Strom von 100 A zu sehen, dass die Body-Diode des MOSFETs eine ca. 20 % schlechtere Durchlasscharakteristik besitzt als die Schottky-Diode 61CTQ045.

Durch Ansteuerung des MOSFETs im Synchronbetrieb erreicht man eine Reduktion des Durchlassspannungsabfalls um den Faktor 3,5 gegenüber der Schottky-Dioden-Lösung. Die Auswirkung des Synchrongleichrichterbetriebs auf den Gesamtwirkungsgrad eines Schaltnetzteils (Abb. 2.6) ist in Abb. 3.80 zu sehen. Der Gesamtwirkungsgrad des Systems konnte fast über den gesamten Leistungsbereich um ca. 1 % gesteigert werden.



**Abb. 3.79** Vergleich der Durchlasscharakteristiken einer Schottkydiode, einer MOSFET Body-Diode und eines MOSFET Kanals @ T<sub>j</sub>=125 °C



**Abb. 3.80** Einfluss der Synchrongleichrichter auf den Gesamtwirkungsgrad eines Schaltnetzteils am Beispiel des Lite-ON PS-3601-1F @ V<sub>IN</sub>=100 V; f<sub>sw</sub>=110 kHz

Der Synchrongleichrichter bietet in Hochstrom-Anwendungen viel Potential bezüglich der Wirkungsgrad-Steigerung des Gesamtsystems.

Der Aspekt der Ansteuerungsverluste ist besonders bei hohen Schaltfrequenzen (>250 kHz) nicht mehr zu vernachlässigen. Aus diesem Grund beschäftigt sich das nachfolgende Kapitel 3.8 mit der Reduktion der Ansteuerungsverluste unter Verwendung einer resonanten Gate-Ansteuerung, speziell für Synchrongleichrichter-MOSFETs.

*Der sekundärseitige Gleichrichter ist ein wichtiger Bestandteil eines jeden Schaltnetzteils. Er erzeugt in der betrachteten Geräteklasse einen großen Teil der Systemverluste (10 - 20 %). Deshalb ist ihm besonderes Augenmerk beizumessen. Der sekundärseitige Gleichrichter kann einerseits als Diodengleichrichter realisiert werden und andererseits als Synchrongleichrichter mit MOSFETs.*

*Diodengleichrichter haben den Vorteil, dass man keine Ansteuerung benötigt. Nachteilig bei dieser Lösung sind die hohen Durchlassverluste, besonders bei großen Strömen. Die Parallelschaltbarkeit von Schottky-Dioden ist aufgrund ihres negativen Temperaturkoeffi-*

zienten unvorteilhaft.

Der Synchrongleichrichter bei dem MOSFETs im Synchronbetrieb verwendet werden, führt zu einer erheblichen Reduktion der Durchlassverluste. Dieser Vorteil bringt auch einigen Aufwand für die Ansteuerung der MOSFETs mit sich. Die Ansteuerung kann entweder selbstgetrieben oder mittels eines Ansteuerschaltkreises bzw. über die Ableitung von Ansteuersignalen aus den primärseitigen Ansteuersignalen erfolgen. Je nach Topologie und Arbeitspunkt ist die geeignete Lösung auszuwählen. Die Ansteuerverluste sind neben Schaltverlusten und Speicherladungsverlusten nicht zu vernachlässigen, besonders bei hohen Frequenzen nimmt ihr Anteil an den Gesamtverlusten stark zu.

Für Systeme mit hohen Ausgangsströmen und kleiner Ausgangsspannung ist ein Synchrongleichrichter unbedingt einzusetzen.

### 3.8 Partiiell hart schaltende und resonante Ansteuerung von MOSFETs

#### 3.8.1 Partiiell hart schaltende Ansteuerung

Der überwiegende Anteil der MOSFET-Ansteuerungen ist heutzutage partiiell hart schaltend ausgeführt. Gründe dafür sind die einfache Realisierbarkeit, einfache Ansteuerung und die Möglichkeit des schnellen Schaltens, auch von niederohmigen MOSFETs mit großer Gate-Kapazität.

Nachteilig bei dieser Technik ist die lineare Abhängigkeit der Ansteuerverluste von der Schaltfrequenz, der Treiberspannung und der Gate-Ladung (Gl. 3.34). Die Gate-Ladung hängt von der Chip-Größe des MOSFETs ab. Die Ansteuerverluste werden in den Gate-Vorwiderständen umgesetzt und sind vom Wert des Gate-Vorwiderstandes unabhängig.

Bei der Verwendung von Treiberstufen in MOS-Technik kann es zum Auftreten von Querströmen kommen.

Nachfolgend werden die verschiedenen Arten der partiiell hart schaltenden Ansteuerungen vorgestellt:

- unidirektionale Ansteuerung
- bidirektionale Ansteuerung

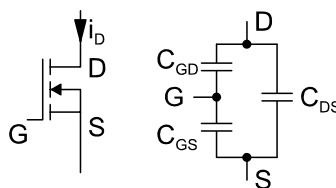


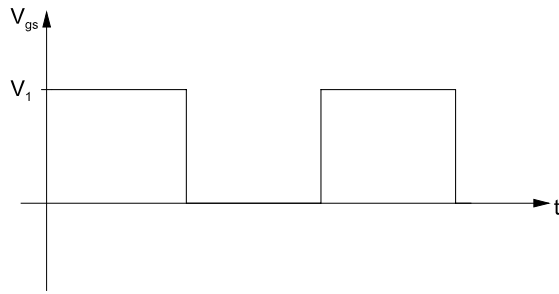
Abb. 3.81 Kapazitäten eines MOSFETs

Die unidirektionale Ansteuerung des MOSFETs erfolgt mit einer positiven Spannung am Gate, um den MOSFET einzuschalten und mit null Volt, um ihn wieder auszuschalten (Abb. 3.82). Dabei ergibt sich eine Ladecharakteristik für die Gate-Kapazität des MOSFETs entsprechend Abb. 3.83. In den Abschnitten  $Q_A$  und  $Q_C$  wird die Kapazität  $C_{GS}$  geladen, im Abschnitt  $Q_B$  die Kapazität  $C_{GD}$  (Abb. 3.81).

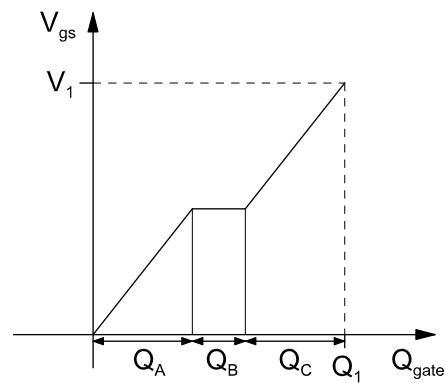
Die Ansteuerverluste ergeben sich zu:

$$P_{CON\_I} = Q_1 \cdot V_1 \cdot f_{SW}$$

Gl. 3.35 Ansteuerverluste eines MOSFETs bei unidirektionaler Gate-Ansteuerung



**Abb. 3.82** Gate-Spannung eines MOSFETs bei unidirektionaler Ansteuerung und 50 % Signaltastverhältnis



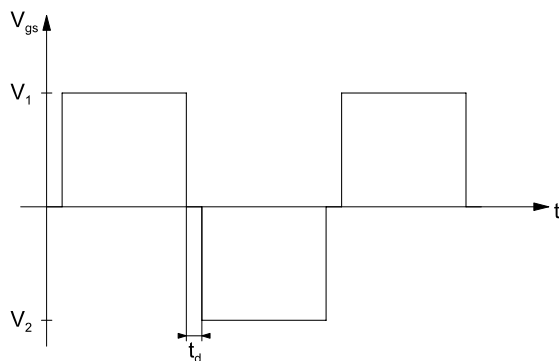
**Abb. 3.83** Gate-Ladung eines MOSFETs bei unidirektionaler Ansteuerung

Die bidirektionale Ansteuerung eines MOSFETs erfolgt mit einer positiven Spannung zum Einschalten des MOSFETs und mit einer negativen Spannung zum Ausschalten des MOSFETs (Abb. 3.84). Diese Art der Ansteuerung wird häufig bei der potentialfreien Signalübertragung mittels eines Übertragers eingesetzt. In Abhängigkeit von der Zweigverriegelungszeit  $t_d$  ergeben sich zwei verschiedene Ansteuerungen: die bidirektionale Ansteuerung mit minimaler Zweigverriegelungszeit (Abb. 3.84) und die bidirektionale Ansteuerung mit einer definierten Zweigverriegelungszeit (Abb. 3.86). Für beide Fälle ergeben sich verschiedene Ladekennlinien der Gate-Kapazität und verschiedene Ansteuerverlustleistungen.

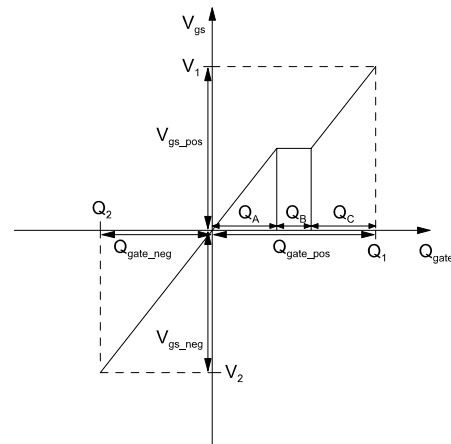
Bei der Ansteuerung des MOSFETs mit einer minimalen Zweigverriegelungszeit ergibt sich eine Ladecharakteristik entsprechend Abb. 3.85. Die Zweigverriegelungszeit ist zu kurz, um die Eingangskapazität des MOSFETs  $C_{ISS}$  über den Gate-Kreis zu entladen. Es ergeben sich folgende Ansteuerverluste:

$$P_{CON\_II} = (Q_1 + |Q_2|) \cdot (V_1 + |V_2|) \cdot f_{SW}$$

**Gl. 3.36** Ansteuerverluste eines MOSFETs bei bidirektionaler Gate-Ansteuerung und minimaler Zweigverriegelungszeit  $t_{d\_min}$



**Abb. 3.84** Gate-Spannung eines MOSFETs bei bidirektionaler Ansteuerung, 50 % Signaltastverhältnis und minimaler Zweigverriegelungszeit  $t_{d\_min}$



**Abb. 3.85** Gate-Ladung eines MOSFETs bei bidirektionaler Ansteuerung und minimaler Zweigverriegelungszeit  $t_{d\_min}$

Eine Verlängerung der Zweigverriegelungszeit bewirkt, dass die Eingangskapazität des MOSFETs  $C_{ISS}$  über den Gate-Kreis entladen werden kann (Gl. 3.37). Die Ladecharakteristik teilt sich jetzt in zwei Bereiche, die in Abb. 3.87 zu sehen sind.

$$t_d > 5 \cdot R_{G\_wirksam} \cdot C_{ISS}$$

**Gl. 3.37 Berechnung der Zweigverriegelungszeit, um einen Entladung der MOSFET Eingangskapazität zu gewährleisten**

Entsprechend dieser Ladecharakteristik lassen sich die Ansteuerverluste wie folgend berechnen:

$$P_{CON\_III} = (V_1 \cdot Q_1 + |V_2| \cdot |Q_2|) \cdot f_{SW}$$

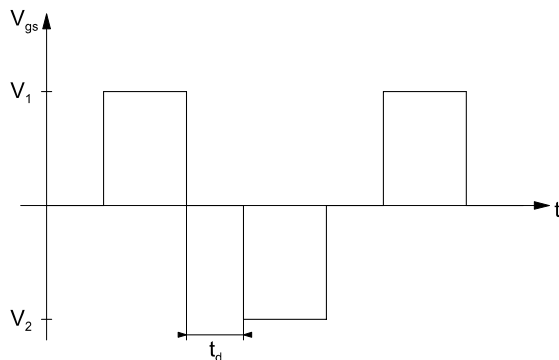
**Gl. 3.38 Ansteuerverluste eines MOSFETs bei bidirektionaler Gate-Ansteuerung und Zweigverriegelungszeit  $t_d > t_{d\_min}$**

Unter der Annahme, dass die jeweilige Ladung  $Q_1=|Q_2|=Q$  und die jeweilige Spannung  $V_1=|V_2|=V$  identische Werte besitzt, ergibt sich ein interessanter Zusammenhang:

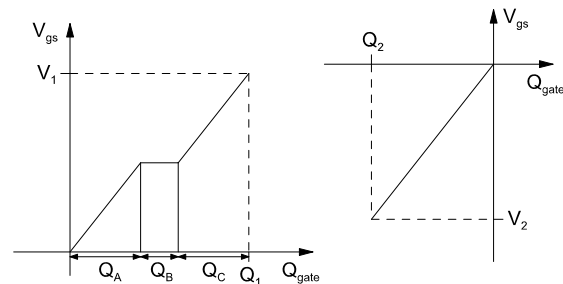
$$P_{CON\_II} = 2 \cdot P_{CON\_III} = 4 \cdot P_{CON\_I}$$

**Gl. 3.39 Verlustleistungsunterschiede zwischen den verschiedenen Ansteuerarten unter den Voraussetzungen  $Q_1=|Q_2|=Q$ ;  $V_1=|V_2|=V$**

Durch unidirektionale Gate-Ansteuerung entstehen die geringsten Ansteuerverluste, durch bidirektionale Ansteuerung mit Zweigverriegelungszeit entstehen im Mittel die doppelten Verluste. Bei Minimierung der Verriegelungszeit, wobei praktisch die Ansteuerpulse einfach ihre Polarität wechseln, entstehen die vierfachen Verluste gegenüber der unidirektionalen Lösung.



**Abb. 3.86 Gate-Spannung eines MOSFETs bei bidirektionaler Ansteuerung, 50 % Signaltastverhältnis und Zweigverriegelungszeit  $t_d$  ( $t_d > t_{d\_min}$ )**

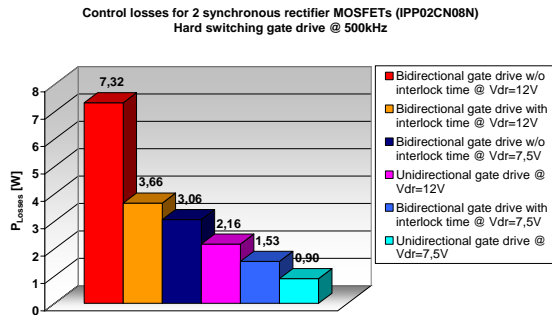


**Abb. 3.87 Gate-Ladung eines MOSFETs bei bidirektionaler Ansteuerung und Zweigverriegelungszeit  $t_d$  ( $t_d > t_{d\_min}$ )**

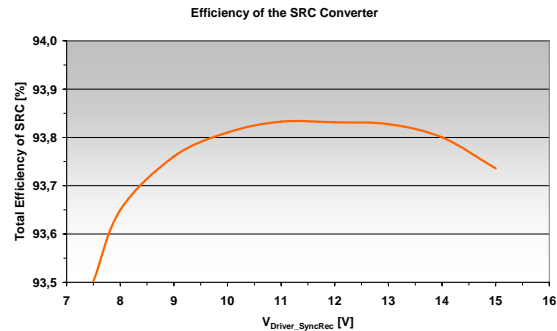
Praktische Untersuchungen an einer Synchrongleichrichterstufe, die mit zwei MOSFETs IPP02CN08 N (80 V/ 2,8mΩ) bestückt war und mit 500 kHz schaltete, bestätigten die vorhergesagten Verlustwerte.

Über die reale Größe der Verluste und das Einsparpotential bei Reduktion der Treiberspannung soll Abb. 3.88 Aufschluss geben. Das größte Einsparpotential von ca. 87 %, ist bei der Reduktion der Treiberspannung von 12 V auf 7,5 V und der Verwendung der unidirektionalen Ansteuerung anstelle der bidirektionalen Lösung zu finden. Man darf aber nicht vernachlässigen, dass durch die Reduktion der Treiberspannung der Durchlasswiderstand des MOSFETs steigt und damit auch die Durchlassverluste steigen. In Abb. 3.89 ist der Einfluss der Treiberspannung auf den Gesamtwirkungsgrad eines Serienresonanzkonverters mit 800 W Ausgangsleistung zu sehen.





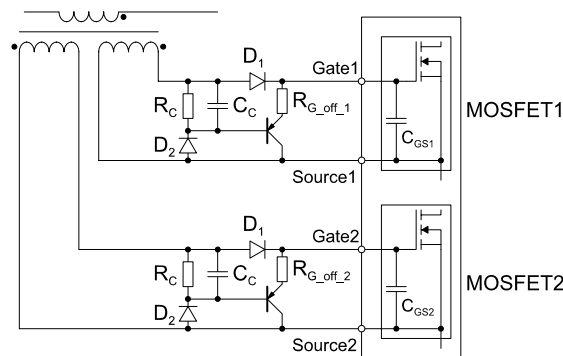
**Abb. 3.88** Vergleich der Ansteuerverluste bei Verwendung verschiedener hart schaltender Ansteuerkonzepte; Ansteuerung von 2 MOSFETs IPP02CN08N (80 V / 2,8 m $\Omega$ );  $f_{sw}=500$  kHz (Berechnung)



**Abb. 3.89** Wirkungsgrad eines Serienresonanzkonverters in Abhängigkeit von der Treiberspannung der Synchrongleichrichter-MOSFETs; Unidirektionale Ansteuerung;  $P_{OUT}=820$  W;  $V_{OUT}=25$  V;  $V_{IN}=410$  V  $f_{sw}=580$  kHz; IPP02CN08 N (80 V / 2,8 m $\Omega$ ) Synchrongleichrichter-MOSFETs

Bei 7,5 V Treiberspannung liegt der Gesamtwirkungsgrad ca. 0,3 % unter dem Wert von 10 V bzw. 12 V Treiberspannung. Bei Treiberspannungen größer 13 V kommt es zum erneuten Absinken der Wirkungsgrad-Kurve, da die Ansteuerverluste gegenüber 12 V Spannung gestiegen sind, der MOSFET-Kanal aber nicht weiter aufgesteuert werden kann.

Die Untersuchungen haben gezeigt, dass eine unidirektionale Gate-Ansteuerung mit 10 V bis 12 V Treiberspannung den besten Kompromiss zwischen Einsparung von Ansteuerleistung und Höhe der Durchlassverluste bietet. Bei der Verwendung von Ansteuerübertragern ist es daher sinnvoll, auf der Sekundärseite des Übertragers eine Schaltung zu verwenden, die die negative Halbwelle ausblendet (Abb. 3.90).



**Abb. 3.90** Schaltung zur Ausblendung der negativen Treiberspannung am MOSFET

Die Ansteuerverluste, insbesondere sehr niederohmiger Niedervolt-MOSFETs, wie sie in Synchrongleichrichtern eingesetzt werden, können bei hohen Schaltfrequenzen enorme Werte erreichen. Um eine weitere Reduktion der Ansteuerverluste gegenüber der unipolaren Ansteuerung zu erreichen, ist es sinnvoll, sich mit Möglichkeiten der resonanten Gate-Ansteuerung auseinander zu setzen.

### 3.8.2 Resonante Ansteuerung

Die Ansteuerverluste stellen besonders bei niederohmigen Niedervolt-MOSFETs einen nicht mehr zu vernachlässigenden Verlustanteil dar. Zur Verdeutlichung ein einfaches Rechenbeispiel: Der MOSFET IPP02CN08 N (80 V/ 2,8m $\Omega$ ) besitzt ca. 200 nC Gate-Ladung. Wird diese mit einer Treiberspannung von 12 V und einer Schaltfrequenz von 500 kHz umgeladen, ergibt sich eine Ansteuerverlustleistung von 1,2 W.

Eine Parallelschaltung mehrerer MOSFETs verringert zwar den  $R_{DSon}$  zur Stromleitung, erhöht aber auch die Ansteuerverluste.

Eine Möglichkeit zur Reduktion der Ansteuerverluste ist der Einsatz einer resonanten Gate-Ansteuerung. Das Grundprinzip besteht darin, die Energie, die in der Eingangskapazität des MOSFETs gespeichert ist, nicht bei jedem Ausschaltvorgang in Wärme umzuwandeln, sondern zwischenspeichern, um sie im nächsten Schaltzyklus wieder für die Ladung der Eingangskapazität zu verwenden. Zur Realisierung ist ein Energiespeicher nötig, der in Form eines Schwingkreises ausgeführt ist. Der Schwingkreis besteht aus der MOSFET-Eingangskapazität und einer Induktivität.

Im Idealfall entstehen bei der resonanten Gate-Ansteuerung keine Verluste. In der Realität müssen aber die Verluste der Schwingkreiselemente ausgeglichen werden.

In der Literatur gibt es umfassende Arbeiten zu diesem Thema. Einen sehr guten Überblick über die Grundprinzipien liefern [6.1] und [6.2].

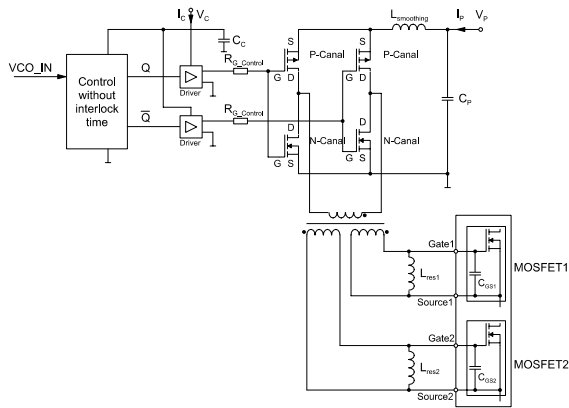
Es lassen sich folgende Vorteile der resonanten Lösung zusammenfassen:

- Verringerung der Ansteuerverluste von MOSFETs
- Verbesserung des Konverter-Gesamtwirkungsgrades
- Einfache praktische Realisierung bei festem Tastverhältnis (ungesteuerter Betrieb)
- Keine Einbußen an Ansteuerdynamik im ungesteuerten Betrieb

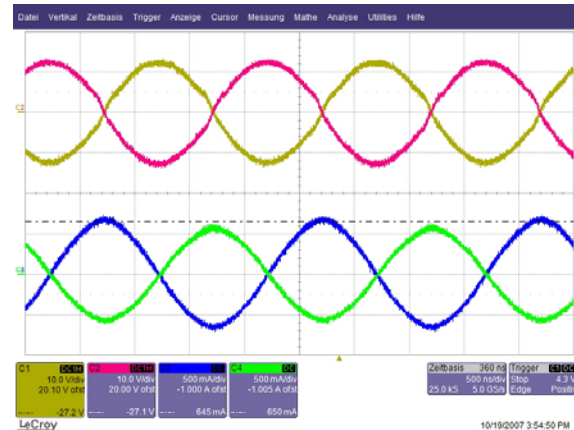
Nachteilig wirken sich dagegen folgende Punkte aus:

- Komplexe Ansteuerung bei Applikationen mit variablem Tastverhältnis
- Zusatzelemente für den Resonanzkreis werden benötigt (Dioden, Drosseln)
- Kompromiss zwischen Ansteuerdynamik und Verlustreduzierung
- Verluste im System durch Blindströme  
(große Blindströme bei großen Resonanzkapazitäten ( $C_{GS}$ ))

Im Rahmen dieser Arbeit soll eine Schaltung zur resonanten Gate-Ansteuerung mit sinusförmiger Gate-Spannung vorgestellt werden (Abb. 3.91). Die Verwendung dieser Schaltung zielt auf einen Resonanzkonverter ab, der einen sinusförmigen Stromfluss durch die sekundärseitigen Synchrongleichrichter-MOSFETs ausweist (Serienresonanzkonverter mit serieller Lastauskopplung, Parallelresonanzkonverter mit serieller Lastauskopplung) und als „DC-Transformator“ mit konstantem Tastverhältnis arbeitet. Die sinusförmige Gate-Spannung verhält sich äquivalent zum Stromfluss: Bei Strom null hat die Gate-Spannung auch ihren Nulldurchgang, im Strommaximum ist die Gate-Spannung maximal und somit der MOSFET Kanal sehr niederohmig.



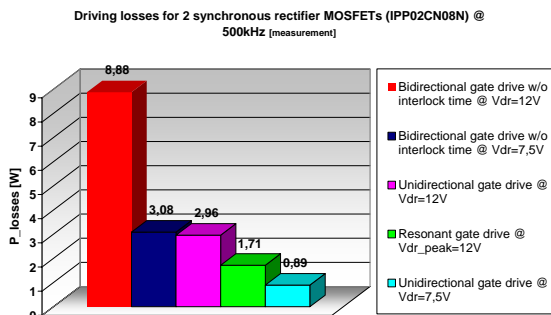
**Abb. 3.91** Schaltung des resonanten Gate-Treibers mit Parallelresonanzkreis zur Erzeugung einer sinusförmigen Gate-Spannung am MOSFET



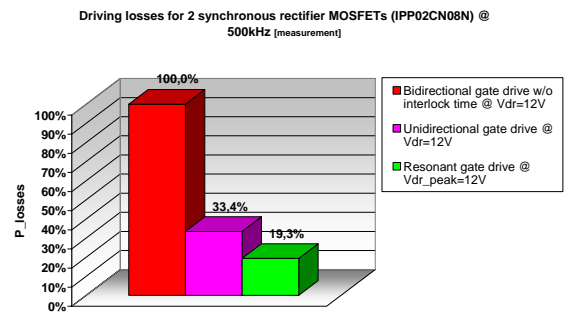
**Abb. 3.92** Oszillogramm typischer Verläufe des resonanten Gate-Treibers; Gate-Spannung (oben): Ch1:  $V_{GS\_1}$  Ch2:  $V_{GS\_2}$  Schwingkreisstrom (unten): Ch3:  $I_{LRES\_1}$  Ch4:  $I_{LRES\_2}$

Das Oszillogramm Abb. 3.92 zeigt den sinusförmigen Verlauf der Gate-Spannungen von zwei um  $180^\circ$  phasenverschoben angesteuerten MOSFETs.

Das Prinzip des Resonanzkreises, der aus einer Induktivität  $L_{RES}$  und der Kapazität  $C_{GS}$  des MOSFETs besteht, beruht auf einem Parallelresonanzkonverter, wie er im Kapitel 3.6.3 eingehend vorgestellt wurde. Eine rechteckförmige Stremeinprägung führt zu einer sinusförmigen Spannung, die über der Gate-Kapazität des MOSFETs ausgekoppelt wird.



**Abb. 3.93** Vergleich der Ansteuerverluste bei Verwendung verschiedener hart schaltender und eines resonanten Ansteuerkonzeptes; Ansteuerung von 2 MOSFETs IPP02CN08N (80 V / 2,8 mΩ);  $f_{SW}=500$  kHz (Messung)



**Abb. 3.94** Prozentualer Vergleich der Ansteuerverluste bei Verwendung verschiedener hart schaltender und eines resonanten Ansteuerkonzeptes; Ansteuerung von 2 MOSFETs IPP02CN08N (80 V / 2,8 mΩ);  $f_{SW}=500$  kHz (Messung)

Eine Zusammenfassung der Messergebnisse ist in Abb. 3.93 und Abb. 3.94 dargestellt. Die Ergebnisse wurden bei der Ansteuerung von 2 MOSFETs IPP02CN08N (80 V / 2,8 mΩ) in der Gleichrichterstufe eines Serienresonanzkonverters mit serieller Lastauskopplung gewonnen. Die Schaltfrequenz betrug 500 kHz.

Im Ergebnis ist zu sehen, dass durch den resonanten Gate-Treiber mit 12 V Treiberspannung ca. 80 % weniger Verluste entstehen, als bei dem partiell hart schaltenden Gate-Treiber mit bidirektionaler Gate-Ansteuerung.

Im Vergleich zu einer unidirektionalen Ansteuerung mit 12 V Treiberspannung entstehen in der resonanten Variante ca. 40 % weniger Verluste.

Die vorgestellte Variante eines resonanten Gate-Treibers ist relativ einfach aufgebaut und eignet sich zur Ansteuerung von Synchrongleichrichter-MOSFETs, die von einem sinusförmigen Strom durchflossen werden und mit einem festen Tastverhältnis arbeiten. Aufgrund des Einsatzes eines Ansteuerübertragers können die beiden angesteuerten MOSFETs auf unterschiedlichen Bezugspotentialen liegen.

#### 3.8.3 Ergebnisse der Untersuchungen zur Ansteuerung von MOSFETs

*Grundsätzlich gibt es zwei Arten der Gate-Ansteuerung, die partiell hart schaltende Ansteuerung und die resonanten Ansteuerung.*

*Die partiell hart schaltende Ansteuerung ist heute in den meisten Anwendungen präsent, da sie verschiedene Vorteile aufweist: einfache Realisierbarkeit, einfache Ansteuerung und die Möglichkeit des schnellen Schaltens auch von niederohmigen MOSFETs (mit großer Gate-Kapazität). Nachteilig bei dieser Technik ist die lineare Abhängigkeit der Ansteuerungsverluste von der Schaltfrequenz, der Treiberspannung und der Gate-Ladung, die von der Chip-Größe des MOSFETs abhängt. Die Umsetzung kann sowohl mit unidirektionaler Gate-Spannung als auch mit bidirektionaler Spannung erfolgen. Die bidirektionale Ansteuerung wird meist im Zusammenhang mit dem Signaltransfer über Übertrager verwendet.*

*Die Absenkung der Treiberspannung wirkt sich positiv auf die Reduktion der Ansteuerungsverluste aus. Im Gegenzug muss die Erhöhung der Durchlassverluste berücksichtigt werden. Praktische Untersuchungen an einem Resonanzkonverter haben gezeigt, dass eine unidirektionale Gate-Ansteuerung mit 10 V bis 12 V Treiberspannung den höchsten Gesamtsystemwirkungsgrad liefert.*

*Zur weiteren Reduktion der Ansteuerungsverluste lässt sich eine resonante Gate-Ansteuerung einsetzen. Bei einer resonanten Ansteuerung wird die Energie, die zum Einschalten des MOSFETs benötigt wird, beim Ausschalten nicht in Wärme umgesetzt. Die Energie wird für den nächsten Einschaltvorgang in einem Schwingkreis zwischengespeichert.*

*Die Verwendung der resonanten Lösung führt zur Verringerung der Ansteuerungsverluste und zu einer Verbesserung des Gesamtsystemwirkungsgrades. Nachteilig sind die komplexe Ansteuerung bei Applikationen mit variablem Tastverhältnis, der Bedarf von Zusatzelementen im Ansteuerkreis sowie der Konflikt zwischen Ansteuerdynamik und Verlustreduktion.*

*Die vorgestellte Lösung erzeugt mittels eines Parallelschwingkreises eine sinusförmige Gate-Spannung am MOSFET. Für ungesteuerte Konverter mit sinusförmigem Laststromfluss durch die angesteuerten Synchrongleichrichter-MOSFETs ist diese Lösung einsetzbar. Praktische Untersuchungen haben eine Reduktion der Ansteuerungsverluste um 40 % gegenüber der unidirektionalen Ansteuerung mit 12 V Treiberspannung gezeigt.*

*Im experimentellen Teil dieser Arbeit wird auf den Einsatz der resonanten Gate-Ansteuerung verzichtet, um eine Vergleichbarkeit der verschiedenen Konverter (partiell hart schaltend, resonant) zu gewährleisten. Ein partiell hart schaltender Konverter besitzt keinen sinusförmigen Stromfluss durch die Synchrongleichrichter und kann deshalb nicht mit der vorgestellten Lösung betrieben werden.*

### 3.9 Untersuchungen zur Synchronisation verschiedener Schaltnetzteilstufen

#### 3.9.1 Vorbemerkung

Die vorangegangenen Kapitel haben sich eingehend mit den einzelnen Stufen eines Schaltnetzteils beschäftigt. Jede dieser Stufen (PFC-Stufe, Hauptwandler, Tiefsetzsteller in dreistufigen Topologien) besitzt eine eigenständige Ansteuerung, deren Takt durch einen jeweils eigenen Taktgeber vorgegeben wird. Aufgrund dieses Aufbaus sind die Stromflüsse zwischen den einzelnen Stufen nicht aufeinander abgestimmt und erfolgen rein zufällig. Die Zwischenkreiskondensatoren zwischen den einzelnen Teilkonvertern müssen für die maximal auftretende Stromwelligkeit ausgelegt werden. Das wirkt sich negativ auf die Baugröße und natürlich auf die Kosten des Gesamtsystems aus. Mittels Synchronisation der Stromflüsse zwischen den einzelnen Stufen kann eine Reduktion der Kondensatorstrombelastung erreicht werden, da der Hauptteil des Stromes am Kondensator vorbei direkt in die nächste Stufe fließt.

Dieses Kapitel stellt die Untersuchungsergebnisse zur Synchronisation an zwei Beispielen vor: Die Synchronisation zwischen einer PFC-Stufe und einem nachfolgenden Hauptwandler sowie die Synchronisation eines Serienresonanzkonverters mit dem nachfolgenden Tiefsetzsteller in einer dreistufigen Topologie.

Bei den Betrachtungen wird auf die Zwischenkreiskondensatorbelastung und das EMV-Verhalten mit und ohne Synchronisation eingegangen.

#### 3.9.2 Synchronisation von PFC-Stufe und Hauptwandler

Die Untersuchungen zur Synchronisation von PFC-Stufe und Hauptwandler wurden mit einer Hochsetzsteller-PFC-Stufe und einem Tiefsetzsteller, als Ersatz für einen Hauptwandler, durchgeführt. Die Schaltpläne der Anordnung sind in Abb. 3.95 und Abb. 3.96 zu sehen.

Die prinzipiellen Pulsmuster und die Stromverläufe durch den Zwischenkreiskondensator für die beiden Betriebsfälle, synchroner und asynchroner Betrieb, sind in Abb. 3.97 zu sehen.

Beim nicht synchronen Betrieb sind die Ansteuersignale von PFC-MOSFET und Tiefsetzsteller-MOSFET völlig unabhängig. Der Grenzfall, der auftreten kann, ist der asynchrone Betrieb (Abb. 3.97 a)). Dabei schalten PFC-MOSFET und Tiefsetzsteller-MOSFET zur selben Zeit ein. In diesem Betriebsfall tritt eine große Strombelastung für den Zwischenkreiskondensator auf, die sich in einem hohen Effektivwert widerspiegelt.

Die zweite Betriebsart, der synchrone Betrieb, erfordert eine Abstimmung der Ansteuersignale von Tiefsetzsteller und PFC. Eine der Stufen arbeitet als Master und gibt den Takt vor. Die andere Stufe, der Slave, übernimmt den Takt. Das Ergebnis der Synchronisation ist in Abb. 3.97 b) zu sehen. Der Tiefsetzsteller schaltet in dem Moment ein, in dem der PFC-MOSFET ausschaltet. Dadurch erfolgt ein Stromfluss direkt aus der PFC zum Hauptwandler, ohne den Zwischenkreis mit einem großen Strom zu belasten. Im Ergebnis kommt es zu einer merklichen Reduktion des Stromeffektivwertes durch den Zwischenkreis. Weiterführende Informationen dazu sind in der Literatur zu finden [7.4], [9.4].

Die Auslegung des Zwischenkreiskondensators erfolgt in vielen Anwendungen nach der Effektivwertstrombelastung, so dass eine Synchronisation zu einer Reduktion des benötigten Kapazitätswertes und somit zur Kostenreduktion beitragen kann. Bei der Dimensionierung von Server-Schaltnetzteilen hingegen steht die Anforderung an die hold-up time im Vordergrund, so dass die Größe des Zwischenkreises durch die speicherbare Energie bestimmt wird. In diesem Fall führt die Effektivwertreduktion mittels Synchronisation zu einer Erhöhung der Kondensatorlebensdauer. Nach diesen theoretischen Überlegungen werden nachfolgend einige praktische, anwendungsorientierte Ergebnisse vorgestellt.

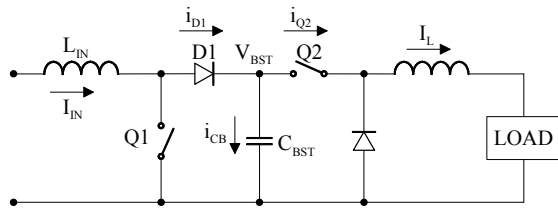


Abb. 3.95 Schaltplan einer PFC mit nachfolgendem Tiefsetzsteller [7.4]

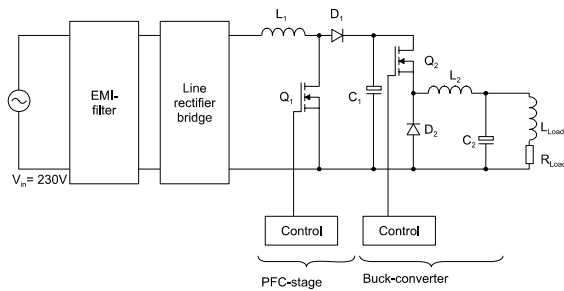


Abb. 3.96 Schaltplan der PFC-Stufe mit nachfolgendem Tiefsetzsteller zur Untersuchung des Schaltungsverhaltens bei Synchronisation

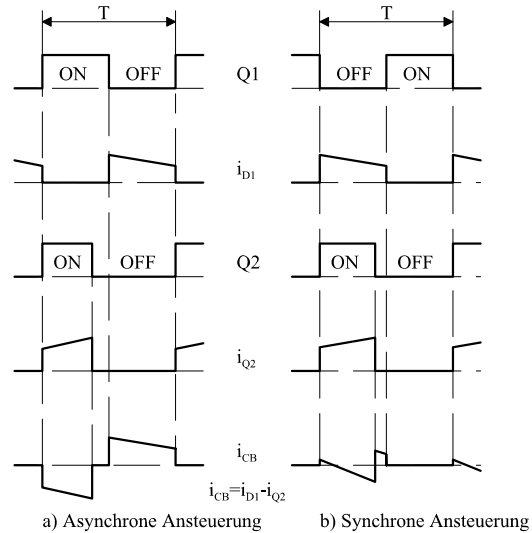


Abb. 3.97 Pulsmuster und Stromverläufe mit und ohne Synchronisation am Beispiel einer PFC und eines Tiefsetzstellers [7.4]

Abb. 3.98 zeigt die Reduktion des Stromeffektivwertes durch den Zwischenkreis bei verschiedenen Schaltfrequenzen und Tastverhältnissen. Die Ergebnisse für eine Anwendung mit 800 W Ausgangsleistung wurden mittels Simulationen gewonnen. Der nicht synchrone Betrieb wird durch 0 % Effektivwertreduktion dargestellt.

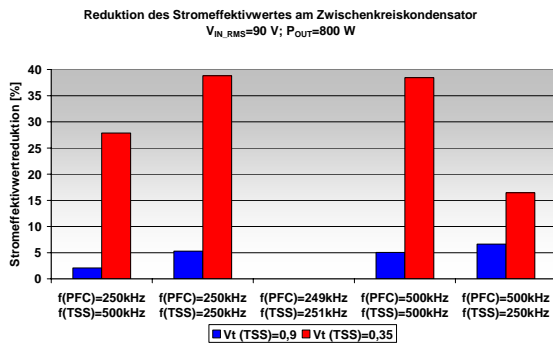


Abb. 3.98 Reduktion des Stromeffektivwertes am Zwischenkreiskondensator durch Synchronisation im Vergleich zum nicht synchronisierten Betrieb ( $f_{PFC}=249$  kHz,  $f_{TSS}=251$  kHz) bei verschiedenen Schaltfrequenzen und verschiedenen Tastverhältnissen des Hauptwandlers @  $P_{OUT}=800$  W;  $V_{IN\_RMS}=90$  V

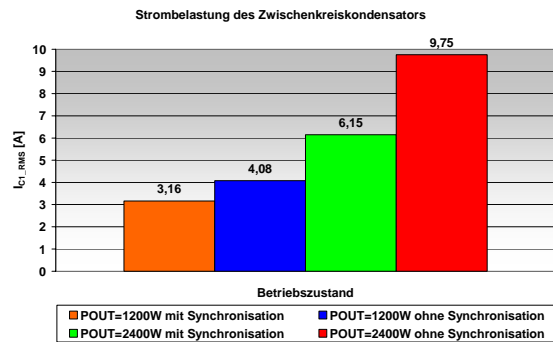


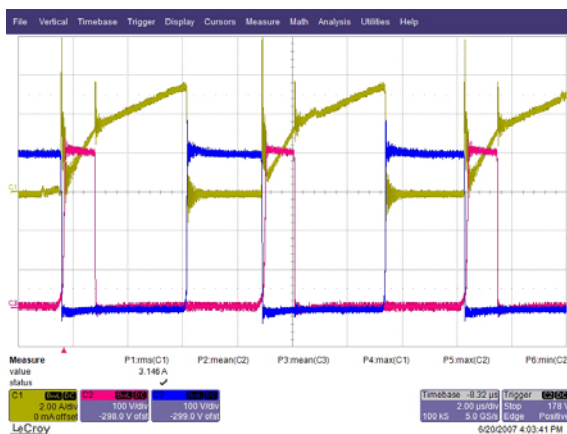
Abb. 3.99 Effektivwert der Zwischenkreisstrombelastung mit und ohne Synchronisation zwischen PFC-Stufe und Tiefsetzsteller für  $P_{OUT}=1200$  W und  $P_{OUT}=2400$  W @  $V_Z=385$  V;  $V_{OUT\_TSS}=240$  V;  $D=V_t=0,62$

Die Reduktion des Stromeffektivwertes durch den Zwischenkreis ist maßgeblich vom Tastverhältnis des Hauptwandlers (Tiefsetzstellers) abhängig. Bei großem Tastverhältnis (z.B. 0,9) ist der Tiefsetzsteller über fast die gesamte Schaltperiode eingeschaltet. Somit ist die Reduktion des Stromeffektivwertes im Vergleich zu kleinen Tastverhältnissen (z.B. 0,35) gering. Die Reduktion des Stromeffektivwertes liegt in Abhängigkeit vom Tastverhältnis des Haupt-

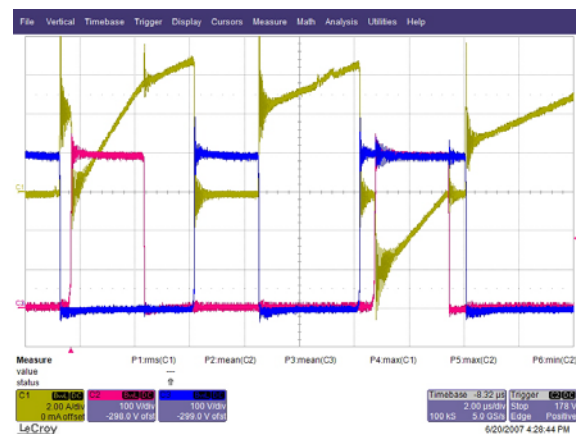
wandlers, bei dem untersuchten System mit 800 W Ausgangsleistung, im Bereich von 5 % bis 40 %.

Die Verwendung verschiedener Schaltfrequenzen in PFC-Stufe und Tiefsetzsteller, bei gleichzeitiger Synchronisation, führt nicht zu einer so hohen Effektivwertreduktion wie bei gleichen Schaltfrequenzen in allen Stufen. Der Grund dafür ist, dass mit verschiedenen Schaltfrequenzen immer synchrone und nicht synchrone Stromflüsse vorhanden sind. Weiterführende Untersuchungen zu dieser Problematik sind der Diplomarbeit [7.3] zu entnehmen.

Neben den simulativen Untersuchungen wurden auch mehrere Messungen an einem Schaltnetzteil durchgeführt, die die theoretischen Betrachtungen unterstreichen. In Abb. 3.99 werden mehrere Effektivwerte des Zwischenkreisstromes bei verschiedenen Ausgangsleistungen, mit und ohne Synchronisation, gegenübergestellt. Das Tastverhältnis beträgt 62 %. Die Reduktion des Stromeffektivwertes im Zwischenkreis liegt in Abhängigkeit von der Ausgangsleistung zwischen 22 % und 37 %. Typische Oszillogramme des Zwischenkreisstromes, mit und ohne Synchronisation, sind in Abb. 3.100 und Abb. 3.101 zu sehen.



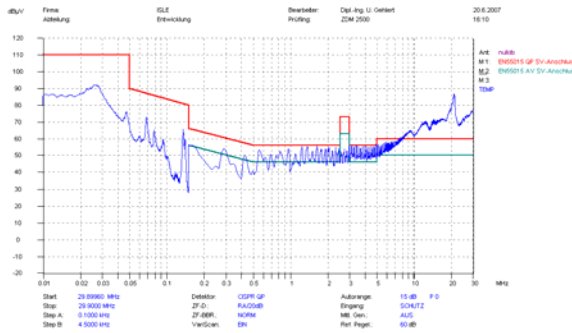
**Abb. 3.100** Oszillogramm der Spannungsverläufe und des Zwischenkreisstromes an einer Hochsetzsteller-PFC-Stufe mit belastetem Tiefsetzsteller (Abb. 3.96); mit Synchronisation zwischen PFC und Tiefsetzsteller; Ch1:  $I_{C1}$  (Zwischenkreisstrom); Ch2:  $V_{DS\_PFC\_MOS}$ ; Ch3:  $V_{DS\_Tiefsetzsteller\_MOS}$  @  $P_{OUT}=1200\text{ W}$ ;  $V_{IN\_RMS}=230\text{ V}$ ;  $f_{SW\_PFC}=f_{SW\_TSS}=136\text{ kHz}$



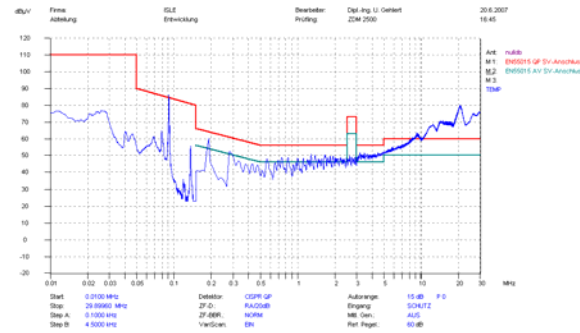
**Abb. 3.101** Oszillogramm der Spannungsverläufe und des Zwischenkreisstromes an einer Hochsetzsteller-PFC-Stufe mit belastetem Tiefsetzsteller (Abb. 3.96); ohne Synchronisation zwischen PFC und Tiefsetzsteller; Ch1:  $I_{C1}$  (Zwischenkreisstrom); Ch2:  $V_{DS\_PFC\_MOS}$ ; Ch3:  $V_{DS\_Tiefsetzsteller\_MOS}$  @  $P_{OUT}=1200\text{ W}$ ;  $V_{IN\_RMS}=230\text{ V}$ ;  $f_{SW\_PFC}=90\text{ kHz}$ ;  $f_{SW\_TSS}=136\text{ kHz}$

Unter Vernachlässigung der Anforderungen an die hold-up time kann bei  $P_{OUT}=2400\text{ W}$  mithilfe von Synchronisation die Zwischenkreiskapazität von drei Kondensatoren mit jeweils  $560\text{ }\mu\text{F}$  auf zwei reduziert werden. Für diese Betrachtungen wurde das Datenblatt der Panasonic TS-ED Serie herangezogen [8.5].

Die Synchronisation mehrerer Schaltnetzteilstufen wirkt sich auch auf das EMV-Spektrum des Gesamtsystems aus. Um den Einfluss zu untersuchen, wurden leitungsgebundene EMV-Messungen durchgeführt. Abb. 3.102 (Abb. A. 59) zeigt eine EMV-Messung mit Synchronisation, die PFC-Stufe und der Tiefsetzsteller arbeiteten mit jeweils  $136\text{ kHz}$  Schaltfrequenz. Bei diesem Wert ist eine Spitze im EMV-Spektrum zu sehen. Die Messung ohne Synchronisation ist in Abb. 3.103 (Abb. A. 60) zu sehen. Auch hier sind die beiden Schaltfrequenzspitzen,  $90\text{ kHz}$  und  $136\text{ kHz}$ , deutlich zu sehen.



**Abb. 3.102** Leitungsgebundene EMV-Messung an einer Hochsetzsteller-PFC-Stufe mit belastetem Tiefsetzsteller (Abb. 3.96); (Messung ohne Gehäuse); mit Synchronisation zwischen PFC und Tiefsetzsteller; CCM-Betrieb @  $P_{OUT}=1200\text{ W}$ ;  $V_{IN\_RMS}=230\text{ V}$ ;  $V_{Bulk\_C1}=385\text{ V}$ ;  $V_{Bulk\_C2}=240\text{ V}$ ;  $f_{SW\_PFC}=f_{SW\_TSS}=136\text{ kHz}$



**Abb. 3.103** Leitungsgebundene EMV-Messung an einer Hochsetzsteller-PFC-Stufe mit belastetem Tiefsetzsteller (Abb. 3.96); (Messung ohne Gehäuse); ohne Synchronisation zwischen PFC und Tiefsetzsteller; CCM-Betrieb @  $P_{OUT}=1200\text{ W}$ ;  $V_{IN\_RMS}=230\text{ V}$ ;  $V_{Bulk\_C1}=385\text{ V}$ ;  $V_{Bulk\_C2}=240\text{ V}$ ;  $f_{SW\_PFC}=90\text{ kHz}$ ;  $f_{SW\_TSS}=136\text{ kHz}$

Im direkten Vergleich beider EMV-Messungen erkennt man, dass das Spektrum ohne Synchronisation sowohl bei 10 kHz als auch bei 20 MHz um ca.  $10\text{ dB}\mu\text{V}$  unter dem Spektrum mit Synchronisation liegt.

Mittels Synchronisation konzentriert man die Pulsfrequenzen im System, so dass das Spektrum im Gesamten angehoben wird. Ohne Synchronisation laufen die einzelnen Pulsfrequenzen nebeneinander und verteilen die Störaussendung besser auf das gesamte Spektrum.

Zusammenfassend kann man sagen, dass die Synchronisation die Strombelastung des Zwischenkreiskondensators, in Abhängigkeit vom Tastverhältnis des Hauptwandlers, reduziert. Die Auswirkung der Synchronisation auf das EMV-Spektrum ist nicht positiv, da die Schaltfrequenzen im System auf einen Wert konzentriert werden und damit das gesamte Störspektrum angehoben wird.

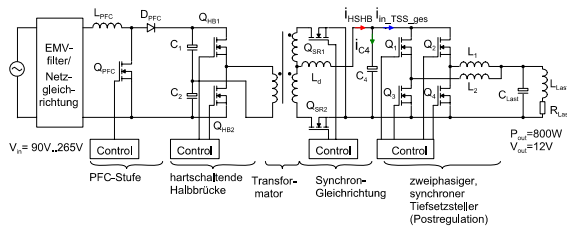
Bei der praktischen Umsetzung einer Synchronisation ist zu beachten, dass die zu synchronisierenden Signale auf verschiedenen Potentialen liegen können. Die Übertragung der Signale über Potentialbarrieren kann bei hohen Schaltfrequenzen ( $>250\text{ kHz}$ ) problematisch sein und somit den zuvor errungenen Kostenvorteil durch Zwischenkreisreduktion wieder kompensieren.

Neben der Synchronisation von PFC-Stufe und Hauptwandler ist auch die Synchronisation von Hauptwandler und Nachregelstufe in einer dreistufigen Topologie möglich. Diese wird im nachfolgenden Abschnitt näher betrachtet.

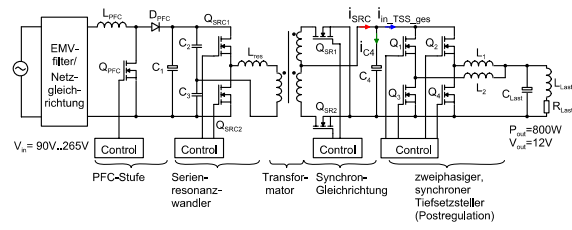
### 3.9.3 Synchronisation von Resonanz- und partiell hart schaltenden Wandlern

Die Synchronisation zwischen dem Hauptwandler und der sekundärseitigen Regelstufe in einer dreistufigen Topologie wurde am Beispiel eines Serienresonanzkonverters (Abb. 3.105) bzw. einer partiell hart schaltenden Halbbrücke (Abb. 3.104) mit nachfolgendem Tiefsetzsteller untersucht. Der Hauptwandler arbeitet als „DC-Transformator“ mit 100 % Konvertertastverhältnis. Der sekundärseitige Tiefsetzsteller operiert im Mittel mit einem 50 % Signaltastverhältnis, um aus 24 V Eingangsspannung 12 V DC-Ausgangsspannung zu erzeugen.





**Abb. 3.104** Schaltplan der partiell hart schaltenden Halbbrücke mit post-regulation zur Untersuchung der Synchronisation zwischen Hauptwandler und sekundärseitiger Regelstufe



**Abb. 3.105** Schaltplan des Serienresonanzconverters mit post-regulation zur Untersuchung der Synchronisation zwischen Hauptwandler und sekundärseitiger Regelstufe

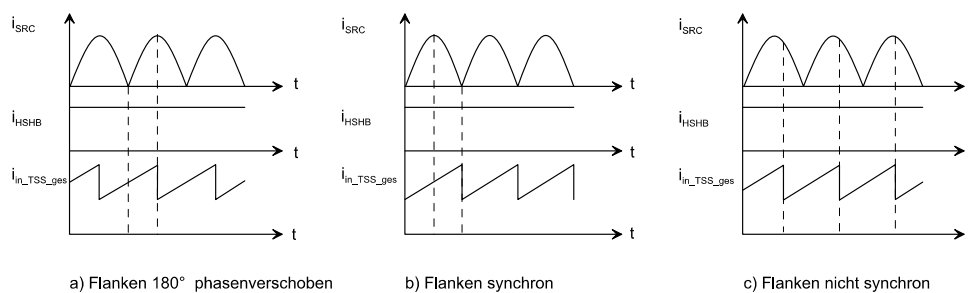
Mit Hilfe von Simulationen wurde analysiert, in welchem Maße der Strom durch den Eingangskondensator  $C_4$  am Tiefsetzsteller durch Synchronisation der Ansteuersignale beeinflusst werden kann.

Die beiden folgenden Fälle beziehen sich auf die Synchronisation eines Serienresonanzconverters mit einem zweiphasigen Tiefsetzsteller. Im ersten Fall wird pro Schaltperiode der maximale Ladestrom des Zwischenkreiskondensators (der sekundärseitige Strom vom Hauptkonverter  $i_{SRC}$  bzw.  $i_{HSHB}$ ) gleichzeitig von der Last (dem Tiefsetzsteller  $i_{in\_TSS\_ges}$ ) wieder entnommen (Abb. 3.106 a)). Ein Stromanteil fließt am Eingangskondensator  $C_4$  der Tiefsetzsteller-Stufe vorbei.

Im zweiten Fall zieht der Tiefsetzsteller einen Strom aus dem Zwischenkreis, während vom Hauptkonverter kein Strom bereitgestellt wird (Abb. 3.106 b)).

Abb. 3.106 verdeutlicht die verschiedenen Möglichkeiten der Synchronisation von Tiefsetzsteller und Hauptkonverter:

- Schaltflanken um  $180^\circ$  phasenverschoben
- Schaltflanken synchron
- Schaltflanken nicht synchron (leicht voneinander abweichende Schaltfrequenzen)



**Abb. 3.106** Stromverläufe bei der Synchronisation von Hauptwandler und sekundärseitigem Tiefsetzsteller;  $i_{SRC}$  Stromfluss aus dem Serienresonanzwandler;  $i_{HSHB}$  Stromfluss aus der partiell hart schaltenden Halbbrücke;  $i_{in\_TSS\_ges}$  Stromfluss in den zweiphasigen sekundärseitigen Tiefsetzsteller

Die betrachteten Schaltungen gehen von einer Zwischenkreisspannung  $V_{IN\_TSS}=24$  V und einer DC-Ausgangsspannung  $V_{OUT}=12$  V aus. Daraus resultiert ein Tastverhältnis des Tiefsetzstellers im Normalbetrieb (CCM-Betrieb) von  $D=50$  %. In diesem Fall entspricht die Stromform am Eingang des Tiefsetzstellers  $i_{in\_TSS\_ges}$ , einem Sägezahn mit DC-Anteil. Es wird kontinuierlich ein DC-Strom mit einer schaltfrequenten Stromwelligkeit aus dem Zwischenkreis-

kondensator gezogen. Der Ladestrom des Kondensators hängt von der Topologie des Hauptkonverters ab.

Ein Serienresonanzkonverter (SRC) speist einen sinusförmigen Strom in den Zwischenkreiskondensator, während der partiell hart schaltende Halbbrücken (HSHB)-Konverter, außerhalb der Zweigverriegelungszeiten, einen nahezu konstanten Gleichstrom liefert.

Die Simulationen ergaben, dass eine Synchronisation des Tiefsetztellers auf den Hauptkonverter keine Vorteile hinsichtlich Effektivwertstrombelastung des Zwischenkreiskondensators mit sich bringt (Tab. 3.4). Es war im Gegenteil zu beobachten, dass der Effektivwert des Kondensatorstromes bei einer 180° Phasenverschiebung zwischen den Schaltflanken des Tiefsetztellers und des Hauptkonverters angestiegen ist.

	$i_{C4 \text{ RMS}} \text{ (HSHB)}$	$i_{C4 \text{ RMS}} \text{ (SRC)}$
<b>a) Flanken 180° phasenverschoben</b>	12,55 A	20,74 A
<b>b) Flanken synchronisiert</b>	7,22 A	17,58 A
<b>c) Flanken nicht synchron</b>	6,94 A	16,96 A

**Tab. 3.4** Vergleich der Stromeffektivwerte im Zwischenkreiskondensator bei Synchronisation der Schaltflanken des zweiphasigen Tiefsetztellers auf die Schaltflanken des Hauptkonverters

Eine Synchronisation der Schaltflanken bewirkt gegenüber dem nicht synchronen Betrieb der Leistungsstufen kaum Veränderungen im Effektivwert des Zwischenkreisstromes.

Die praktische Umsetzung der Synchronisation zwischen Hauptwandler und sekundärseitigem Tiefsetzteller wäre nur schwer zu realisieren, da die Taktsignale über eine Potentialbarriere übertragen werden müssten. Bei hohen Taktfrequenz ( $\geq 500$  kHz) gestaltet sich dies besonders schwierig. Die Synchronisation des Hauptwandlers und des sekundärseitigen Tiefsetztellers bringt für die untersuchten Schaltungen keine Vorteile.

### 3.9.4 Ergebnisse der Untersuchungen zur Stufensynchronisation

*Die einzelnen Stufen eines Schaltnetzteils besitzen in der Regel eine eigenständige Ansteuerung, zwischen denen auch Potentialbarrieren liegen können.*

*Aufgrund dieses Aufbaus sind die Stromflüsse zwischen den einzelnen Stufen nicht aufeinander abgestimmt. Die Zwischenkreiskondensatoren zwischen den einzelnen Stufen müssen für die maximal auftretende Stromwelligkeit ausgelegt werden. Das wirkt sich negativ auf die Baugröße und natürlich auf die Kosten des Gesamtsystems aus. Durch die Synchronisation der Stromflüsse zwischen den einzelnen Stufen kann eine Reduktion der Kondensatorstrombelastung erreicht werden, da der Hauptteil des Stromes am Kondensator vorbei direkt in die nächste Stufe fließt.*

*Exemplarisch wurde einerseits die Synchronisation zwischen einer PFC-Stufe und einem nachfolgenden Hauptwandler untersucht. Andererseits wurde die Synchronisation eines Serienresonanzkonverters bzw. einer partiell hart schaltenden Halbbrücke mit dem nachfolgenden Tiefsetzteller in einer dreistufigen Topologie analysiert.*

*Bei der Synchronisation von PFC-Stufe und Hauptwandler ist die Reduktion des Stromeffektivwertes durch den Zwischenkreiskondensator deutlich vom Tastverhältnis des Hauptwandlers abhängig. Bei einem großen Hauptwandler-Tastverhältnis (90 %) kann nur eine kleine Effektivwertreduktion (5 %) erreicht werden, wobei hingegen bei kleinem Tastverhältnis (35 %) im Hauptwandler, der Zwischenkreiseffektivwert um bis zu 40 % reduziert werden kann.*

*Da diese Arbeit auf Server-Applikationen abzielt, in denen der Zwischenkreis nach hold-up*

*time ausgelegt wird, kann man durch die Synchronisation keine Reduktion der Zwischenkreiskapazität erreichen. Es wirkt sich der verkleinerte Stromeffektivwert aber positiv auf die Lebensdauer der Kondensatoren aus.*

*Die Auswirkung der Synchronisation auf das EMV-Spektrum ist negativ, da die Schaltfrequenzen im System auf einen Wert konzentriert werden und damit das gesamte Störspektrum angehoben wird.*

*Die Synchronisation eines Hauptwandlers mit einem zweiphasigen Tiefsetzsteller in einer dreistufigen Topologie wurde anhand von zwei Beispielen (Serienresonanzkonverter + Tiefsetzsteller bzw. partiell hart schaltende Halbbrücke + Tiefsetzsteller) simulativ untersucht. Im Ergebnis dieser Analysen ergab sich sowohl für den synchronen Betrieb als auch für den um 180° phasenverschobenen Betrieb keine Reduktion der Effektivwertstrombelastung am Kondensator zwischen beiden Stufen.*

*Der nicht synchrone Betrieb, bei dem die Schaltfrequenzen und Schaltzeitpunkte von Hauptwandler und Tiefsetzsteller leicht verschieden sind, brachte die geringste Belastung für den Kondensator zwischen beiden Stufen.*

*Die praktische Umsetzung der Synchronisation zwischen Hauptwandler und sekundärseitigem Tiefsetzsteller wäre nur schwer zu realisieren, da die Taktsignale über eine Potentialbarriere übertragen werden müssten. Bei hoher Taktfrequenz ( $\geq 250$  kHz) gestaltet sich dies besonders schwierig*

*Die Synchronisation des Hauptwandlers und des sekundärseitigen Tiefsetzstellers bringt für die untersuchten Schaltungen keine Vorteile.*

#### 3.10 Zielstellung der Arbeit und Vorgehensweise

Die erste Zielstellung der Arbeit, die Ermittlung der Optimierungspotentiale von Komponenten und Teiltopologien für Schaltnetzteile wurde im vorangegangenen Kapitel 3 erörtert. Bei diesen Betrachtungen wurde insbesondere auf Leistungshalbleiter, Magnetwerkstoffe und die einzelnen Stufen von Schaltnetzteilen eingegangen. Die Potentiale wurden anhand von konkreten Muster- und Prinzipialanalysen ausgelotet. Es wurden Schaltungen zur Erzeugung einer 12 V DC-Ausgangsspannung herausgestellt. Der Einfluss der Schaltfrequenzen auf das Systemvolumen wurde am Beispiel einer PFC-Stufe untersucht.

Diese Betrachtungen haben gezeigt, dass das Optimierungspotential stark vom Einsatzfall des Schaltnetzteils abhängig ist und nur wenige allgemeingültige Aussagen möglich sind. Der zweite Teil der Arbeit zielt deshalb auf potentialgetrennte dreistufige Schaltnetzteile für Server-Anwendungen und Stromversorgungen für Telekommunikationsanlagen ab, die eine DC-Ausgangsspannung von 12 V liefern sollen. Die Arbeit soll die Vor- und Nachteile dieser Topologien aufzeigen. Die mit dreistufigen SMPS angestrebten Verbesserungen sind die Reduktion der Zwischenkreiskapazität und die damit verbundene Leistungsdichte-Erhöhung. Die Verbesserung des Systemwirkungsgrades durch Aufteilung der Leistungsstellung und der galvanischen Trennung auf verschiedene Wandlerstufen. Weiterhin wird auf die Erhöhung der Freiheitsgrade zur Beeinflussung von Schaltungsparametern und eine bessere Anpassung der dreistufigen Topologien an die jeweilige Anwendung abgezielt.

Die Eingangsleistung der Schaltnetzteile, die im Rahmen dieser Arbeit untersucht wurden, ist auf maximal 3680 W begrenzt, da sich diese Leistung aus der Leistung ergibt, die ein einphasiger Hausanschluss, der mit 16 A abgesichert ist, bei 230 V liefern kann.

Diese Arbeit besitzt einen hohen experimentellen Anteil, da eine theoretische Beschreibung und Berechnung des komplexen Systems Schaltnetzteil nur nach sehr starker Abstraktion möglich wäre. In Schaltnetzteilen wird eine Vielzahl von Bauelementen eingesetzt, so dass

eine theoretische bzw. simulative Beschreibung nur mittels umfangreicher Modelle für die Halbleiter, die passiven Bauelemente sowie für das Kühlsystem möglich wäre. Die Berücksichtigung von EMV-Aspekten würde die theoretische Untersuchung weiter verkomplizieren. Die benötigten Simulationsmodelle müssten in 3D-Feldberechnungsprogrammen implementiert werden. Dieser enorme Aufwand für eine theoretische Beschreibung würde den Aufwand für den praktischen Aufbau verschiedener Schaltnetzteile bei weitem übersteigen.

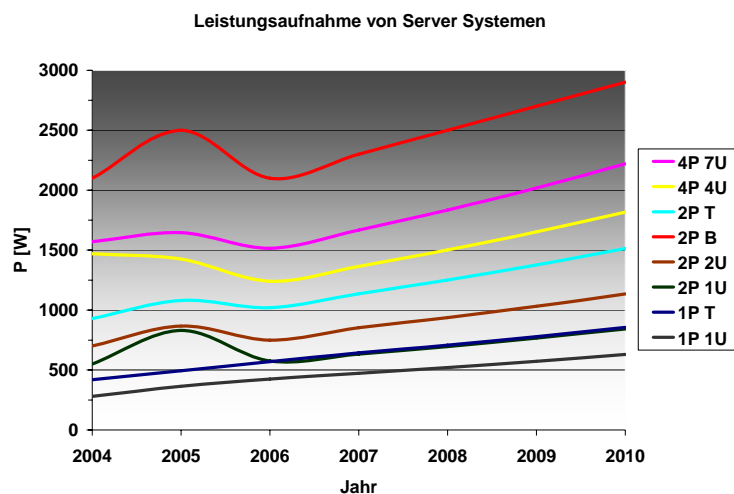
Demzufolge erscheint eine gezielte experimentelle Untersuchung der Thematik legitim. Berechnungen und Simulationen wurden als unterstützendes Hilfsmittel während der experimentellen Umsetzung verwendet. Für die elektrischen Simulationen wurde die Software „Pspice“ in der Version 9.1 verwendet. Die Berechnungen der magnetischen Komponenten wurde mit der Software „Drechsler magnetics“ durchgeführt [8.1].

Der durchgeführte Topologievergleich baut auf dem aktuellen Stand der Technik auf. Es kamen die neusten Halbleiter und Magnetmaterialien, teilweise noch aus dem Vorserienstadium, zum Einsatz, um das volle Potential der Topologien auszuschöpfen.

Die Optimierungskriterien, die dem Entwurf von Schaltnetzteilen zugrunde liegen, sind bei verschiedenen Applikationen unterschiedlich. Es kann eine Optimierung in Richtung hohen Wirkungsgrades, hoher Leistungsdichte oder geringer Kosten erfolgen. Der Kostendruck im Massenmarktsegment erfordert heute oft ein optimales Design bei verschiedenen Randbedingungen.

Für den Topologievergleich im Rahmen dieser Arbeit war die Kostenminimierung nicht vordergründig von Bedeutung, es wurde vielmehr auf einen hohen Wirkungsgrad bzw. eine hohe Leistungsdichte abgezielt. Zu begründen ist dieses Vorgehen mit dem Zusammenhang zwischen Kosten und hohem Wirkungsgrad bzw. hoher Leistungsdichte. Ein auf geringe Kosten optimiertes System besitzt aufgrund der Bauelementeauswahl in der Regel nicht die höchstmögliche Effizienz. Trotz dieser Zielsetzung wurde die Betrachtung der Kostenverteilung für die einzelnen Demonstratoren mit in die Arbeit eingebunden.

Für die vergleichenden Untersuchungen wurde eine Ausgangsleistung von 800 W gewählt, da diese der benötigten Leistung für einen ein Prozessorserver (1P) in den Jahren 2009 bzw. 2010 entspricht (Abb. 3.107).



**Abb. 3.107** Leistungsaufnahme von Server-Systemen; Studie des Herstellers Dell aus dem Jahr 2004; (1P=ein Prozessor Maschine; 2P=zwei Prozessoren Maschine; 4P=vier Prozessoren Maschine; T=Tower-Server; B=Blade-Server; 1U=1Unit=1,75 Zoll Höhe) [Quelle: Firma Infineon]

Regelungstechnische Aspekte spielten bei der experimentellen Umsetzung dieser Arbeit nur eine untergeordnete Rolle. Da die Hauptaussagen eines Topologienvergleichs von der Ansteuerung und der Regelung unabhängig sind.

Die während des Vergleiches entstandenen SMPS-Demonstratoren wurden alle nach der gleichen Designphilosophie entwickelt. Die Recherche zum Stand der Technik in der verfügbaren Literatur hat gezeigt, dass es einen solchen Vergleich verschiedener Topologien bisher nicht gegeben hat.

Es werden verschiedene Schaltungskonzepte aufgezeigt und deren Vor- bzw. Nachteile erörtert. Ein weiterer Untersuchungspunkt ist der Einfluss der Schaltfrequenz auf den Wirkungsgrad bzw. die Leistungsdichte in der Kombination mit neuen Halbleitertechnologien. Aus diesen Untersuchungen lassen sich auch Anforderungen an den Halbleiter aus Topologiesicht ableiten.

Nachdem die Zielstellung der Arbeit vorgegeben ist, werden in den nachfolgenden Kapiteln die verschiedenen untersuchten Topologien vorgestellt und verglichen. Ein zweistufiges Schaltnetzteil mit 800 W Ausgangsleistung wird zur Bewertung des gegenwärtigen Standes der Technik herangezogen. Besondere Probleme der vorgestellten Schaltungen werden erörtert und Lösungen vorgestellt.

Im Ergebnis der Arbeit wird ein den gegenwärtigen technischen Möglichkeiten entsprechendes optimales dreistufiges System präsentiert.

## 4. Zweistufige Schaltnetzteiltopologien

### 4.1 Vorbemerkungen

Der Stand der Technik bei Schaltnetzteilen ist heute ganz klar das zweistufige System (Abb. 4.1). Dieses System besteht aus einer Eingangsstufe mit PFC-Stufe und einem Hauptwandler zur Leistungsstellung und galvanischen Trennung.

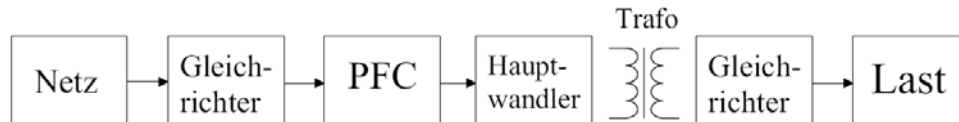


Abb. 4.1 Allgemeiner Aufbau eines zweistufigen Schaltnetzteils [7.2]

Für den praktischen Vergleich zu den untersuchten dreistufigen Topologien wurde ein Demonstrator der Firma Infineon, mit 800 W Ausgangsleistung, herangezogen. Dieser Demonstrator wurde von der Firma Finpower entwickelt. Details zu dem Schaltnetzteil werden nachfolgend näher beschrieben.

### 4.2 Partiiell hart schaltender Halbbrücken-Konverter

#### 4.2.1 Topologie, Parameter und Realisierung

Der zweistufige Demonstrator besitzt eine PFC-Stufe, die als Hochsetzsteller ausgeführt ist und eine Zwischenkreisspannung von 370 V erzeugt. Gefolgt wird diese Stufe von einer spannungsgespeisten, partiell hart schaltende Halbbrücke, die über einen Transformator mit einer DC-Mittelpunktschaltung verbunden ist. Am Ausgang dieses Wandlers kann eine Spannung von 12 V abgegriffen werden. Der Schaltplan des Leistungsteils ist in Abb. 4.2 zu sehen. Die analysierte Topologie ist eine Vorzugstopologie in der untersuchten Leistungsebene von 800 W. Sie wurde deshalb für die Untersuchungen herangezogen.

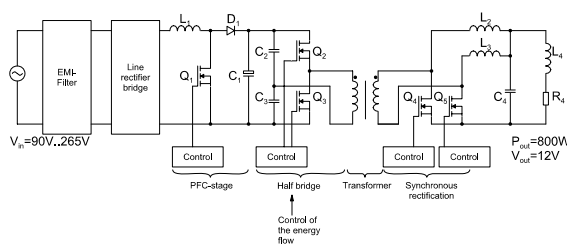


Abb. 4.2 Schaltplan des zweistufigen Demonstrators von Firma Infineon



Abb. 4.3 Ansicht des zweistufigen Demonstrators von Firma Infineon [Quelle: Firma Infineon]

Die ausführliche Beschreibung und die Analyse der Schaltung wurde in der Applikationschrift [4.1] vorgenommen. Die Schaltung besitzt folgende Parameter:

- Eingangsspannung:  $V_{IN\_RMS}=90 - 265 \text{ V AC}$
- Ausgangsspannung:  $V_{OUT}=12 \text{ V DC}$
- Ausgangsleistung:  $P_{OUT}=800 \text{ W}$
- Schaltfrequenz der PFC-Stufe:  $f_{PFC}=130 \text{ kHz}$
- Schaltfrequenz der Hauptstufe:  $f_{Main}=100 \text{ kHz}$
- Zwischenkreisspannung:  $V_Z=370 \text{ V}$
- Zwischenkreiskondensator:  $C_Z=385 \text{ }\mu\text{F}$

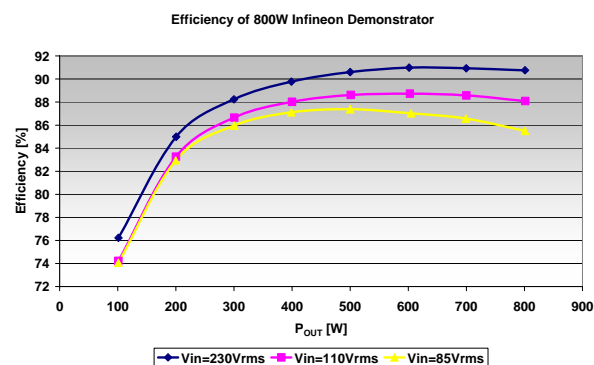
Bei der Analyse dieser Topologie wurden die in den Vorbetrachtungen (Kapitel 3) gewonnenen Erkenntnisse bestätigt, dass sich eine spannungsgespeiste Topologie sehr gut zur Erzeugung niedriger Ausgangsspannungen und hoher Ausgangsströme eignet.

Die Designphilosophie, unter der dieses Schaltnetzteil entwickelt wurde, beinhaltet mehrere Punkte: einen hohen Systemwirkungsgrad, eine begrenzte Bauhöhe von 1,75 Zoll (1 U) sowie die Einhaltung der EMV-Normen. Der Kostenfaktor und die Fertigungsfreundlichkeit der Schaltung wurden nur am Rande mitbetrachtet. Der Demonstrator mit Gehäuse ist in Abb. 4.3 zu sehen. Die Zusammenfassung der relevanten Untersuchungsergebnisse erfolgt in nächsten Abschnitt.

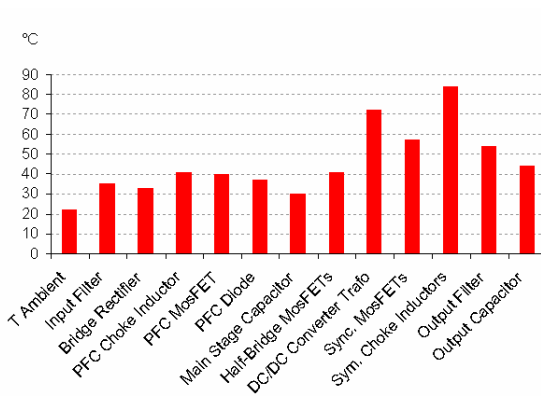
### 4.2.2 Ergebnisse der Betrachtungen

Die Untersuchungen am zweistufigen Demonstrator konzentrierten sich auf Wirkungsgradmessungen, die Erstellung einer Verlustleistungsbilanz und auf die Betrachtung der Materialkosten für das SMPS.

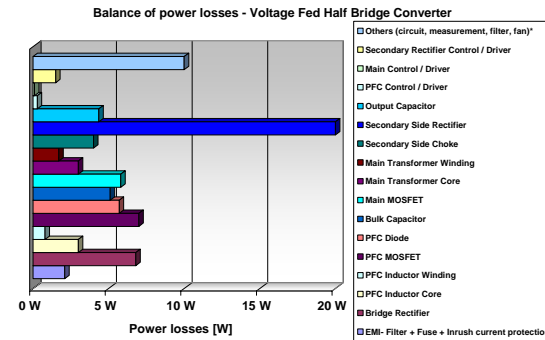
Die Wirkungsgrade des zweistufigen Schaltnetzteils sind für verschiedene Eingangsspannungen in Abb. 4.4 zu sehen. Bei einer Eingangsspannung von 230 V und einer Ausgangsleistung von 800 W wurde ein Wirkungsgrad von 90,8 % erreicht. Die Analyse der Verlustverteilung ist als Grafik in Abb. 4.6, sowie in Tabellenform in Abb. A. 62 dargestellt. Sie zeigt für die sekundärseitigen Gleichrichter-MOSFETs einen Verlustanteil von nahezu 25 % an den Gesamtverlusten.



**Abb. 4.4** Wirkungsgrad des zweistufigen Demonstrators von Firma Infineon  
@  $V_{IN\_RMS}=85 \text{ V}; 110 \text{ V}; 230 \text{ V}$



**Abb. 4.5** Temperaturen ausgewählter Bauelemente des zweistufigen Demonstrators von Firma Infineon @  $V_{IN\_RMS}=230\text{ V}$ ;  $P_{OUT}=801\text{ W}$ ;  $\eta=90,8\%$  [4.1]



**Abb. 4.6** Verlustleistungsbilanz des zweistufigen Demonstrators von Firma Infineon @  $V_{IN\_RMS}=230\text{ V}$ ;  $P_{OUT}=801\text{ W}$ ;  $\eta=90,8\%$

Ein weiterer großer Anteil kommt von den Lüftern, die zur Kühlung des kompakten Systems eingesetzt werden. Die restlichen Verluste verteilen sich nahezu gleichmäßig auf die verschiedenen Komponenten des SMPS. Die Temperaturmessung an ausgewählten Bauelementen (Abb. 4.5) deckt sich mit den Ergebnissen der Verlustleistungsbilanz.

Die Designanforderung hoher Systemwirkungsgrad wird durch den Demonstrator erfüllt. Die Forderung nach einem kompakten Bauvolumen wurde ebenfalls befriedigt und spiegelt sich in der hohen Leistungsdichte von  $7,97\text{ W}/\text{inch}^3$  wider. Die Zwischenkreiskapazität ist mit  $385\ \mu\text{F}$  so ausgelegt, dass während der hold-up time von  $20\text{ ms}$  die Zwischenkreisspannung von  $370\text{ V}$  auf  $220\text{ V}$  abfällt. Der Hauptwandler muss die Ausgangsleistung von  $800\text{ W}$  über den gesamten Bereich der Zwischenkreisspannung von  $370\text{ V}$  bis  $220\text{ V}$  liefern.

Die Kostenaufteilung auf die einzelnen Bauelemente des Schaltnetzteils wurde im Anhang offengelegt (Abb. A. 61). Bei den Untersuchungen fielen die folgenden Bauteile als besonders kostenintensiv auf: Ausgangsglättungsrosseln, Haupttransformator, Zwischenkreiskondensator, Lüfter und die Hilfsstromversorgung.

Die dargestellten Ergebnisse entsprechen dem Stand der Technik bei zweistufigen Schaltnetzteilen für den Server-Bereich. Die Aufgabe dieser Arbeit ist es, zu zeigen, dass mittels dreistufiger Schaltnetzteiltopologien eine Wirkungsgrad-Steigerung bzw. eine Steigerung der Leistungsdichte gegenüber den zweistufigen Lösungen zu erreichen ist. Im nachfolgenden Kapitel werden die dreistufigen Schaltnetzteile eingehend vorgestellt und Ergebnisse verschiedener Konzepte verglichen.

### 4.3 Ergebnisse der Untersuchungen an zweistufigen Schaltnetzteilen

*Zweistufige Schaltnetzteile spiegeln den Stand der Technik bei Stromversorgungen für Server- und Telekommunikationsanwendungen wider. Diese Systeme bestehen aus einer Eingangsstufe mit PFC und einem Hauptwandler zur Leistungsstellung, sowie zur galvanischen Trennung.*

*Die ausgewählte Topologie zur experimentellen Vergleichsanalyse war eine spannungsgespeiste, partiell hart schaltende Halbbrücke mit sekundärseitiger DC-Mittelpunktschaltung. Die Untersuchungen an diesem SMPS wurden unter den Gesichtspunkten: Wirkungsgrad, Verlustverteilung und Systemkosten durchgeführt.*

*Der Gesamtsystemwirkungsgrad bei  $P_{OUT}=800\text{ W}$  Ausgangsleistung und  $V_{IN\_RMS}=230\text{ V}$*



*Eingangsspannung wurde zu 90,8 % ermittelt. Den Wirkungsgrad-Verläufen ist zu entnehmen, dass das Maximum der Effizienz bei ca. 80 % der vollen Ausgangsleistung liegt. Aus diesem Verhalten kann geschlossen werden, dass das System nicht überdimensioniert ist.*

*Als Hauptverlustquellen wurden im Rahmen einer Verlustleistungsbilanz die sekundärseitigen Gleichrichter-MOSFETs und die Lüfter zur Kühlung des kompakten Systems ermittelt.*

*Bei der Kostenanalyse des Gesamtsystems fielen die folgenden Bauteile als besonders kostenintensiv auf: Ausgangsglättungsrosseln, Haupttransformator, Zwischenkreiskondensator, Lüfter und die Hilfsstromversorgung.*

*Die dargestellten Ergebnisse entsprechen dem Stand der Technik bei zweistufigen Schaltnetzteilen für den Server-Bereich.*

*Die Aufgabe dieser Arbeit ist es, zu zeigen, dass mittels dreistufiger Schaltnetzteiltopologie eine Wirkungsgrad-Steigerung bzw. eine Steigerung der Leistungsdichte gegenüber den zweistufigen Lösungen zu erreichen ist.*

## 5. Dreistufige Schaltnetzteiltopologien

### 5.1 Vorbemerkungen

Die dreistufigen Schaltnetzteiltopologien, die auch als Three-Stage-Lösungen bezeichnet werden, stellen den zentralen Teil dieser Arbeit dar. Diese Topologien wurden mit dem Ziel der Verbesserung der bestehenden zweistufigen Topologien untersucht. Der im Abschnitt 3.4.3 beschriebene Kompromiss zwischen Bauvolumen des Zwischenkreises und Eingangsspannungsbereich des Hauptwandlers kann mit dreistufigen Lösungen überwunden werden. Hier wird ein zusätzlicher Wandler in den Leistungspfad eingebunden, der die Leistungsstellung übernimmt. Der Hauptwandler arbeitet nun als ungesteuerte Übertragungskomponente in Form eines „DC-Transformators“. Das bedeutet, er kann mit Volllaststeuerung, d.h. 100 % Konvertertastverhältnis betrieben und auf ZVS bzw. resonantes Schalten ausgelegt werden. Für den Hauptwandler gibt es verschiedene Topologien, die bereits in den Voruntersuchungen (Kapitel 3.6) betrachtet wurden.

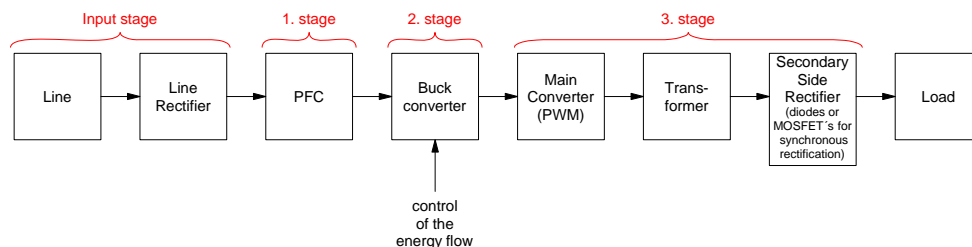
Die verschiedenen Varianten dreistufiger Schaltnetzteile wurden schon im Kapitel 3.4.4 vorgestellt. Nachfolgend werden drei Pre-Regulated SMPS und drei Post-Regulated SMPS präsentiert, die praktisch realisiert und untereinander verglichen wurden.

### 5.2 Primärseitig geregelte (Pre-Regulated) Schaltnetzteile

#### 5.2.1 Vorbemerkungen

Dreistufige Schaltnetzteile, die auf der Primärseite des Transformators einen Tiefsetzsteller besitzen, werden auch als Pre-Regulated SMPS bezeichnet. Das Konzept dieser Lösung ist in Abb. 5.1 zu sehen.

3-stage-concept-1



**Abb. 5.1** Konzept eines primärseitig geregelten dreistufigen Schaltnetzteils (Pre-Regulated Three-Stage-SMPS)

Der primärseitige Tiefsetzsteller besitzt eingangsseitig eine Spannungseinprägung und auf der Sekundärseite eine Stromeinprägung. Diese Stromeinprägung soll im Hauptwandler genutzt werden. Das Konzept weist folgende Eigenschaften auf:

Der Hauptkonverter kann für ein festes Übertragungsverhalten optimiert werden. Die Drossel zur Stromeinprägung beim Tiefsetzsteller befindet sich auf der Primärseite des Transformators und muss somit nur für einen geringen Strom ausgelegt werden. Das ist ein Vorteil bei Schaltungen mit großen Strömen auf der Sekundärseite. Zu beachten ist, dass die Tiefsetzsteller-Drossel kapazitätsarm aufgebaut und entsprechend der auftretenden Spannungen isoliert ist. Die Strommessung zur Leistungsregulierung kann vollständig auf der Primärseite, der Niederstrom-Seite, erfolgen, so dass die Verluste in den Messgliedern gering ausfallen. Weiterhin existiert bei einer stromeingepägten Topologie der Vorteil, dass keine Probleme mit Sättigung im Transformator auftreten können. Die Anwendung von normally-on Schaltern in der Hauptstufe ist begünstigt, da in einer stromeingepägten Topologie immer ein Pfad für den Stromfluss bereitgestellt werden muss.

Ein Argument bezüglich der Zuverlässigkeit eines Schaltnetzteils spricht für den Einsatz einer stromgespeisten Topologie anstelle einer spannungsgespeisten Anordnung. In einer spannungsgespeisten Topologie kann es zu einem harten Abkommutieren der Body-Diode eines Schalters durch störungsbedingte Fehlpulse bzw. parasitäres Aufsteuern eines MOSFETs kommen. Das harte Abkommutieren eines MOSFETs ohne schnelle Body-Diode kann sowohl zu  $du/dt$ -Problemen und Aufsteuern des parasitären Bipolar-Transistors im MOSFET als auch zur Zerstörungen des Bauelementes und zum Ausfall des Netzteils führen.

Die Betrachtungen zur Auswahl der geeigneten Topologien für Schaltnetzteile mit 800 W Ausgangsleistung werden im nächsten Abschnitt vorgestellt.

### 5.2.2 Topologieauswahl für Pre-Regulated Schaltnetzteile

Bei der Untersuchung der primärseitig geregelten Schaltnetzteile, die im Rahmen dieser Arbeit umgesetzt wurden, wurden die gleichen Eingangs- und Ausgangsparameter wie bei dem zweistufigen Demonstrator von Firma Infineon gewählt.

Die Schaltungen besitzen folgende Parameter:

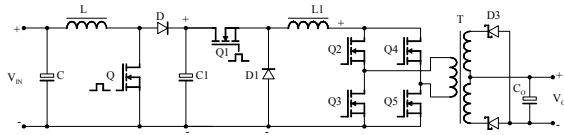
- Eingangsspannung:  $V_{IN\_RMS}=90 - 265 \text{ V AC}$
- Ausgangsspannung:  $V_{OUT}=12 \text{ V DC}$
- Ausgangsleistung:  $P_{OUT}=800 \text{ W}$

Die Schaltfrequenzwahl in den einzelnen Stufen des Schaltnetzteils wurde unter dem Gesichtspunkt der Leistungsdichte-Optimierung bzw. der Auslotung von praktisch relevanten Schaltfrequenzen vorgenommen. Für die PFC-Stufe wurden 250 kHz gewählt, für den leistungsstellenden Tiefsetzsteller 500 kHz und für die Hauptstufe 250 kHz, um eine symmetrische Strombelastung der Hauptstufen-Schalter zu gewährleisten. Nachfolgend wird auf die Auslegung des Tiefsetzstellers bzw. des Hauptwandlers eingegangen. Da bereits im Kapitel 3.5.2 auf die Auslegung der PFC-Stufe eingegangen wurde, wird diese hier nicht berücksichtigt.

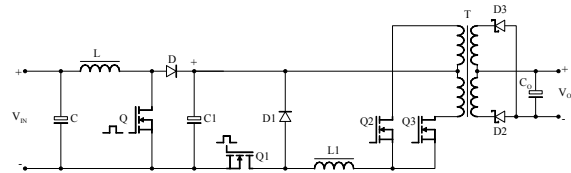
#### *Tiefsetzsteller und Hauptwandler*

Der Tiefsetzsteller, der die Leistungsstellung in dem dreistufigen Pre-Regulated SMPS vornimmt, kann seinen Schalter entweder im positiven Strompfad des Zwischenkreises (Abb. 5.2) oder im negativen Strompfad (Abb. 5.3) besitzen. Wird der Schalter im negativen Pfad angeordnet, befinden sich PFC-MOSFET und Tiefsetzsteller-MOSFET auf demselben Potential. Diese Konfiguration erleichtert die Ansteuerung und die Synchronisation der Stufen. Die Anordnung des Tiefsetzsteller-MOSFETs im positiven Pfad der Zwischenkreisspannung würde eine potentialgetrennte Ansteuerung beider MOSFETs voraussetzen und für die Hauptstufe in Brückenordnung keine Vorteile bringen.

Bei der Auswahl des Tastverhältnisses für den Tiefsetzsteller spielen zwei Punkte eine Rolle: Erstens die Belastung der Drossel (Abb. 5.4) und zweitens der Arbeitsbereich des Tiefsetzstellers bei abgesenkter Zwischenkreisspannung, während der hold-up time (Abb. 5.5). Für die Auslegung der Tiefsetzsteller-Drossel ist es günstig, ein Tastverhältnis zu wählen, das so weit wie möglich vom Wert 50 % entfernt ist. Für die Dimensionierung des Tiefsetzstellers nach Gesichtspunkten der hold-up time ist es günstig, bei Nennbedingungen ein niedriges Tastverhältnis zu haben, damit man bei abgesenkter Zwischenkreisspannung einen weiten Arbeitsbereich des Konverters sicherstellen kann. Bei diesen Überlegungen darf man nicht vernachlässigen, dass bei einem kleinen Tastverhältnis des Tiefsetzstellers die Strombelastung auf der Primärseite des Systems höher ist als bei einem großen Tastverhältnis.

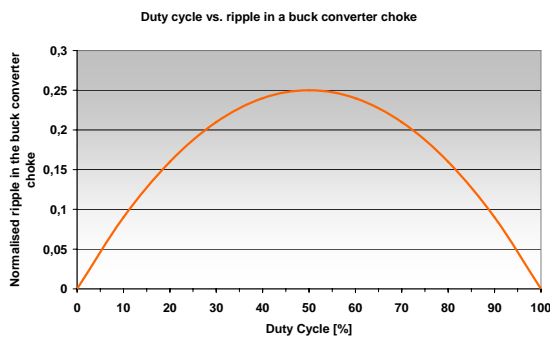


**Abb. 5.2** Schaltplan einer dreistufigen Pre-Regulated Topologie mit Tiefsetzsteller im Pfad der positiven Zwischenkreisspannung [7.4]

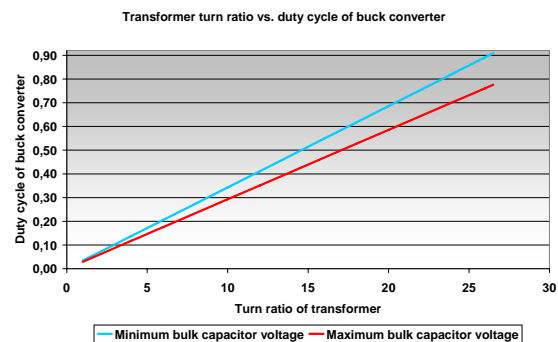


**Abb. 5.3** Schaltplan einer dreistufigen Pre-Regulated Topologie mit Tiefsetzsteller im Pfad der negativen Zwischenkreisspannung [7.4]

Bei der Auslegung für die Demonstratoren wurde ein Tastverhältnis des Tiefsetzstellers von 78 % festgelegt. Aus dieser Vorgabe und der Tastverhältnisgrenze des Ansteuerschaltkreises (92 %) ergibt sich eine minimale Zwischenkreisspannung von 350 V. Der Zwischenkreis wurde also so ausgelegt, dass die Zwischenkreisspannung innerhalb von 20 ms (hold-up time) minimal den Wert 350 V erreicht.



**Abb. 5.4** Stromwelligkeit in der Drossel eines Tiefsetzstellers gegenüber dem Tastverhältnis des Tiefsetzsteller-MOSFETs

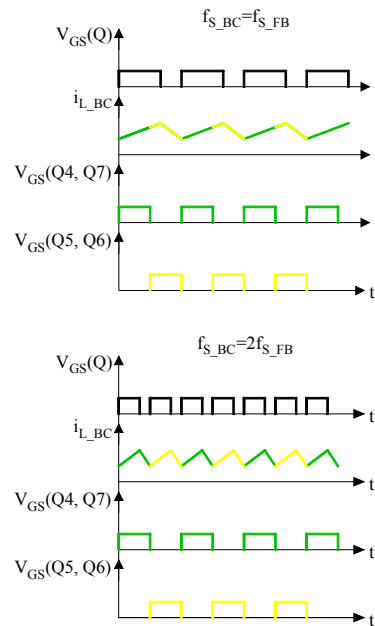


**Abb. 5.5** Tastverhältnis des Tiefsetzstellers gegenüber dem Übersetzungsverhältnis des Transformators bei einem Current Fed Full Bridge-Konverter;  $V_{OUT\_SMPS}=12$  V; maximale Zwischenkreisspannung 410 V (rot); minimale Zwischenkreisspannung 350 V (blau)

Die Auswahl der geeigneten Schaltfrequenzen für Tiefsetzsteller und Hauptwandler ist ein weiterer wichtiger Auslegungspunkt. In Abb. 5.6 kann man erkennen, dass es bei identischer Schaltfrequenz in Tiefsetzsteller und Hauptwandler zu einer unsymmetrischen Belastung der MOSFETs im Hauptwandler kommt, da diese mit unterschiedlichen Stromwerten aus dem Tiefsetzsteller belastet werden. Wird im Tiefsetzsteller die doppelte Schaltfrequenz gewählt, erfolgt eine symmetrische Belastung der Schalter im Hauptwandler. Mithilfe dieser Betrachtungen wurde die Schaltfrequenz des Tiefsetzstellers auf 500 kHz und die des Hauptwandlers auf 250 kHz festgelegt.

Für den stromgespeisten Hauptwandler wurden die folgenden Topologien ausgewählt:

- Current Fed Push Pull (CFPP)-Konverter
- Current Fed Full Bridge (CFFB)-Konverter
- Parallelresonanz (PRC)-Konverter



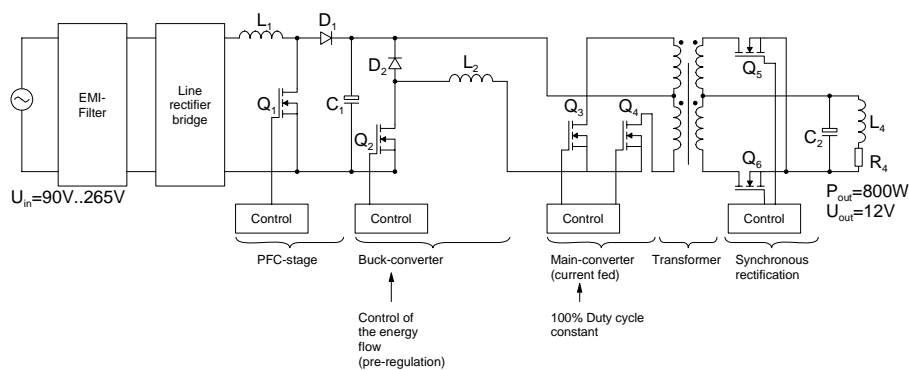
**Abb. 5.6** Ansteuersignale und Stromverläufe im Tiefsetzsteller und im Hauptwandler (Vollbrücke) bei identischen Schaltfrequenzen in beiden Stufen (oben) sowie bei doppelter Frequenz im Tiefsetzsteller gegenüber der Hauptstufe (unten);  $V_{GS}(Q)$ - Gate-Source-Spannung des Tiefsetzstellers;  $V_{GS}(Q4, Q7)$ - Gate-Source-Spannung des Hauptwandlers (Vollbrücke);  $V_{GS}(Q5, Q6)$ - Gate-Source-Spannung des Hauptwandlers (Vollbrücke);  $i_{L\_BC}$ - Strom aus der Tiefsetzsteller-Drossel [7.4]

Die einzelnen Topologien werden im Folgenden vorgestellt. Die Steuerung wurde auf der Primärseite des SMPS angeordnet. Die Potentialtrennung der Ansteuersignale für die Hauptstufe sowie für die sekundärseitigen Gleichrichter wurde mittels Ansteuerübertragern vorgenommen. Bei der Ansteuerung des stromgespeisten Hauptwandlers musste eine Zweigüberlappungszeit eingehalten werden, um dem eingepprägten Strom ständig einen Weg zu bieten.

### 5.2.3 Current Fed Push Pull-Konverter

#### Topologie, Parameter und Realisierung

Der Current Fed Push Pull-Konverter ist der erste Vertreter der zu behandelnden primärseitig geregelten Schaltnetzteile. Diese Topologie ist partiell hart schaltend. Die Schaltung der Anordnung ist in Abb. 5.7 zu sehen.



**Abb. 5.7** Schaltplan des dreistufigen Current Fed Push Pull-Konverters (Pre-Regulated Topologie)

Eingangsseitig befindet sich eine PFC-Stufe, die im Normalbetrieb eine konstante Zwischenkreisspannung von 410 V erzeugt. Der PFC-Stufe folgt ein Tiefsetzsteller, der die Leistungsstellung des Netzteils übernimmt. Am Ausgang des Tiefsetzstellers steht ein eingepprägter Strom zur Verfügung, der in der Push Pull-Stufe verarbeitet wird. Diese Stufe arbeitet mit einem 100 % Konvertertastverhältnis als „DC-Transformator“. Die Sekundärseite der Schaltung ist mit einem Synchrongleichrichter ausgestattet, um die Durchlassverluste möglichst gering zu halten.

Es wurde bei dem Konzept auf den Einsatz eines Kondensators am Ausgang des Tiefsetzstellers verzichtet und das natürliche Verhalten des Tiefsetzstellers (Stromeinprägung) genutzt.

Die Schaltung besitzt folgende Parameter:

- Eingangsspannung:  $V_{IN\_RMS}=90 - 265 \text{ V AC}$
- Ausgangsspannung:  $V_{OUT}=12 \text{ V DC}$
- Ausgangsleistung:  $P_{OUT}=800 \text{ W}$
- Schaltfrequenz der PFC-Stufe:  $f_{PFC}=250 \text{ kHz}$
- Schaltfrequenz des Tiefsetzstellers:  $f_{Buck}=500 \text{ kHz}$
- Schaltfrequenz der Hauptstufe:  $f_{Main}=250 \text{ kHz}$
- Zwischenkreisspannung:  $V_Z=410 \text{ V}$
- Zwischenkreiskondensator:  $C_Z=780 \mu\text{F}$

Typische, idealisierte Verläufe von Spannungen und Strömen im CFPP-Konverter sind in Abb. 5.8 zu sehen. Die Darstellung zeigt die überlappenden Ansteuersignale ( $x_{Q3\_PP}$ ;  $x_{Q4\_PP}$ ) der Push Pull-MOSFETs, den in die Hauptstufe fließenden Strom des Tiefsetzstellers ( $i_{L2}$ ) sowie die Strom- und Spannungsbelastung der Hauptstufen-MOSFETs ( $V_{Q3}$ ;  $V_{Q4}$ ;  $i_{Q3}$ ;  $i_{Q4}$ ). Abschließend wird der dreieckförmige Verlauf des Magnetisierungsstromes ( $i_{mag}$ ) dargestellt.

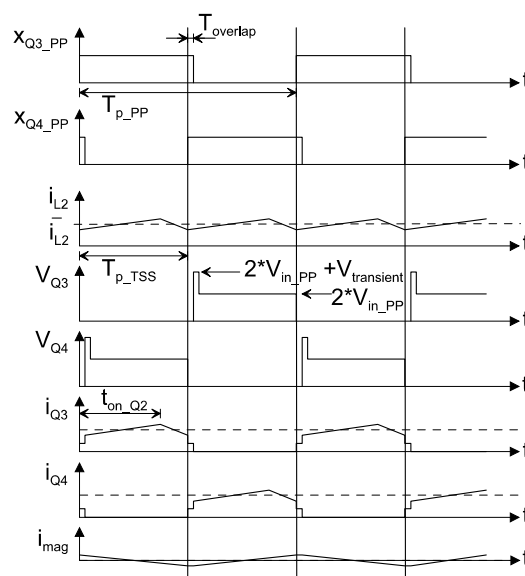


Abb. 5.8 Typische Verläufe am Current Fed Push Pull-Konverter

Ausgehend von diesen Vorbetrachtungen wurde diese Schaltung praktisch realisiert. Dabei wurde eine vierlagige Platine verwendet. Der Leistungsteil und der Ansteuerteil sind räumlich getrennt.

Auf die Dimensionierung der Schaltungsteile wird im Rahmen dieser Arbeit nicht eingegangen, da dies bereits ausführlich in den Veröffentlichungen [7.6], [7.7] und [7.4] getan wurde. Am Ende dieses Kapitels werden einige wesentliche schaltungstechnische Probleme aufgegriffen und erörtert.

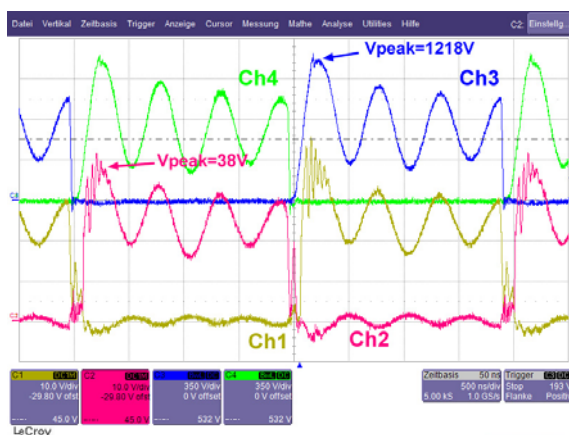
### Ergebnisse der Betrachtungen

Bei der messtechnischen Analyse des Current Fed Push Pull-Konverters wurden typische Kurvenverläufe aufgenommen, der Wirkungsgrad des Systems bestimmt und Temperaturmessungen an den wichtigsten Bauteilen vorgenommen.

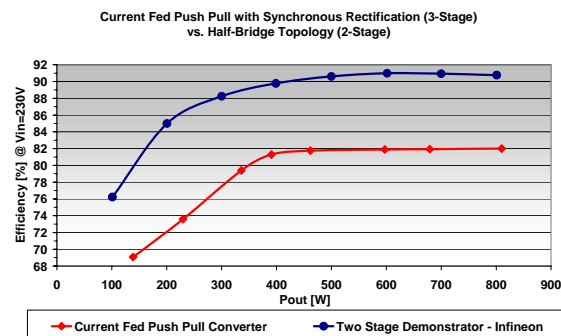
Typische Kurvenverläufe für Volllastbetrieb sind in Abb. 5.9 zu sehen. Das Oszillogramm zeigt die Drain-Source-Spannung an den primärseitigen Push Pull-MOSFETs sowie die Drain-Source-Spannung an den sekundärseitigen Gleichrichter-MOSFETs. Die primärseitigen Schalterspannungen mit ihren Schwingungen sind ein Abbild der sekundärseitigen Schalterspannungen. Die Spannung an den sekundären Gleichrichtern steigt bis auf  $V_{DS}=38$  V.

Das Schwingungsverhalten wird einerseits durch die Streuinduktivität zwischen den sekundärseitigen Windungen und andererseits durch die layoutbedingte Streuung zwischen Transformator, Ausgangskondensator und Gleichrichter-MOSFETs bestimmt. Die Kapazitäten, die an den Schwingungen beteiligt sind, werden aus den Kapazitäten der MOSFETs und der passiven Bauelemente (Transformator) gebildet. Der Einfluss der verschiedenen Größen wurde simulativ nachgewiesen.

Bei einer idealen, induktivitätsarmen Anbindung des spannungseinprägenden Ausgangskondensators  $C_2$  an die Schaltung wäre die Spannung an den Gleichrichtern auf maximal doppelte Ausgangsspannung geclamt. Aufgrund der Schwingungsübertragung auf die Primärseite ist die Spannungsbelastung der Push Pull-MOSFETs ebenfalls sehr hoch. Es wird ein Spitzenwert von über 1200 V erreicht. Die Push Pull-MOSFETs gehen in den Avalanchedurchbruch.



**Abb. 5.9** Ausgewählte Kurvenverläufe des CFPP-Konverters; Ch1 & Ch2 Synchrongleichrichter-MOSFETs; Ch3 & Ch4 Push Pull-MOSFETs @  $V_{OUT}=12$  V;  $P_{OUT}=800$  W (Ch1:  $V_{DS\_Q5}$ ; Ch2:  $V_{DS\_Q6}$ ; Ch3:  $V_{DS\_Q3}$ ; Ch4:  $V_{DS\_Q4}$ )



**Abb. 5.10** Wirkungsgrad-Verläufe des Current Fed Push Pull-Konverters im Vergleich zum zweistufigen Demonstrator @  $V_{IN\_RMS}=230$  V

Der verwendete Transformator besitzt topologiebedingt vier Wicklungen, die aufgrund eines hohen Verschachtelungsgrades sehr gut miteinander gekoppelt sind.

Der Systemwirkungsgrad ist in Abb. 5.10 zu sehen. Das Diagramm zeigt den Wirkungsgrad des CFPP-Konverters im Vergleich zum zweistufigen Demonstrator. Der maximale Wirkungsgrad des CFPP-Konverters liegt bei 230 V Eingangsspannung und 800 W Ausgangsleistung bei 82,15 %. Das ist im Vergleich zum zweistufigen Demonstrator ein um 8,65 % geringerer Wirkungsgrad. Eine Verlustleistungsbilanz soll über die Hauptverlustquellen Aufschluss geben (Abb. 5.11, Abb. A. 63). Die drei Hauptverlustquellen sind die MOSFETs des Tiefsetzstellers, des Push Pull-Konverters und des sekundären Gleichrichters.

Die Verluste im Tiefsetzsteller-MOSFET werden maßgeblich durch die Schaltverluste bei der Schaltfrequenz 500 kHz bestimmt. Ebenfalls wirkt sich die Schaltfrequenz auf die Schaltverluste in den Push Pull-MOSFETs aus. Die Push Pull-MOSFETs werden weiterhin infolge der Schwingungen in der Drain-Source-Spannung und natürlich durch die Avalancheverluste belastet. Die Verluste in den sekundärseitigen Gleichrichtern setzen sich aus Durchlassverlusten von MOSFET und Body-Diode, Schaltverlusten und Speicherladungsverlusten in der Body-Diode des MOSFETs zusammen (siehe Kapitel 3.7). Die Speicherladungsverluste treten in der Anwendung auf, da immer ein Stromfluss über die Body-Diode erfolgt bevor der MOSFET-Kanal eingeschaltet wird.

Die durchgeführten Temperaturmessungen an ausgewählten Bauelementen decken sich mit den Ergebnissen der Verlustleistungsbilanz und bestätigen diese.

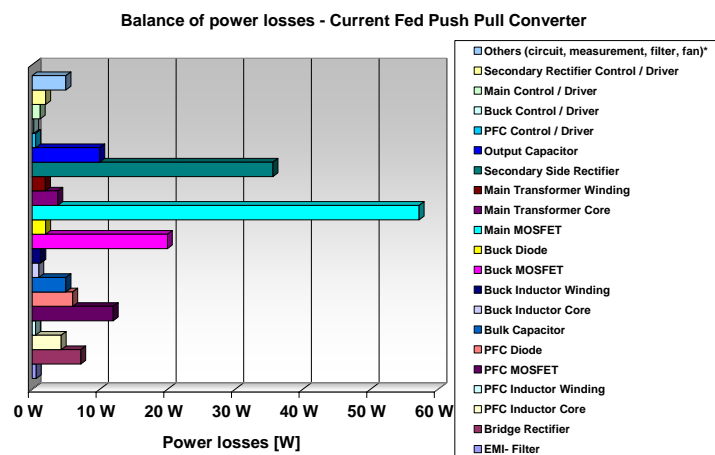


Abb. 5.11 Verlustleistungsbilanz des dreistufigen Current Fed Push Pull-Konverters  
@  $V_{IN\_RMS}=230\text{ V}$ ;  $P_{OUT}=817\text{ W}$ ;  $\eta=82,15\%$

### Wirtschaftliche Betrachtung

Die Kostenaufteilung auf die Hauptkomponenten des Schaltnetzteils wurde im Anhang offenlegt (Abb. A. 64).

Bei den Untersuchungen fielen die folgenden Bauteile als besonders kostenintensiv auf: Haupttransformator, Zwischenkreiskondensator, Ansteuertransformatoren, Lüfter und die Hilfsstromversorgung.

Der Zwischenkreiskondensator kann in Bezug auf seine Größe reduziert werden, wenn der Tastverhältnissbereich des leistungsstellenden Tiefsetzstellers ausgeweitet wird. Die Ansteuertransformatoren lassen sich nur schwierig durch andere Lösungen ersetzen, da in dem CFPP-Konverter eine Vielzahl verschiedener Potentiale vorhanden ist, auf die eine Ansteuerung der MOSFETs erfolgen muss.



### Schlussfolgerungen

Die Untersuchungen des Current Fed Push Pull-Konverters haben gezeigt, dass dieser Wandler sehr starke Halbleiterbelastungen auf der Primärseite aufweist. Der Einsatz von MOSFETs mit 1000 V Durchbruchsspannung war für diese Topologie nicht ausreichend, da Spannungsspitzen von über 1200 V gemessen wurden. Diese hohen Werte haben die MOSFETs in den Avalanchedurchbruch getrieben. Die sekundärseitigen Gleichrichter-MOSFETs werden zwar ebenfalls mit Schwingungen belastet, die Amplitude der Spannung betrug bei Volllastbetrieb aber nur  $V_{DS}=38$  V. Für die Sekundärseite ist also der Einsatz von MOSFETs mit 50 V bzw. 60 V Durchbruchsspannung denkbar. In diesen Spannungsklassen sind sehr niederohmige Bauelemente vorhanden, so dass die Durchlassverluste im Gleichrichter gering gehalten werden können.

Wie bereits in den Vorbetrachtungen (Kapitel 3.6.2) dargestellt wurde, ist ein stromgespeister Wandler nicht für die Erzeugung hoher Ströme in Kombination mit niedrigen Spannungen geeignet. Der Hauptgrund dafür ist die negative Wirkung der Streuinduktivität auf die Belastung der aktiven Bauelemente. Die Streuinduktivität setzt sich aus der Streuinduktivität des Transformators und den layoutbedingten parasitären Induktivitäten zusammen.

Der Wirkungsgrad des Current Fed Push Pull-Wandlers ist mit 82,15 % im Vergleich zur zweistufigen Lösung sehr niedrig.

In der nachfolgenden Analyse des Current Fed Full Bridge-Konverters soll ein Wandler betrachtet werden, der anstelle der Push Pull-Stufe eine Vollbrücke aufweist. Diese Anordnung verteilt die Spannungsbelastung auf jeweils zwei MOSFETs.

### 5.2.4 Current Fed Full Bridge-Konverter

#### Topologie, Parameter und Realisierung

Der Current Fed Full Bridge-Konverter ist der zweite Vertreter der primärseitig geregelten Schaltnetzteile. Diese Topologie ist ebenfalls partiell hart schaltend. Die Schaltung der Anordnung ist in Abb. 5.12 zu sehen.

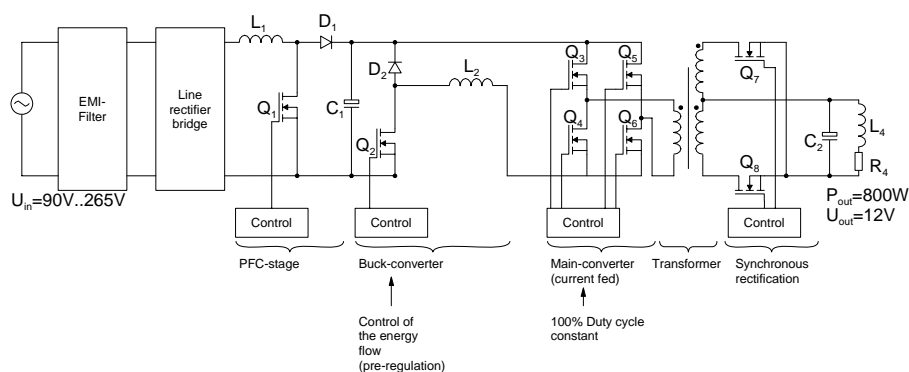


Abb. 5.12 Schaltplan des dreistufigen Current Fed Full Bridge-Konverters (Pre-Regulated Topologie)

Die Schaltungsparameter des CFFB-Konverters entsprechen denen des zuvor beschriebenen Current Fed Push Pull-Konverters. Im Aufbau unterscheiden sich beide Schaltungen nur dadurch, dass der Hauptwandler beim CFFB-Konverter als Vollbrücke anstatt als Push Pull-Konverter ausgelegt ist. Die Topologie des Transformators ist ebenfalls angepasst. Der CFFB-Konverter benötigt einen Dreiwicklungstrafo.

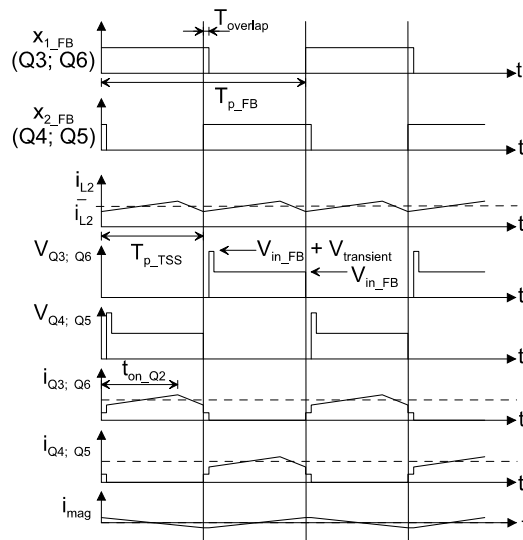


Abb. 5.13 Typische Verläufe am Current Fed Full Bridge-Konverter

Typische, idealisierte Verläufe von Spannungen und Strömen im CFFB-Konverter sind in Abb. 5.13 zu sehen. Die Darstellung zeigt die überlappenden Ansteuersignale ( $x_{1\_FB}$ ;  $x_{2\_FB}$ ) der Vollbrücken-MOSFETs, den in die Hauptstufe fließenden Ausgangsstrom des Tiefsetzstellers ( $i_{L2}$ ) sowie die Strom- und Spannungsbelastung der Hauptstufen-MOSFETs ( $V_{Q3}$ ;  $V_{Q6}$ ;  $V_{Q4}$ ;  $V_{Q5}$ ;  $i_{Q3}$ ;  $i_{Q6}$ ;  $i_{Q4}$ ;  $i_{Q5}$ ). Abschließend wird der dreieckförmige Verlauf des Magnetisierungsstromes ( $i_{mag}$ ) dargestellt.

Ausgehend von diesen Vorbetrachtungen wurde diese Schaltung nach derselben Designphilosophie wie der CFPP-Konverter praktisch realisiert.

Auf die Dimensionierung der Schaltungsteile wird im Rahmen dieser Arbeit nicht eingegangen, da dies bereits ausführlich in den Veröffentlichungen [7.6], [7.7] und [7.4] getan wurde. Am Ende dieses Kapitels werden einige wesentliche schaltungstechnische Probleme aufgegriffen und erörtert.

### Ergebnisse der Betrachtungen

Bei der messtechnischen Analyse des Current Fed Full Bridge-Konverters wurde nach der gleichen Methode wie beim CFPP-Konverter vorgegangen.

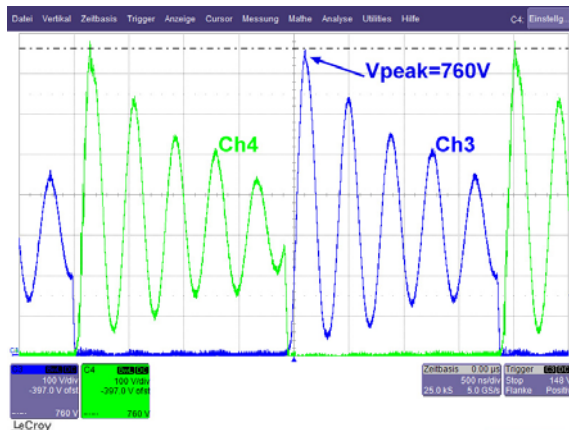
Typische Kurvenverläufe für Vollastbetrieb sind in Abb. 5.14 zu sehen. Das Oszillogramm zeigt die Drain-Source-Spannung an den primärseitigen Vollbrücken-MOSFETs. Die Schwingungen in den Spannungsverläufen ähneln denen im CFPP-Konverter.

Die Spannungsbelastung, die beim Push Pull-Konverter an einem Einzelschalter auftrat, teilt sich bei der Vollbrücke auf zwei Schalter in Reihe auf. Weiterhin erfolgt eine Aufteilung der Verluste auf mehrere Schalter, so dass die Entwärmung des Systems begünstigt ist.

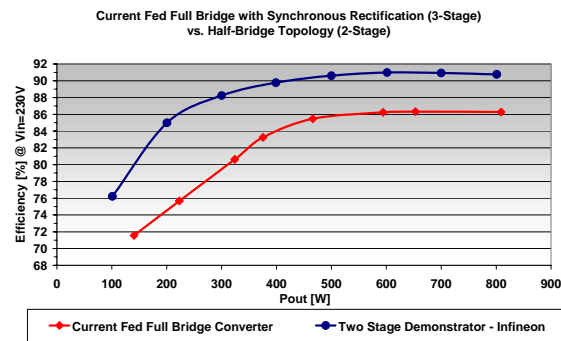
Die primärseitigen Schalterspannungen mit ihren Schwingungen sind ein Abbild der sekundärseitigen Schalterspannungen. Dieses Verhalten deckt sich mit den im vorangegangenen Kapitel 5.2.3 gewonnenen Erkenntnissen.

Aufgrund der Schwingungsübertragung auf die Primärseite ist die Spannungsbelastung der Vollbrücken-MOSFETs ebenfalls sehr hoch. Es wird ein Spitzenwert von über 700 V erreicht. Die Vollbrücken-MOSFETs der 600 V Spannungsklasse werden in den Avalanchedurchbruch getrieben.

Der verwendete Transformator besitzt topologiebedingt drei Wicklungen, die aufgrund eines hohen Verschachtelungsgrades sehr gut miteinander gekoppelt sind.

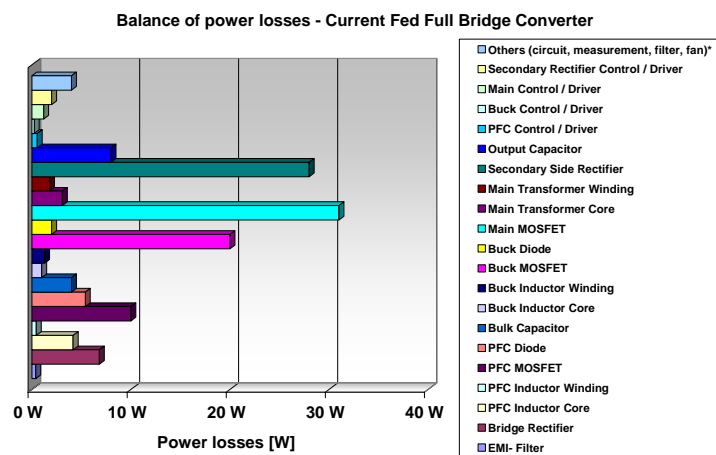


**Abb. 5.14** Ausgewählte Kurvenverläufe des CFFB-Konverters; Ch3 & Ch4 Vollbrücken-MOSFETs @  $V_{OUT}=12\text{ V}$ ;  $P_{OUT}=800\text{ W}$  (Ch3:  $V_{DS\_Q4}$ ; Ch4:  $V_{DS\_Q6}$ )



**Abb. 5.15** Wirkungsgrad-Verläufe des Current Fed Full Bridge-Konverters im Vergleich zum zweistufigen Demonstrator @  $V_{IN\_RMS}=230\text{ V}$

Der Systemwirkungsgrad ist die wohl interessanteste Größe für einen Systemvergleich. Abb. 5.15 zeigt den Wirkungsgrad des CFFB-Konverters im Vergleich zum zweistufigen Demonstrator. Der maximale Wirkungsgrad des CFFB-Konverters liegt bei 230 V Eingangsspannung und 800 W Ausgangsleistung bei 86,3 %. Das ist im Vergleich zum zweistufigen Demonstrator ein um 4,5 % geringerer Wirkungsgrad. Eine Verlustleistungsbilanz soll über die Hauptverlustquellen Aufschluss geben (Abb. 5.16, Abb. A. 65).



**Abb. 5.16** Verlustleistungsbilanz des dreistufigen Current Fed Full Bridge-Konverters @  $V_{IN\_RMS}=230\text{ V}$ ;  $P_{OUT}=810\text{ W}$ ;  $\eta=85,68\%$

Die drei Hauptverlustquellen sind die MOSFETs des Tiefsetzstellers, der Vollbrücke und des sekundären Gleichrichters. Diese Verteilung entspricht der Verteilung beim CFPP-Konverter. Die Verluste im Tiefsetzsteller-MOSFET werden maßgeblich durch die Schaltverluste bei der Schaltfrequenz 500 kHz bestimmt. Ebenfalls wirkt sich die Schaltfrequenz auf die Schaltverluste in den Vollbrücken-MOSFETs aus. Die Vollbrücken-MOSFETs werden weiterhin durch die Schwingungen in der Drain-Source-Spannung und natürlich durch die Avalancheverluste belastet. Die Verluste in den sekundärseitigen Gleichrichtern setzen sich aus den gleichen bereits im Kapitel 5.2.3 genannten Anteilen zusammen.

Die durchgeführten Temperaturmessungen an ausgewählten Bauelementen decken sich mit den Ergebnissen der Verlustleistungsbilanz und bestätigen diese. Im Vergleich zum Current Fed Push Pull-Konverter entstehen in den MOSFETs der Hauptstufe vom Current Fed Full

Bridge-Konverter weniger Verluste. Das ist mit der besseren Verlustverteilung auf mehrere Schalter zu erklären, was sich positiv auf die Bauteiletemperatur und über den  $R_{DSon}$  auf die Durchlassverluste auswirkt. Weiterhin ist zu bemerken, dass die MOSFETs mit 1000 V Durchbruchsspannung im Push Pull-Konverter und die MOSFETs mit 600 V Durchbruchsspannung in der Vollbrücke auf Basis verschiedenen Technologien hergestellt werden. Die neuere Technologie des CoolMOS mit 600 V Durchbruchsspannung führt zu geringeren Schalterkapazitäten als die Technologie des CoolMOS mit 1000 V Durchbruchsspannung. Geringe Schalterkapazitäten bewirken geringere Schaltverluste.

Der Transformator in dem CFFB-Konverter ist mit drei Wicklungen ausgestattet. Im Vergleich zum Vierwicklungstrafo im CFPP-Konverter entstehen in dieser Anordnung ca. 12 % bis 15 % weniger Verluste.

### *Wirtschaftliche Betrachtungen*

Die Kostenaufteilung auf die Hauptkomponenten des Schaltnetzteils wurde im Anhang offengelegt (Abb. A. 66). Für den CFFB-Konverter gelten dieselben Aussagen wie für den zuvor analysierten CFPP-Konverter.

### *Schlussfolgerungen*

Die Untersuchungen des Current Fed Full Bridge-Konverters haben ähnliche Probleme wie beim Current Fed Push Pull-Konverter erkennen lassen.

Die Halbleiterbelastungen auf der Primärseite des Hauptwandlers sind sehr groß. Der Einsatz von MOSFETs mit 600 V Durchbruchsspannung war für diese Topologie nicht ausreichend, da Spannungsspitzen von über 700 V gemessen wurden. Diese hohen Werte haben die MOSFETs in den Avalanchedurchbruch getrieben. Die sekundärseitigen Gleichrichter-MOSFETs werden zwar ebenfalls mit Schwingungen belastet, die Amplitude der Spannung betrug bei Vollastbetrieb aber nur  $V_{DS}=48$  V. Für die Sekundärseite ist also der Einsatz von MOSFETs mit 60 V Durchbruchsspannung denkbar. In diesen Spannungsklassen sind sehr niederohmige Bauelemente vorhanden, so dass die Durchlassverluste bei der Gleichrichtung gering gehalten werden können.

Der CFFB-Konverter besitzt wie der CFPP-Konverter einen stromgespeisten Hauptwandler und ist somit auch nicht für die Erzeugung hoher Ströme in Kombination mit niedrigen Spannungen geeignet.

Der Wirkungsgrad des Current Fed Full Bridge-Wandlers ist mit 86,3 % im Vergleich zur zweistufigen Lösung sehr niedrig. Im Vergleich zum Current Fed Push Pull-Konverter wurde der Wirkungsgrad um mehr als 4 % gesteigert.

Die Schwingungen in den primärseitigen Schalterspannungen sind von sehr langwelliger Natur. Während der Untersuchungen an den Konvertern kam die Idee, die Schwingungen auf eine Schaltperiode auszuweiten und damit resonantes Nullspannungsschalten (Zero Voltage Resonant Switching (ZVRS)) zu erzielen.

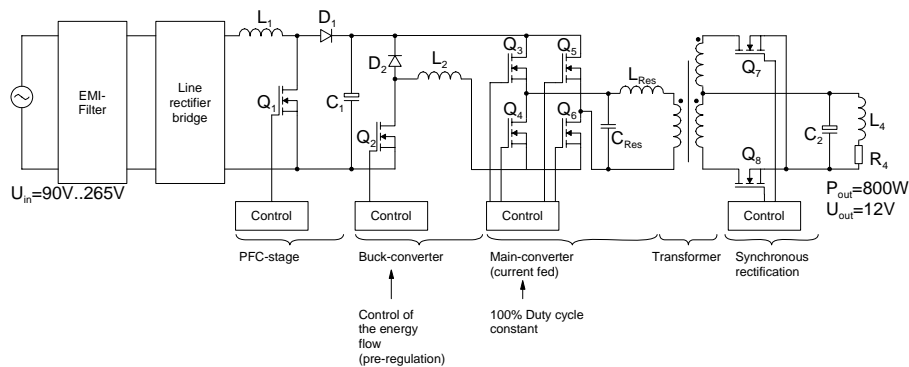
In der nachfolgenden Untersuchung wird ein zum Parallelresonanzkonverter abgewandelter CFFB-Konverter vorgestellt.

## 5.2.5 Parallelresonanzkonverter

## Topologie, Parameter und Realisierung

Der Parallelresonanzkonverter mit serieller Lastauskopplung ist der dritte Vertreter der untersuchten primärseitig geregelten Schaltnetzteile. Diese Topologie ist vom partiell hart schaltenden CFFB-Konverter abgeleitet worden. Die Schaltung der Anordnung ist in Abb. 5.17 zu sehen.

Das Wirkprinzip des PRC lässt sich kurz zusammenfassen: Die im CFPP-Konverter bzw. CFFB-Konverter auftretenden langwelligigen Schwingungen in der Drain-Source-Spannung der primärseitigen MOSFETs werden durch ein Resonanznetzwerk ( $C_{RES}$ ,  $L_{RES}$ ) so beeinflusst, dass man ZVRS erhält.



**Abb. 5.17** Schaltplan des dreistufigen Parallelresonanzkonverters mit serieller Lastauskopplung (Pre-Regulated Topologie)

Die vom Tiefsetzsteller gelieferte Stromspeisung bietet sehr gute Voraussetzungen für einen Parallelresonanzkonverter. Es besteht die Möglichkeit, das Resonanznetzwerk so aufzubauen, dass man eine parallele Lastauskopplung bzw. eine serielle Lastauskopplung erhält. Die detaillierten Eigenschaften wurden im Kapitel 3.6.3 zusammengefasst.

Ein Parallelresonanzkonverter mit paralleler Lastauskopplung bietet zwar ein nahezu lastunabhängiges Resonanzverhalten, benötigt aber neben den Resonanzelementen noch zusätzlich sekundärseitig Drosseln zur Stromeinprägung. Diese Drosseln würden einen hohen Kostenfaktor darstellen und die Bauelementanzahl im System weiter vergrößern.

Der Parallelresonanzkonverter mit serieller Lastauskopplung besitzt zwar ein lastabhängiges Resonanzverhalten, kommt aber ohne sekundärseitige Drosseln aus. Aufgrund der Lastabhängigkeit des Übertragungsverhaltens ist der Konverter mit serieller Lastauskopplung nur für einen Betrieb mit geringer Lastvariation geeignet.

Die Schaltungsparameter des PRC entsprechen denen des zuvor beschriebenen Current Fed Full Bridge-Konverters. Im Ausbau unterscheiden sich beide Schaltungen nur dadurch, dass ein zusätzliches Resonanznetzwerk vorhanden ist.

Typische idealisierte Verläufe von Spannungen und Strömen im PRC sind in Abb. 5.18 zu sehen. Die Darstellung zeigt die überlappenden Ansteuersignale ( $x_{1\_FB}$ ;  $x_{2\_FB}$ ) der Vollbrücken-MOSFETs, den in die Hauptstufe fließenden Ausgangsstrom des Tiefsetzstellers ( $i_{L2}$ ) sowie die Strom- und Spannungsbelastung der Hauptstufen-MOSFETs ( $V_{Q3}$ ;  $V_{Q6}$ ;  $V_{Q4}$ ;  $V_{Q5}$ ;  $i_{Q3}$ ;  $i_{Q6}$ ;  $i_{Q4}$ ;  $i_{Q5}$ ). Abschließend wird der dreieckförmige Verlauf des Magnetisierungsstromes ( $i_{mag}$ ) dargestellt.

Ausgehend von diesen Vorbetrachtungen wurde diese Schaltung nach derselben Designphilosophie wie der CFPP-Konverter praktisch realisiert.

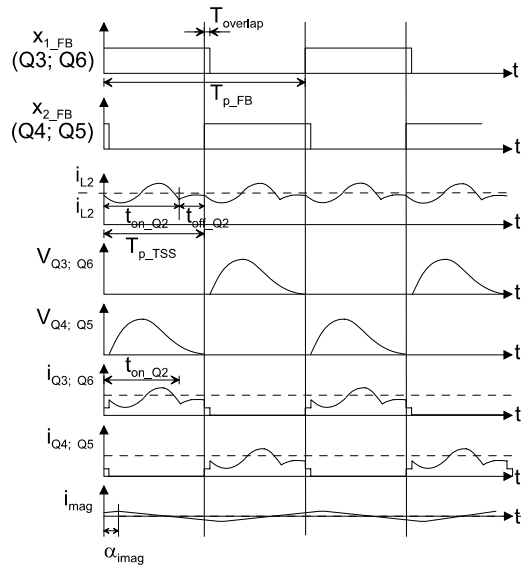


Abb. 5.18 Typische Verläufe am Parallelresonanzkonverter mit serieller Lastauskopplung

Auf die Dimensionierung der Schaltungsteile wird im Rahmen dieser Arbeit nicht eingegangen, da dies bereits ausführlich in den Veröffentlichungen [7.6], [7.7] und [7.4] getan wurde. Am Ende dieses Kapitels werden einige wesentliche schaltungstechnische Probleme aufgegriffen und erörtert.

### Ergebnisse der Betrachtungen

Bei der messtechnischen Analyse des Parallelresonanzkonverters wurde nach der gleichen Methode wie beim CFPP-Konverter vorgegangen.

Typische Kurvenverläufe für Vollastbetrieb sind in Abb. 5.19 zu sehen. Das Oszillogramm zeigt die Drain-Source-Spannung an den primärseitigen Vollbrücken-MOSFETs, die periodisch zu null geht. Weiterhin ist der sinusförmige Transformatorstrom zu sehen, der auf der Sekundärseite abschnittsweise durch die MOSFETs fließt. Ein Ansteuersignal für die sekundärseitigen MOSFETs verdeutlicht die Wirkungsweise der Synchrongleichrichtung.

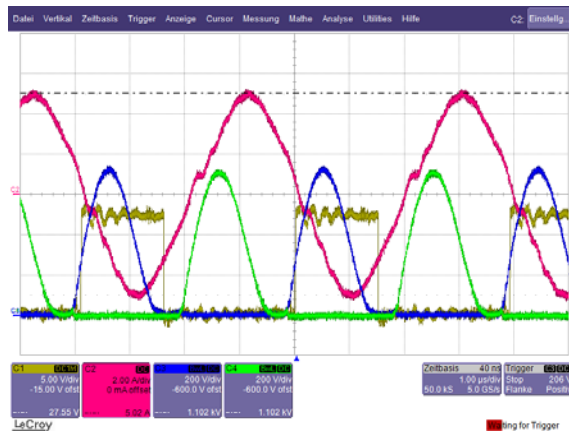
Eine Halbwelle der Schwingung in den primärseitigen Schalterspannungsverläufen wird durch das Resonanznetzwerk auf eine halbe Schaltperiode angepasst, so dass man ein Einschalten der primärseitigen MOSFETs bei Schalterspannung null erreicht. Die Streuinduktivität wird als Resonanzelement mit in das Konzept integriert.

Der Transformator wird von einem sinusförmigen Strom durchflossen, während an ihm eine rechteckförmige Spannung anliegt.

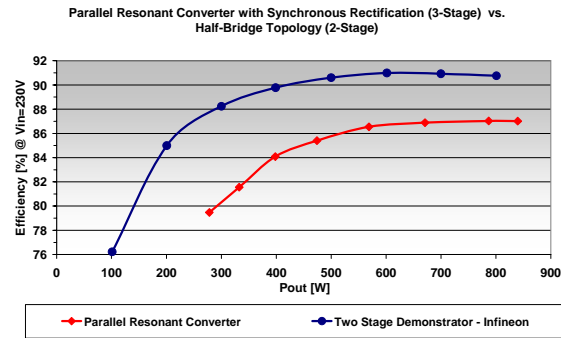
An den sekundärseitigen Gleichrichtern liegt eine rechteckförmige Spannung an, während die Schalter abschnittsweise von einem sinusförmigen Strom durchflossen werden. Die sekundärseitigen Gleichrichter schalten bei Strom null.

Die Spannungsbelastung der Vollbrücken-MOSFETs ist lastabhängig. Im untersuchten Beispiel war bei 884 W Ausgangsleistung ein Spitzenwert der Spannung von 750 V zu verzeichnen.

Der Systemwirkungsgrad ist in Abb. 5.20 zu sehen. Das Diagramm zeigt den Wirkungsgrad des PRC im Vergleich zum zweistufigen Demonstrator. Der maximale Wirkungsgrad der PRC liegt bei 230 V Eingangsspannung und 800 W Ausgangsleistung bei 87 %. Das ist im Vergleich zum zweistufigen Demonstrator ein um 3,8 % geringerer Wirkungsgrad.

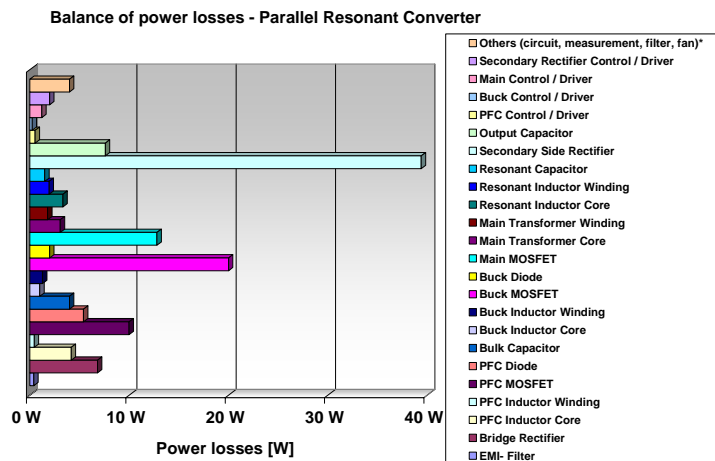


**Abb. 5.19** Ausgewählte Kurvenverläufe des PRC; Ch1 Ansteuerung der Synchrongleichrichter; Ch2 primärseitiger Trafostrom; Ch3 & Ch4 Vollbrücken-MOSFETs @  $V_{OUT}=12,41\text{ V}$ ;  $P_{OUT}=860\text{ W}$  (Ch1:  $Y_1$ ; Ch2:  $I_{Traf0\_Pri}$ ; Ch3:  $V_{DS\_Q3}$ ; Ch4:  $V_{DS\_Q4}$ )



**Abb. 5.20** Wirkungsgrad-Verläufe des Parallelresonanzkonverters im Vergleich zum zweistufigen Demonstrator @  $V_{IN\_RMS}=230\text{ V}$

Ein sehr wichtiger Punkt ist die zuvor angedeutete Lastabhängigkeit der Schaltung. Bei Abnahme der Last wird die ZVRS-Bedingung langsam verlassen. Das bedeutet man schaltet die primärseitigen MOSFETs nicht mehr bei Drain-Source-Spannung null ein. Die Schaltverluste steigen. Sobald der primärseitige Tiefsetzsteller in den Lückbetrieb (DCM) übergeht, ist die konstante Anregung des Parallelschwingkreises nicht mehr gewährleistet und die Resonanz wird verlassen. Der Wirkungsgrad des Gesamtsystems sinkt stark ab. Deshalb wurde die Effizienz nur bis zu einer Ausgangsleistung von  $P_{OUT}=300\text{ W}$  gemessen (Abb. 5.20). Eine Verlustleistungsbilanz soll über die Hauptverlustquellen Aufschluss geben (Abb. 5.21, Abb. A. 67).



**Abb. 5.21** Verlustleistungsbilanz des dreistufigen Parallelresonanzkonverters @  $V_{IN\_RMS}=230\text{ V}$ ;  $P_{OUT}=804\text{ W}$ ;  $\eta=85,63\%$

Die drei Hauptverlustquellen sind die MOSFETs des Tiefsetzstellers, der Vollbrücke und des sekundären Gleichrichters. Die Verluste sind aufgrund der Resonanzanordnung etwas anders als im CFFB-Konverter verteilt.

Die Verluste im Tiefsetzsteller-MOSFET werden maßgeblich durch die Schaltverluste bei der 500 kHz Schaltfrequenz bestimmt. Die Verluste in den MOSFETs der Hauptstufe reduzieren sich im Vergleich zum CFFB-Konverter, da aufgrund des resonanten Schaltens kaum noch

Schaltverluste entstehen. Der Stromfluss durch die primärseitigen Schalter ist rechteckförmig, durch den Schwingkreis und die serielle Lastauskopplung wird ein sinusförmiger Stromfluss über den Transformator erzeugt. Dieser abschnittsweise sinusförmige Strom fließt durch die sekundärseitigen Gleichrichter-MOSFETs. Die Stromform führt zwar einerseits dazu, dass die Schaltverluste in den MOSFETs auf ein Minimum reduziert werden, aber andererseits zu 23 % höheren Durchlassverlusten (Verlustvergleich im Kapitel 3.6.3).

In die Gesamtverlustbetrachtungen müssen die Resonanzelemente ( $L_{RES}$ ,  $C_{RES}$ ) mit aufgenommen werden. Ein Teil, der an den Halbleitern reduzierten Verluste, wird in den Resonanzelementen umgesetzt.

Die durchgeführten Temperaturmessungen an ausgewählten Bauelementen decken sich mit den Ergebnissen der Verlustleistungsbilanz.

### *Wirtschaftliche Betrachtungen*

Die Kostenaufteilung auf die Hauptkomponenten des Schaltnetzteils wurde im Anhang offengelegt (Abb. A. 68). Für den PRC gelten dieselben Aussagen wie für den zuvor analysierten CFPP-Konverter.

### *Schlussfolgerungen*

Die Untersuchungen des Parallelresonanzkonverters mit serieller Lastauskopplung haben gezeigt, dass die Schwingungen, die in den Spannungsverläufen der hart schaltenden Anordnungen (CFPP-Konverter, CFFB-Konverter) auftreten, durch ein Resonanznetzwerk bewusst verändert werden können, um resonantes Schalten zu erreichen.

Die Spannungsbelastungen der primärseitigen MOSFETs im Hauptwandlers sind noch sehr groß. Der Einsatz von 600 V MOSFETs war für diese Topologie nicht ausreichend, da Spannungsspitzen von ca. 750 V gemessen wurden.

Die sekundärseitigen Gleichrichter-MOSFETs werden mit einer nahezu rechteckförmigen Spannung belastet. Aufgrund der nicht idealen sekundärseitigen Spannungseinprägung lässt sich eine Amplitude der Spannung bei Volllastbetrieb von ca.  $V_{DS}=37$  V messen. Für die Sekundärseite ist also der Einsatz von MOSFETs mit 50 V bzw. 60 V Durchbruchsspannung denkbar. In diesen Spannungsklassen sind sehr niederohmige Bauelemente vorhanden, so dass die Durchlassverluste im Gleichrichter gering gehalten werden können.

Ein Vergleich der Wirkungsgrade zwischen dem partiell hart schaltenden CFFB-Wandler und dem resonant schaltenden PRC zeigt bei Volllast einen minimalen Wirkungsgrad-Vorteil von 0,7 % für den PRC. Die Ursache liegt in mehreren gegenläufigen Effekten. Die Schaltverluste werden durch das resonante Schalten verringert. Hingegen entstehen im Resonanznetzwerk wieder Verluste, die in der hart schaltenden Anordnung nicht anfallen. Die sinusförmige Stromform bewirkt höhere Durchlassverluste in den sekundärseitigen Schaltern.

Durch die Lastabhängigkeit der Resonanz in einem PRC mit serieller Lastauskopplung und die unregelmäßige Anregung der Resonanz beim Lückbetrieb des Tiefsetzstellers ist der Betrieb des Wandlers nur im Bereich von 300 W bis 800 W (Volllast) möglich.

Ein Betrieb unter 300 W Ausgangsleistung bzw. im Leerlauf ist mit diesem Wandler nicht praktikabel.

Weiterführende Informationen zu diesem Konverter bietet [4.3].

In den folgenden Abschnitten werden ausgewählte Probleme der primärseitig geregelten dreistufigen Topologien vorgestellt.



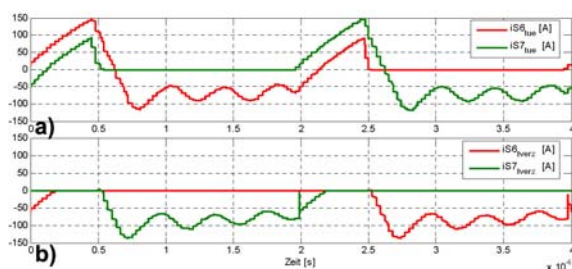
### 5.2.6 Betrachtungen zur Synchrongleichrichtung in stromgespeisten Systemen

Der sekundärseitige Gleichrichter ist der Teil eines Schaltnetzteils für die Niederspannungserzeugung, in dem große Verluste entstehen. Die Vorteile eines Synchrongleichrichters gegenüber einem Diodengleichrichter wurden im Kapitel 3.7 ausführlich dargestellt.

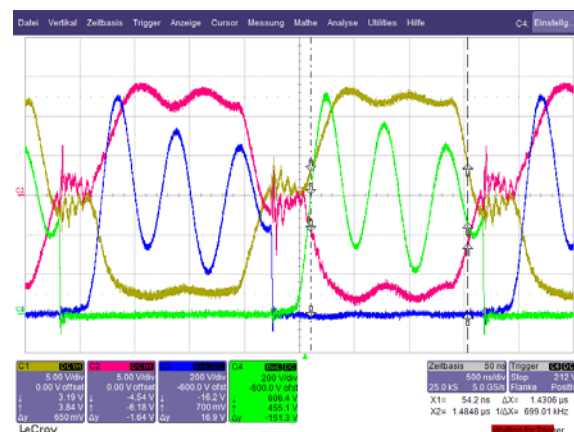
Die Ansteuerung der Gleichrichter-MOSFETs für die untersuchten Topologien kann auf zwei Arten erfolgen:

- selbstgetriebene Ansteuerung
- Ableitung der Ansteuersignale aus den Ansteuersignalen der primärseitigen Schalter

Die selbstgetriebene Ansteuerung stellt die einfachste Art der Ansteuerung dar. Dabei werden die Gate-Spannungen entweder direkt aus der sekundärseitigen Trafospannung oder über Hilfswicklungen gewonnen. Probleme treten immer dann auf, wenn die Trafospannung während einer Schaltperiode zu null geht. Bei allen vorgestellten Pre-Regulated Topologien, die eine Hauptstufe mit primärseitiger Stromeinprägung besitzen, tritt dieser Zustand periodisch auf. Während der Zweigüberlappungszeit der primären Schalter liegt keine Spannung am Transformator an. Weiterhin kann es zu diesem Fall kommen, wenn der primäre Tiefsetzsteller in den Lückbetrieb (DCM) geht und kein Strom mehr an den Hauptwandler geliefert wird.



**Abb. 5.22** Stromfluss durch die Synchrongleichrichter-MOSFETs;  
**a)** bei gleichzeitigem Aufsteuern beider Phasen während der Nullpause der Trafospannung  
**b)** bei Unterdrückung der Ansteuersignale für beide Phasen während der Nullpause der Trafospannung



**Abb. 5.23** Ausgewählte Kurvenverläufe des CFPP-Konverter; Ch1 & Ch2 Gate-Spannung der Synchrongleichrichter;  
 Ch3 & Ch4 Drain-Source-Spannung der Push Pull-MOSFETs @  
 $V_{OUT}=12,3\text{ V}$ ;  $P_{OUT}=394\text{ W}$   
 (Ch1:  $V_{GS\_Q5}$ ; Ch2:  $V_{GS\_Q6}$ ;  
 Ch3:  $V_{DS\_Q3}$ ; Ch4:  $V_{DS\_Q4}$ )

Wenn keine Spannung am Transformator anliegt, besitzen die Synchrongleichrichter keinen definierten Betriebszustand und es kann zum gleichzeitigen Aufsteuern beider Gleichrichterphasen kommen. Die Ursache liegt darin, dass über die Spannungseinprägung des Ausgangskondensators ein Ansteuersignal generiert wird, welches die MOSFETs in beiden Phasen ansteuert. Tritt dieser Fall ein, dreht sich der Strom in den Synchrongleichrichtern um und es fließt ein großer Strom aus dem Ausgangskondensator, der nur durch die Induktivitäten auf der Sekundärseite des Wandlers begrenzt wird (Abb. 5.22 a)). Dieser beträchtliche Stromfluss führt zu einem sehr großen Verlustumsatz in den Gleichrichtern und zu deren Zerstörung. Zur Lösung dieses Problems ist die gezielte Ansteuerung der Synchrongleichrichter-MOSFETs

nötig. Das bedeutet, die Ansteuersignale für die Synchrongleichrichter werden aus den Signalen vom Hauptwandler abgeleitet und während der Zweigüberlappung der primären Schalter ausgeblendet (Abb. 5.22 b)). Die Gleichrichter werden mit einer Zweigverriegelungszeit angesteuert (Abb. 5.23). Bei der praktischen Umsetzung der Demonstratoren wurde eine feste Zweigverriegelungszeit vorgesehen.

Die real auftretende Zweigüberlappung an den primärseitigen MOSFETs ist aufgrund der MOSFET-Kapazitäten ( $C_{OSS}$ ) lastabhängig. Zur Verbesserung des Systems könnte eine digitale Ansteuerung mit angepasster Zweigverriegelung für die Gleichrichter eingeführt werden.

Um ein Problem mit dem Gleichrichter im Lückbetrieb des Tiefsetzstellers zu vermeiden, wird die Gleichrichtung für Ausgangsleistungen unter  $P_{OUT}=300$  W abgeschaltet.

Während keine Steuersignale an die Gleichrichter-MOSFETs geliefert werden erfolgt der Stromfluss über die Body-Dioden der MOSFETs.

Die Abschaltung der Ansteuersignale für die Synchrongleichrichter unter 300 W Ausgangsleistung führt weiterhin zur Einsparung der Ansteuerverluste im unteren Leistungsbereich, was sich positiv im Systemwirkungsgrad widerspiegelt.

### 5.2.7 Einfluss der Wandlerauslegung auf die Überspannungen im System

Der Tiefsetzsteller ist die zusätzliche Stufe in einem dreistufigen SMPS. Er ist für die Regelung der DC-Ausgangsspannung verantwortlich.

Die Untersuchungsergebnisse der drei primärseitig geregelten Schaltnetzteile zeigen eine sehr hohe Spannungsbelastung an den primärseitigen Schaltern. In diesem Abschnitt soll der Einfluss des Tiefsetzsteller-Tastverhältnisses und des Transformator-Übersetzungsverhältnisses auf die Überspannungen erörtert werden.

Für die Betrachtungen wurde der Current Fed Push Pull-Konverter herangezogen. Mit Hilfe von Simulationen wurden verschiedene Konfigurationen untersucht. Das Tastverhältnis des Tiefsetzstellers wurde im Bereich von 28 % bis 97,56 % variiert. Die Übersetzung des Haupttransformators wurde so angepasst, dass die Schaltnetzteile immer 12 V DC-Ausgangsspannung lieferten. Die Simulationsschaltpläne und ausgewählte Kurvenformen sind im Anhang zusammengestellt (Abb. A. 69 bis Abb. A. 72).

$V_Z$ [V]	$V_{OUT\_Buck}$ [V]	$V_{t\_Buck}$ [%]	$w=I_{H1}/I_{H2}$	$V_{OUT\_SMPs}$ [V]	$P_{OUT\_SMPs}$ [W]	$V_{DS\_Push\_Pull\_Peak}$ [V]	$V_{DS\_Sync\_Rec\_Peak}$ [V]
410	400	97,56	28,5	12	800	1310	37
410	328	80,00	24	12	800	1100	39
410	115	28,00	8	12	800	830	105

**Tab. 5.1 Einfluss des Tiefsetzsteller-Tastverhältnisses und des Trafo-Übersetzungsverhältnisses auf die Halbleiterbelastung im Hauptwandler; Zusammenfassung der Simulationsergebnisse für einen CFPP-Konverter**

Die wesentlichen Ergebnisse sind in Tab. 5.1 zusammengefasst. Durch die Verkleinerung des Trafo-Übersetzungsverhältnisses muss die Ausgangsspannung des Tiefsetzstellers herabgesetzt werden. Damit steigt gleichzeitig die Strombelastung der primärseitigen Schaltelemente im Tiefsetzsteller und im Hauptwandler an.

Die Verkleinerung des Übersetzungsverhältnisses reduziert die primärseitigen Überspannungen an den Push Pull-MOSFETs ( $V_{DS\_Push\_Pull\_Peak}$ ), erhöht aber gleichzeitig die Überspannungen an den sekundärseitigen Gleichrichter-MOSFETs ( $V_{DS\_Sync\_Rec\_Peak}$ ).

Die Reduktion des Trafo-Übersetzungsverhältnisses reduziert die Wirkung der layoutbedingten sekundärseitigen parasitären Induktivitäten auf die Primärseite. Dadurch wird die primärseitige Überspannung geringer. Bedingt durch die Verkleinerung des Übersetzungsverhältnisses existiert ein erhöhter Strom auf der Primärseite des Hauptwandlers, der die in den Streu-

Induktivitäten gespeicherte Energie erhöht und Überspannungen begünstigt. Im Ergebnis kann man sagen, dass die in der Induktivität gespeicherte Energie und die Wirkung auf die primärseitigen MOSFETs bei Variation des Übersetzungsverhältnisses nahezu konstant bleiben.

Aufgrund der Änderung des Trafo-Übersetzungsverhältnisses und der Anpassung des Tastverhältnisses des Tiefsetzstellers kann eine Optimierung zwischen primärseitigen und sekundärseitigen Schalterüberspannungen erfolgen. Werden die primärseitigen Überspannungen reduziert, erhöhen sich die sekundärseitigen Überspannungen.

Die Verkleinerung des Trafo-Übersetzungsverhältnisses und die Anpassung des Tiefsetzsteller-Tastverhältnisses sind keine prinzipiellen Lösungen für das Überspannungsproblem im CFPP- bzw. CFFB-Konverter.

### 5.2.8 Parasitäre Elemente in Pre-Regulated Schaltnetzteilen

Unter parasitären Elementen versteht man in der Regel Induktivitäten bzw. Kapazitäten, die nicht als konzentriertes Bauelement vorhanden sind. Parasitäre Elemente treten als Nebeneffekt beim Aufbau und der Anordnung von Bauelementen auf. Die Wirkung der parasitären Elemente ist in der Regel nicht gewünscht, sie kann aber auch mit in das Funktionsprinzip integriert werden. Im Kapitel 3.6.2 wurde schon einmal grundlegend auf die Wirkung der parasitären Elemente eingegangen.

Bei den untersuchten Pre-Regulated Schaltnetzteilen ist die Streuinduktivität dasjenige parasitäre Element mit großem Einfluss. Sie ist der limitierende Faktor für die Leistungsübertragung.

Die Streuinduktivität setzt sich aus der Streuinduktivität des Transformators und den layoutbedingten parasitären Induktivitäten zusammen.

Die Trafostreuung wird wiederum aus zwei Anteilen gebildet: Die interne Streuung durch die Anordnung der Primär- und Sekundärwicklungen, die externe Streuung durch die Anschlüsse des Trafos zwischen Wicklung und Leiterplatte. Die interne Trafostreuung liefert nur einen geringen Anteil zu der primärseitig gemessenen Gesamttrafostreuung von 11,5  $\mu\text{H}$ .

Die layoutbedingten parasitären Induktivitäten werden im Allgemeinen auf der Niederspannungsseite der Schaltung gebildet. Die Hauptbeiträge entstehen durch die Leiterzüge zwischen den sekundärseitigen Trafowicklungen und dem spannungseinprägenden Ausgangskondensator. Es wurde eine sekundäre Gesamtinduktivität von 15 nH abgeschätzt. Dieser Wert wird mit dem Trafo-Übersetzungsverhältnis auf die Primärseite transferiert und führt dort zu einer wirksamen Layoutinduktivität von 8,6  $\mu\text{H}$ . Die gesamte Streuinduktivität auf der Primärseite beträgt also ca. 20  $\mu\text{H}$ .

Während des Einschaltvorgangs wirkt die Streuung für die Hauptstufen-MOSFETs entlastend. Während des Ausschaltens hingegen, führt die in der Streuinduktivität gespeicherte Energie zu Überspannungen an den primärseitigen und sekundärseitigen MOSFETs der Hauptstufe.

Die Streuung ist das Hauptproblem bei den dreistufigen Schaltnetzteilen mit primärseitiger Stromeinprägung, die für die Erzeugung der relativ niedrigen DC-Ausgangsspannung von 12 V ausgelegt sind. Aufgrund der nicht idealen Anbindung des spannungseinprägenden Ausgangskondensators an die Sekundärseite des Trafos, entsteht eine parasitäre Induktivität, die mit der Trafoübersetzung auf die Primärseite transferiert wird.

Eine Möglichkeit, die wirksame Trafostreuung zu minimieren und die Spannungsbelastung der Halbleiter zu reduzieren, ist die Verwendung eines Planar-Transformators, der direkt in

die Leiterplatte integriert ist. Die sekundärseitigen Gleichrichter und der Ausgangskondensator könnten sehr niederinduktiv angekoppelt werden.

Im Rahmen dieser Arbeit wurde die Lösung mit dem Planar-Transformator nicht umgesetzt. Dieser Ansatz würde zwar eine Verbesserung gegenüber der bestehenden Lösung bringen, prinzipielle Probleme der stromgespeisten dreistufigen Konzepte könnten damit aber nicht gelöst werden.

### 5.2.9 Transformatoren in Pre-Regulated Schaltnetzteilen

Der Transformator ist das passive Hauptbauelement in einem Schaltnetzteil. Er besitzt die Aufgabe der galvanischen Trennung und der groben Anpassung der Spannungsebenen zwischen Primär- und Sekundärseite.

Es gibt grundsätzlich vier verschiedene Ausführungsformen für einen Leistungstransformator in Schaltnetzteilen. Den Zweiwicklungstrafo, den Dreiwicklungstrafo mit primärseitiger oder sekundärseitiger Mittelpunktwicklung und den Vierwicklungstrafo (Abb. 5.24 bis Abb. 5.27).

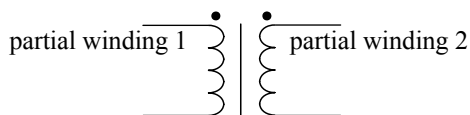


Abb. 5.24 Schaltbild eines Zweiwicklungstrafo

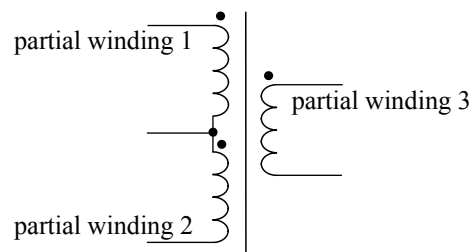


Abb. 5.25 Schaltbild eines Dreiwicklungstrafo mit primärseitiger Mittelpunktwicklung

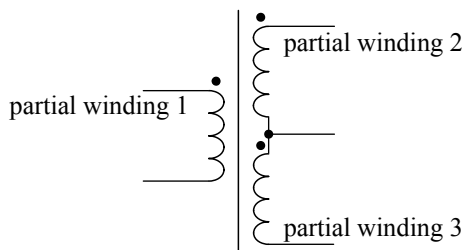


Abb. 5.26 Schaltbild eines Dreiwicklungstrafo mit sekundärseitiger Mittelpunktwicklung

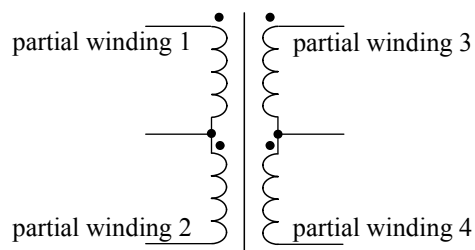


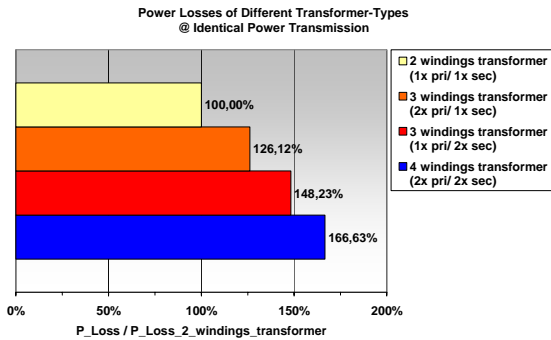
Abb. 5.27 Schaltbild eines Vierwicklungstrafo mit primärseitiger und sekundärseitiger Mittelpunktwicklung

In Abhängigkeit von der Ausführung entstehen im Trafo bei identischer Leistungsübertragung verschiedene Verluste. Am Beispiel der Pre-Regulated Schaltnetzteile wurden mit Hilfe einer Software die verschiedenen Transformatortypen berechnet und gegenübergestellt [8.1]. Die Schaltungstopologie wurde dabei nicht berücksichtigt.

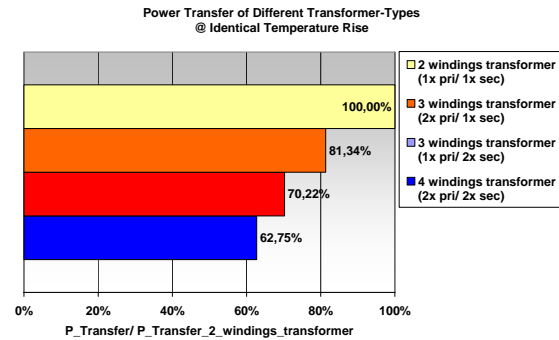
Die Abb. 5.28 zeigt die Verluste für die verschiedenen Trafos, wenn die Topologie auf 800 W Ausgangsleistung und 12 V DC-Ausgangsspannung ausgelegt ist. Beachtlich ist, dass in einem Vierwicklungstrafo 66 % mehr Verluste als eine Zweiwicklungstrafo entstehen.

Der prozentuale Vergleich relativiert sich durch die Kenntnis der absoluten Verlustwerte. Der Zweiwicklungstrafo erzeugt 1,9 W Kernverluste und 1,3 W Wicklungsverluste.

Die Ursache für die größeren Verluste in Dreiwicklungs- und Vierwicklungstransformatoren sind Wicklungsverluste in den stromlosen Windungen, die durch das Feld der gerade stromdurchflossenen Windungen verursacht werden.



**Abb. 5.28** Gesamtverlustleistung verschiedener Trafotypen mit 2-, 3- und 4-Wicklungen bei identischer Leistungsübertragung @  
 $P_{OUT}=800\text{ W}$ ;  $V_{OUT}=12\text{ V}$ ;  
 $f_{SW}=250\text{ kHz}$ ; Kern: ETD 39;  
 Kernmaterial: N87



**Abb. 5.29** Übertragbare Leistung verschiedener Trafotypen mit 2-, 3- und 4-Wicklungen bei identischer Übertemperatur @  
 $T_{WI\_Ü}=62\text{ K}$ ;  $T_{FE\_Ü}=52\text{ K}$ ;  
 $V_{OUT}=12\text{ V}$ ;  $f_{SW}=250\text{ kHz}$ ; Kern:  
 ETD 39;  
 Kernmaterial: N87

Die Verluste der verschiedenen Transformatoranordnungen müssen mit den Verlusten der jeweiligen Schaltertopologie verglichen werden. Man kann sagen, dass die Verluste im Transformator immer geringer sind als die Verluste in den Halbleitern der Topologie, die den Trafo umgibt. Aus diesem Grund ist es nicht sinnvoll, die Topologie nach geringsten Transformatorverlusten auszuwählen.

Ein interessanter Aspekt ergibt sich, wenn man die vier Transformatorarten unter der Maßgabe einer identischen Wicklungs- und Kerntemperatur gegenüberstellt (Abb. 5.29). Wenn man mit einem Zweiwicklungstrafo 800 W Leistung übertragen kann sind mit einem Vierwicklungstrafo bei gleichen Übertemperaturen nur noch 500 W möglich.

In den untersuchten Topologien kamen beim Current Fed Push Pull-Konverter ein Vierwicklungstrafo zum Einsatz, beim Current Fed Full Bridge-Konverter und beim Parallelresonanzkonverter ein Dreiwicklungstrafo. Im Vierwicklungstrafo entstehen ca. 12 % mehr Verluste als im Dreiwicklungstrafo. Dieser Verlustunterschied spiegelt sich im Wirkungsgrad der Systeme wider.

### 5.2.10 Ergebnisse der Untersuchungen an Pre-Regulated Schaltnetzteilen

Im Kapitel 5.2 wurden verschiedene primärseitig geregelte Schaltnetzteile vorgestellt. Zwei partiell hart schaltende Topologien: der Current Fed Push Pull-Konverter und der Current Fed Full Bridge-Konverter. Weiterhin wurde eine resonant schaltende Topologie, der Parallelresonanzkonverter mit serieller Lastauskopplung vorgestellt. In Abb. 5.30 sind die drei Demonstratoren abgebildet, die nach einer einheitlichen Designphilosophie entwickelt wurden.

	Zweistufiger Demonstrator	Pre-Regulated Konverter
$V_{IN\ RMS}$	90 - 265 V	90 - 265 V
$V_{OUT}$	12 V	12 V
$P_{OUT}$	800 W	800 W
$f_{PFC}$	130 kHz	250 kHz
$f_{Mainstage}$	100 kHz	250 kHz
$f_{Buck}$		500 kHz

**Tab. 5.2** Parameter des zweistufigen Demonstrators und der Pre-Regulated Schaltnetzteile



Abb. 5.30 Ansicht der drei Pre-Regulated Schaltnetzteile (v.l.n.r.: CFPP-Konverter, CFFB-Konverter, PRC)

Alle diese Topologien besitzen auf der Primärseite einer Tiefsetzsteller zur Leistungsstellung und eine Hauptstufe, die mit 100 % Konvertertastverhältnis arbeitet.

Neben dem prinzipiellen Vergleich zweistufiger und dreistufiger Schaltnetzteiltopologien wurden ebenfalls Schaltfrequenzgrenzen und Einflüsse auf das Bauvolumen der Netzteile untersucht. Die Parameter der verglichenen Schaltungen sind in Tab. 5.2 zu sehen.

Der Einfluss der Schaltfrequenz auf das PFC-Drosselvolumen und den Wirkungsgrad wurde bereits im Kapitel 3.2.5 vorgestellt.

Bei der vergleichenden Analyse der Verlustleistungsbilanzen aller Wandler wurde festgestellt, dass die Hauptverluste bei den Pre-Regulated Schaltnetzteilen in den MOSFETs des Tiefsetzstellers, der Hauptstufe und im Synchrongleichrichter anfallen. Bei niedriger Eingangsspannung (90 V) gewinnen die Verluste des PFC-MOSFETs ebenfalls an Bedeutung.

Die hervorstechenden Verluste in den MOSFETs deuten klar auf einen hohen Schaltverlustanteil, aufgrund der relativ hohen Schaltfrequenzen, hin. Unterstrichen wird diese Aussage beim Vergleich mit der Verlustleistungsbilanz des zweistufigen Demonstrators, der mit relativ niedrigen Schaltfrequenzen arbeitet (Abb. 4.6).

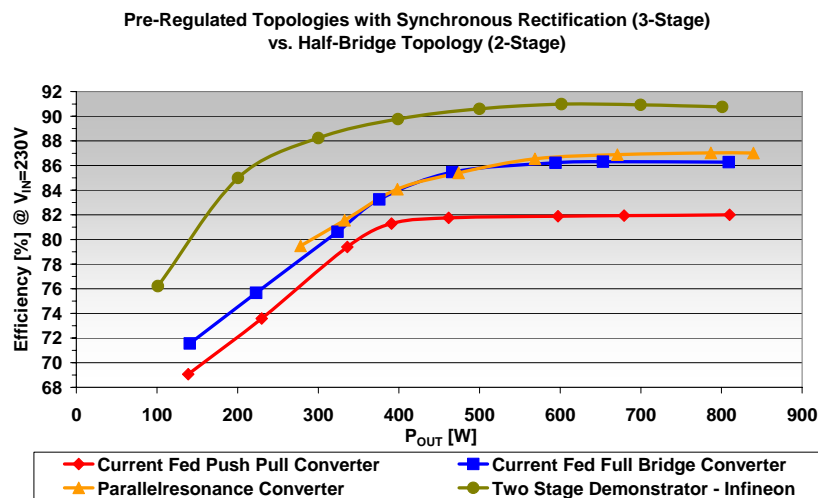
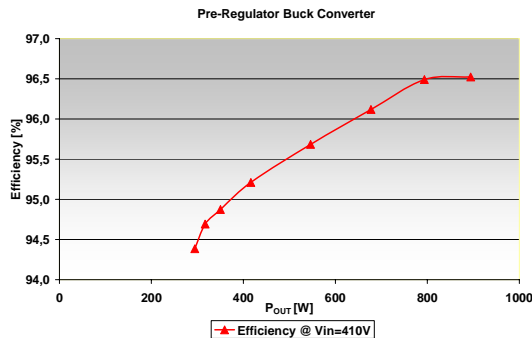
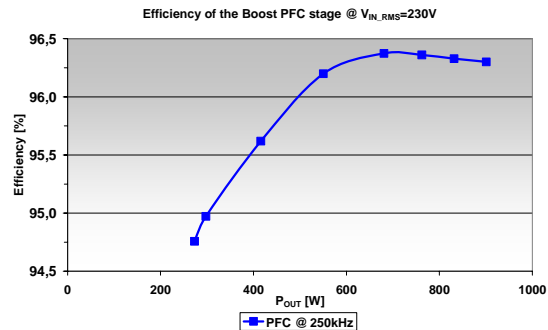


Abb. 5.31 Wirkungsgrad-Verläufe der Pre-Regulated Schaltnetzteile im Vergleich zum zweistufigen Demonstrator @  $V_{IN\_RMS}=230\text{ V}$

Der direkte Vergleich aller untersuchten Topologien wird mittels der Wirkungsgrad-Verläufe in Abb. 5.31 möglich. Keines der vorgestellten Pre-Regulated Schaltnetzteile erreicht den Wirkungsgrad des zweistufigen Demonstrators. Der zweistufige Demonstrator besitzt bei 800 W Ausgangsleistung einen Wirkungsgrad von 90,8 %. Die dreistufigen Lösungen liegen mit 87 % (PRC), 86,3 % (CFFB-Konverter) und 82,15 % (CFPP-Konverter) darunter.



**Abb. 5.32** Wirkungsgrad über der Ausgangsleistung für den leistungsstellenden Tiefsetzsteller mit CoolMOS CP (IPP60R199CP) und SiC-Diode (IDT04S60C) @  $V_{IN}=410$  V;  $V_{OUT}=320$  V,  $f_{SW}=500$  kHz



**Abb. 5.33** Wirkungsgrad über der Ausgangsleistung für die Hochsetzsteller-PFC-Stufe mit CoolMOS CP (IPW60R045CP) und SiC-Diode (IDT06S60C) @  $V_{IN,RMS}=230$  V;  $V_{OUT}=410$  V,  $f_{SW}=250$  kHz;  $R_{Gon}=22$   $\Omega$ ;  $R_{Goff}=4,7$   $\Omega$

Der Gesamtwirkungsgrad ergibt sich aus den Teilwirkungsgraden der einzelnen Stufen. Abb. 5.32 und Abb. 5.33 zeigen die Verläufe für den leistungsstellenden Tiefsetzsteller und die PFC-Stufe. Für den Arbeitspunkt, Eingangsspannung 230 V und Ausgangsleistung 800 W ergeben sich die in Tab. 5.3 dargestellten Effizienzen der einzelnen Stufen.

Schaltung	$\eta$ PFC Stage [%]	$\eta$ Buck Stage [%]	$\eta$ Main Stage [%]	$\eta$ Gesamt [%]
CFPP	96,3	96,5	88,4	82,15
CFFB	96,3	96,5	92,9	86,3
PRC	96,3	96,5	93,7	87

**Tab. 5.3** Stufenwirkungsgrade für die untersuchten Pre-Regulated Schaltnetzteile @  $V_{IN,RMS}=230$  V;  $V_{OUT}=12$  V;  $P_{OUT}=800$  W

Um einen Gesamtwirkungsgrad von über 90 % zu erreichen, müsste entweder die Hauptstufe einen Wirkungsgrad von mindestens 96,8 % vorweisen oder der Wirkungsgrad aller Stufen gesteigert werden.

Die Ursachen für den geringen Wirkungsgrad sind in mehreren Faktoren begründet:

Die dritte Stufe, welche die Leistungsstellung übernimmt, bewirkt gegenüber einer zweistufigen Lösung zusätzliche Verluste.

Die hohen Schaltfrequenzen in der PFC-Stufe, dem Tiefsetzsteller und der Hauptstufe tragen entscheidend zur niedrigen Effizienz bei. Eine Schaltfrequenzhalbierung in der PFC-Stufe würde den Wirkungsgrad bei 230 V Eingangsspannung und 800 W SMPS-Ausgangsleistung um 1 % verbessern. Dieses Verhalten ist auf die anderen Stufen übertragbar.

Die stromgespeisten Systeme eignen sich nur bedingt zur Erzeugung einer niedrigen DC-Ausgangsspannung von 12 V in Verbindung mit einem relativ großen Ausgangsstrom (66 A), da die Streuinduktivität und die Kapazitäten im System hohe Überspannungen an den Halbleitern verursachen.

In den verwendeten Transformatoren mit drei bzw. vier Wicklungen fallen mehr Verluste als in einem Zweiwicklungstrafo, wie er z.B. im zweistufigen Demonstrator zum Einsatz kommt, an.

Der Vergleich zwischen dem partiell hart schaltenden CFFB-Konverter und dem resonant schaltenden PRC hat eine minimale Wirkungsgrad-Verbesserung der resonanten Schaltung gezeigt. Die Verluste in den primärseitigen Hauptstufen-MOSFETs sind durch das resonante Schalten auf die Durchlassverluste reduziert worden. Obwohl die sekundärseitigen Gleichrichter im Nulldurchgang des Stromes schalten, entstehen aufgrund des höheren kurvenformbedingten Stromeffektivwertes deutlich mehr Durchlassverluste, als in der partiell hart schaltenden Topologie. Die Verluste, die in den Resonanzelementen entstehen, dürfen bei den Betrachtungen ebenfalls nicht vernachlässigt werden.

Weiterführende Informationen können den nachfolgend aufgelisteten Veröffentlichung entnommen werden: [7.6], [7.7], [7.8], [7.9] und [7.4].

Ein fortführender Untersuchungsgegenstand könnte ein dreistufiges Pre-Regulated Schaltnetzteil mit spannungsgespeister Hauptstufe sein, da sich diese prinzipiell besser für die Erzeugung niedriger Ausgangsspannungen und hoher Ströme eignen (Kapitel 3.6.2). Um dies praktisch zu realisieren muss man zwischen Tiefsetzsteller und Hauptstufe einen Kondensator schalten. Informationen dazu sind in der Veröffentlichung [7.11] zu finden.

*Die primärseitig geregelten dreistufigen Schaltnetzteile wurden anhand von drei Demonstratoren untersucht: Dem Current Fed Push Pull-Konverter, dem Current Fed Full Bridge-Konverter und dem Parallelresonanzkonverter mit serieller Lastauskopplung.*

*Alle drei Topologien wiesen bei 800 W Ausgangsleistung und 230 V Eingangsspannung einen geringeren Wirkungsgrad als die zweistufige Vergleichslösung auf. Der PRC kam auf 87 %, der CFFB-Konverter auf 86,3 % und der CFPP-Konverter auf 82,15 %.*

*Die Hauptursachen für den geringen Wirkungsgrad sind die relativ hohen Schaltfrequenzen, die nur bedingte Eignung einer stromgespeisten Topologie zur Erzeugung einer niedrigen DC-Ausgangsspannung von 12 V sowie die Transformatoren mit drei bzw. vier Wicklungen. In diesen Transformatoren entstehen gegenüber einem Zweiwicklungstrafo höhere Wicklungsverluste.*

*Aufgrund des hohen Ausgangsstromes von 66 A ist die Verwendung von MOSFETs im Synchronbetrieb unbedingt nötig. Die Ansteuerung gestaltet sich in stromgespeisten Topologien etwas schwierig. Da eine selbstgetriebene Lösung nicht praktikabel ist, müssen die Ansteuersignale von den primärseitigen MOSFET abgeleitet werden und während der Zweigüberlappungszeit sowie im Schwachlastbetrieb (Lückbetrieb des Tiefsetzstellers) abgeschaltet werden.*

*Eine Steigerung der Leistungsdichte mit dreistufigen Topologien kann durch die Reduktion der Zwischenkreiskapazität und angepasstem Tastverhältnisbereich des leistungsstellenden Tiefsetzstellers erreicht werden.*

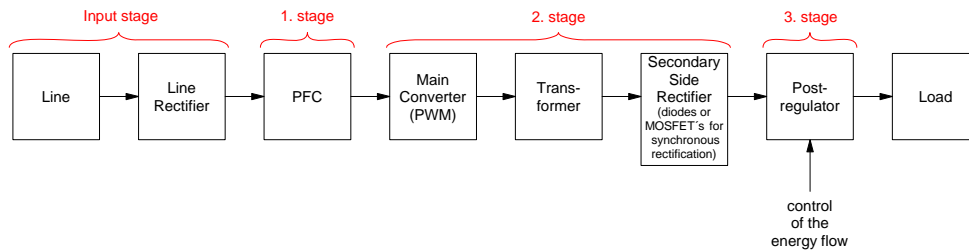


## 5.3 Sekundärseitig geregelte (Post-Regulated) Schaltnetzteile

### 5.3.1 Vorbemerkungen

Dreistufige Schaltnetzteile, die auf der Sekundärseite des Transformators einen Tiefsetzsteller besitzen, werden auch als Post-Regulated SMPS bezeichnet. Das Konzept dieser Lösung ist in Abb. 5.34 zu sehen.

3-stage-concept-II



**Abb. 5.34** Konzept eines sekundärseitig geregelten dreistufigen Schaltnetzteils (Post-Regulated Three-Stage-SMPS)

Die PFC-Stufe liefert eine geregelte DC-Ausgangsspannung. Diese Spannungseinprägung wird vom Hauptkonverter genutzt. Der Hauptwandler wird auf ein festes Übertragungsverhalten optimiert. Das bedeutet, jede Schwankung der Zwischenkreisspannung, z.B. bei einem brown-out der Netzspannung, wird an die Sekundärseite der Hauptstufe weitergegeben. Die Hauptstufe dient also als „DC-Transformator“ und arbeitet mit 100 % Tastverhältnis.

Auf der Sekundärseite schließt sich als leistungsstellende Stufe ein Tiefsetzsteller an, der eingangsseitig eine eingepreßte Spannung benötigt und am Ausgang einen eingepreßten Strom liefert. Der nachgeschaltete Ausgangskondensator glättet die Spannung.

Der Tiefsetzsteller befindet sich auf der Hochstrom-Seite des Konverters, was besondere Anforderungen an die Auslegung und die möglichst verlustfreie Strommessung stellt.

Wie bereits die Voruntersuchungen im Kapitel 3.6.2 ergeben haben, eignet sich eine spannungsgespeiste Hauptstufe sehr gut für die Erzeugung einer niedrigen DC-Ausgangsspannung bei gleichzeitig großem Strom.

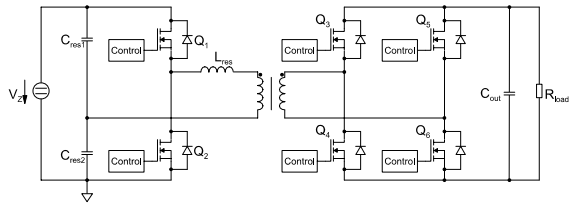
Die Betrachtungen zur Auswahl der geeigneten Topologien für Schaltnetzteile mit 800 W Ausgangsleistung werden im nächsten Abschnitt vorgestellt.

### 5.3.2 Vergleich verschiedener Topologien für Post-Regulated Schaltnetzteile

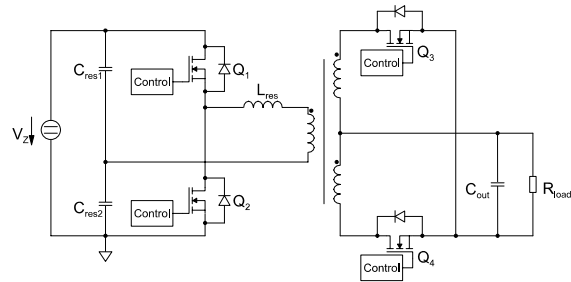
Die sekundärseitig geregelten Schaltnetzteile, die im Rahmen dieser Arbeit umgesetzt wurden, besitzen dieselben Eingangs- und Ausgangsparameter wie das zweistufige Gerät von der Firma Infineon. Die Schaltungen besitzen folgende Parameter:

- Eingangsspannung:  $V_{IN\_RMS}=90 - 265 \text{ V AC}$
- Ausgangsspannung:  $V_{OUT}=12 \text{ V DC}$
- Ausgangsleistung:  $P_{OUT}=800 \text{ W}$

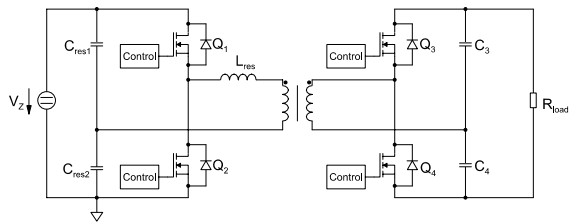
Bei der Auswahl der geeigneten Schaltung für den spannungsgespeisten Hauptwandler wurden verschiedene partiell hart schaltende und resonant schaltende Topologien untersucht und gegenübergestellt.



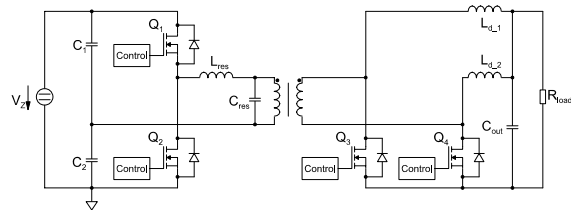
**Abb. 5.35** Schaltplan des Serienresonanzkonverters mit sekundärseitigem, spannungseingepägtem Vollbrückengleichrichter, (Topologie 1 in Tab. 5.4)



**Abb. 5.36** Schaltplan des Serienresonanzkonverters mit sekundärseitigem, spannungseingepägtem AC-Mittelpunkt (Transformatormittelpunkt), (Topologie 2 in Tab. 5.4)



**Abb. 5.37** Schaltplan des Serienresonanzkonverters mit sekundärseitigem, spannungseingepägtem DC-Mittelpunkt (Kondensatormittelpunkt), (Topologie 3 in Tab. 5.4)



**Abb. 5.38** Schaltplan des Serienresonanzkonverters mit sekundärseitigem, stromeingepägtem DC-Mittelpunkt (current doubler), (Topologie 4 in Tab. 5.4)

Aufgrund der Ausgangsleistung von 800 W (850 W des Hauptwandlers) wurde primärseitig eine Halbbrückenordnung ausgewählt. Die Eigenschaften der sinnvoll möglichen sekundärseitigen Topologien wurden herausgearbeitet und zusammengefasst. Die Analyse konzentrierte sich auf Serienresonanzwandler und auf partiell hart schaltende Halbbrückenwandler mit einer minimalen Glättungsdrossel. Die Serienresonanzwandler wurden ausgewählt, da eine primärseitige Spannungseinprägung im System gegeben ist und die Resonanz relativ lastunabhängig ist (Kapitel 3.6.3). Die partiell hart schaltende Halbbrücke benötigt bei einem Betrieb mit 100 % Konvertertastverhältnis nur eine minimale Glättungsinduktivität (ca. 600 nH), um die Spannungs-Zeit-Fläche während der Zweigverriegelungszeit der primärseitigen Schalter aufzunehmen.

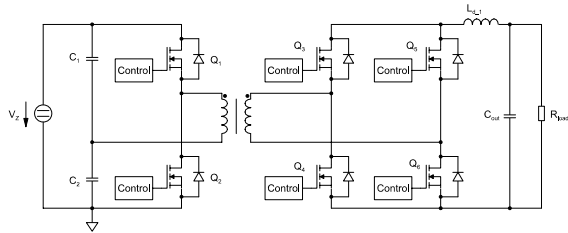
Die untersuchten Topologien des Serienresonanzwandlers sind in den Abbildungen Abb. 5.35 bis Abb. 5.38 zu sehen, die des partiell hart schaltenden Wandlers in den Abbildungen Abb. 5.39 bis Abb. 5.41.

Die verschiedenen Wandler wurden mittels Simulationen und Berechnungen untersucht. Die Verluste und die Belastung der Magnetbauelemente wurden, ebenso wie die Halbleiterbelastung, mit in die Betrachtungen aufgenommen.

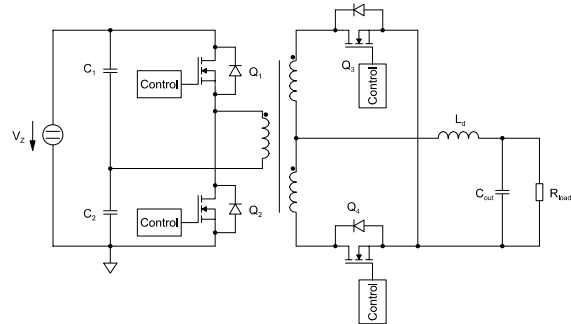
Die Eingangsspannung des Wandlers ist im Normalbetrieb, über die PFC-Stufe, auf 410 V festgelegt. Die Auswahl der Ausgangsspannung, im Hinblick auf die Verlustentstehung in den sekundärseitigen Gleichrichtern und dem Arbeitsbereich des Tiefsetzstellers, wurde ebenfalls untersucht. Da eine detaillierte Darstellung des Topologievergleichs den Rahmen dieser Arbeit sprengen würde, wird in Tab. 5.4 eine Zusammenfassung vorgestellt.

Sowohl für die partiell hart schaltende als auch für die resonante Topologie erweist sich der sekundärseitige Transformatormittelpunkt als beste Lösung. Die Verluste in dem verwendeten Dreiwicklungstrafo sind nur geringfügig höher als in einer Topologie mit Zweiwicklungstrafo (Abb. 5.28). Die Halbleiterverluste sind durch die geringe Halbleiteranzahl recht angemessen.

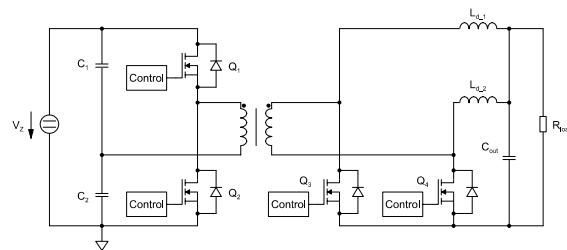
## 5 Dreistufige Schaltnetzteiltopologien



**Abb. 5.39** Schaltplan der partiell hart schaltenden Halbbrücke mit sekundärseitigem, stromeingprägtem Vollbrückengleichrichter (Topologie 5 in Tab. 5.4)



**Abb. 5.40** Schaltplan der partiell hart schaltenden Halbbrücke mit sekundärseitigem, stromeingprägtem AC-Mittelpunkt (Transformarmittelpunkt), (Topologie 6 in Tab. 5.4)



**Abb. 5.41** Schaltplan der partiell hart schaltenden Halbbrücke mit sekundärseitigem, stromeingprägtem DC-Mittelpunkt (current doubler), (Topologie 7 in Tab. 5.4)

Die sekundärseitige Vollbrückenordnung ist aufgrund der hohen Verluste in den Synchrongleichrichter-MOSFETs ungeeignet, da immer zwei Schalter seriell vom Strom durchflossen werden. Die starke Strombelastung der Kapazitäten in einer sekundärseitigen Kondensator-mittelpunktschaltung macht diese Konfiguration für eine Hochstrom-Anwendung ungeeignet.

Topology	Total efficiency	Transformer efficiency	automatic transformer flux balance	Complexity	Control efforts	Active component count	Passive component count	Active component stress @ Primary side	Active component stress @ Secondary side	Passive component stress @ Primary side	Passive component stress @ Secondary side	Load dependency of transfer behaviour	Input voltage dependency of transfer behaviour	Advantages	Disadvantages
1 SRC with full bridge rectifier (serial loaded)	0	+	+	0	+	0	+	+	0	0	+	+	+	low losses in a 2-windings transformer; use of low ohmic 40 V rectifier MOSFETs	high losses in the full bridge rectifier
2 SRC with transformer center tap (serial loaded)	+	0	+	+	+	+	+	+	0	0	+	+	+	low losses in the rectifier MOSFETs	losses in a 3-windings transformer; use of 75 V rectifier MOSFETs
3 SRC with capacitor midpoint (serial loaded)	-	+	+	0	+	0	+	+	+	0	-	+	+	low losses in a 2-windings transformer; use of low ohmic 40 V rectifier MOSFETs	very high RMS-current stress for the SRC output capacitor
4 SRC with current doubler (parallel loaded)	-	+	+	-	+	+	-	+	-	0	-	-	+	use of a 2-windings transformer; current fed topology at secondary side	high components stress; losses in the current doubler chokes; resonance behaviour sensitive for parameter changes; not suitable for low voltage generation
5 HSHB with full bridge rectifier	0	+	0	0	+	0	+	+	0	+	+	+	+	low losses in a 2-windings transformer; use of low ohmic 40 V rectifier MOSFETs; no resonance devices needed; small smoothing choke required	high losses in the full bridge rectifier
6 HSHB with transformer center tap	+	0	0	+	+	+	+	+	0	+	+	+	+	low losses in the rectifier MOSFETs; no resonance devices needed; small smoothing choke required	losses in a 3-windings transformer; use of 75 V rectifier MOSFETs
7 HSHB with current doubler	-	+	0	-	+	+	-	+	-	+	-	+	+	use of a 2-windings transformer; current fed topology at secondary side; 100 % ripple cancellation in the MOSFET current and output capacitor current	losses in the current doubler chokes; use of 100 V rectifier MOSFETs

**Tab. 5.4** Vergleich verschiedener Hauptstufen („DC-Transformatoren“) für die Post-Regulated Anordnungen (SRC=Serienresonanzwandler; HSHB=partiell hart schaltende Halbbrücke; + positiv; - negativ; 0 mäßig)

Ergebnisse des Topologievergleichs wurden ebenfalls in den Veröffentlichungen [7.6] und [7.1] vorgestellt. Einen wichtigen Einfluss auf das Gesamtsystem hat, neben der Topologieauswahl, die Auswahl der passiven Bauelemente. Ihre Auslegung korrespondiert mit der Schaltfrequenzauswahl. Der nächste Abschnitt beschäftigt sich mit diesem Fakt.

### 5.3.3 Passive Bauelemente in der Hauptstufe

Bei der Auslegung von passiven Bauelementen wird eine Schaltfrequenzerhöhung immer mit einer Volumenreduktion für die passiven Bauelemente in Verbindung gebracht.

In der Regel gehen die Verluste in den passiven Bauelementen mit steigender Frequenz zurück, so dass die wärmeabgebende Oberfläche und somit das Volumen kleiner gewählt werden kann.

In der Realität hängt die Volumenreduktion deutlich vom gewählten Magnetmaterial ab. Es gibt materialabhängige Grenzen, die keine weitere Volumenreduktion mit steigender Frequenz zulassen.

Dieser Abschnitt gibt einen Überblick über die Volumenverkleinerung von Transformatoren und Resonanzdrosseln am Beispiel eines 850 W Serienresonanzwandlers.

Wie aus dem Kapitel 3.3 hervorgeht, wird in dieser Arbeit Ferritmaterial für die Transformatorkerne verwendet. Die Resonanzdrosseln werden mit MPP-Material hergestellt.

#### *Transformatorauswahl*

Die erste Untersuchung bezieht sich auf das verwendete Tastverhältnis in einem Hauptwandler. Am Beispiel eines Serienresonanzwandlers wurden die Transformatorverluste in Abhängigkeit von dem Signaltastverhältnis im Konverter untersucht (Abb. 5.42, Abb. 5.43). Die Berechnungen wurden mit einer Software durchgeführt [8.1].

Das Tastverhältnis eines Resonanzwandlers kann auch über den Steuerwinkel  $\alpha$  ausgedrückt werden, dabei entspricht 100 % Konvertertastverhältnis einem Steuerwinkel von  $\alpha=0^\circ$ .

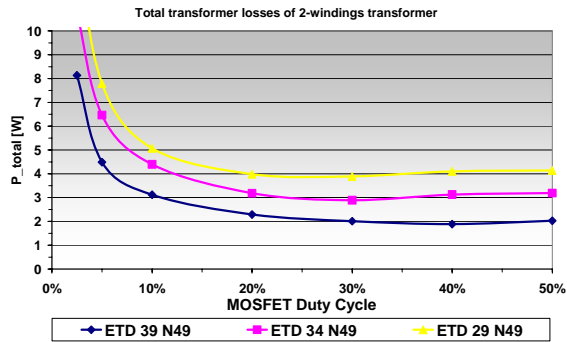
Es ist ersichtlich, dass sich ab einem Signaltastverhältnis von ca. 25 % ( $\hat{=}$  50 % Konvertertastverhältnis) die Gesamtverluste im Transformator, durch eine Tastverhältnisvergrößerung, nicht weiter reduzieren.

Das in einer „DC-Transformator“-Anwendung verwendete Konvertertastverhältnis von 100 % liegt also auch im Verlustleistungsminimum des Transformators.

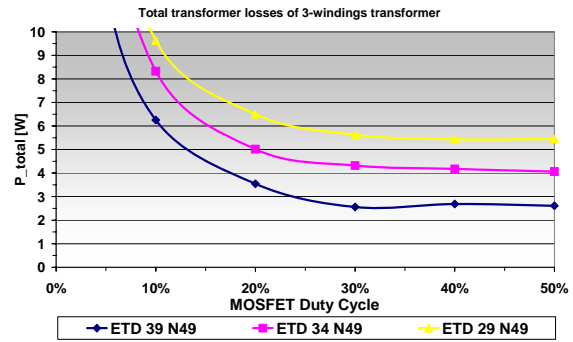
Zu Ermittlung der optimalen Schaltfrequenz wurden verschiedene Transformatoren mit verschiedenen Kerngrößen (ETD 34, ETD 39) und aus verschiedenen Materialien (Epcos N 49, Epcos N 97) rechnerisch untersucht (Abb. 5.44, Abb. 5.45). Die Transformatoren wurden auf ein Windungstemperaturminimum optimiert.

Im Ergebnis dieser Untersuchung ist zu erkennen, dass mit dem Material N 49 für Schaltfrequenzen oberhalb von 300 kHz geringere Trafoverluste als mit dem Material N 97 entstehen. Ab ca. 500 kHz ist beim Material N 49 mit steigender Frequenz, keine weitere Verlustreduktion zu erkennen.

Eine weitere Erhöhung der Schaltfrequenz würde also keine Verlustreduktion in den Magnetbauelementen bewirken.



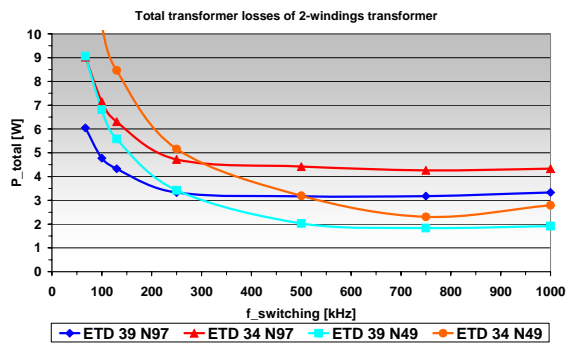
**Abb. 5.42** Verluste in verschiedenen Zweiwicklungstrafos in Abhängigkeit vom Tastverhältnis (50 % MOSFET-Signaltastverhältnis  $\wedge$  100% Konvertertastverhältnis); Serienresonanzkonverter; Primärseite: Vollbrücke; Sekundärseite: Vollbrücke @  $P_{OUT}=850$  W;  $V_{IN}=410$  V;  $V_{OUT}=16$  V;  $f_{SW}=500$  kHz;  $1,5$  ms<sup>-1</sup> Kühlluftstrom



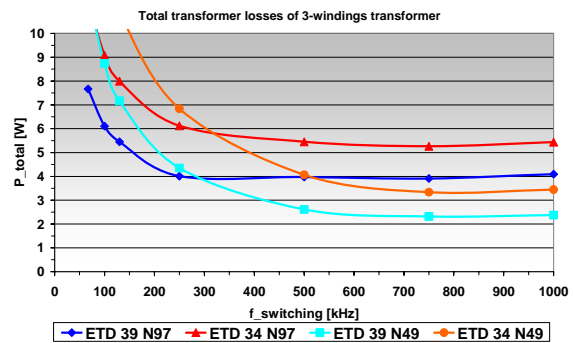
**Abb. 5.43** Verluste in verschiedenen Dreiwicklungstrafos in Abhängigkeit vom Tastverhältnis (50 % MOSFET-Signaltastverhältnis  $\wedge$  100% Konvertertastverhältnis); Serienresonanzkonverter; Primärseite: Vollbrücke; Sekundärseite: Transformatormittelpunktschaltung @  $P_{OUT}=850$  W;  $V_{IN}=410$  V;  $V_{OUT}=16$  V;  $f_{SW}=500$  kHz;  $1,5$  ms<sup>-1</sup> Kühlluftstrom

Unter dem Gesichtspunkt geringer Trafoverluste und möglichst hoher Leistungsdichte wurde ein Transformator in der Bauform ETD 34 mit Kernmaterial N49 für den Betrieb bei 500 kHz ausgewählt. Topologiebedingt wird ein Dreiwicklungstrafo benötigt.

Weiterführende Untersuchungen haben ergeben, dass dieser Transformator auch sehr gut für die Anwendung in der partiell hart schaltenden Halbbrücke geeignet ist.



**Abb. 5.44** Verluste in verschiedenen Zweiwicklungstrafos in Abhängigkeit von der Schaltfrequenz; Optimierung des Trafos auf ein Windungstemperaturminimum; Serienresonanzkonverter; Primärseite: Vollbrücke; Sekundärseite: Vollbrücke @  $P_{OUT}=850$  W;  $V_{IN}=410$  V;  $V_{OUT}=16$  V;  $1,5$  ms<sup>-1</sup> Kühlluftstrom; 100 % Konvertertastverhältnis

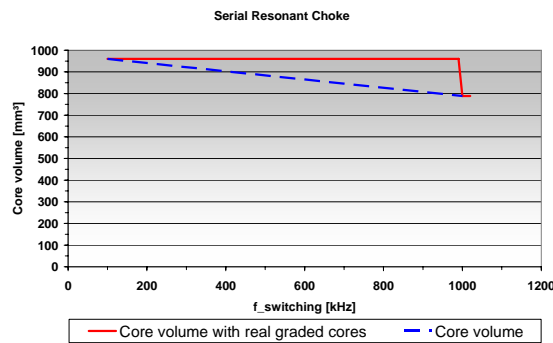


**Abb. 5.45** Verluste in verschiedenen Dreiwicklungstrafos in Abhängigkeit von der Schaltfrequenz; Optimierung des Trafos auf ein Windungstemperaturminimum; Serienresonanzkonverter; Primärseite: Vollbrücke; Sekundärseite: Transformatormittelpunktschaltung @  $P_{OUT}=850$  W;  $V_{IN}=410$  V;  $V_{OUT}=16$  V;  $1,5$  ms<sup>-1</sup> Kühlluftstrom; 100 % Konvertertastverhältnis

### Resonanzdrosselauswahl

Die Auswahl der Resonanzdrossel für den Serienresonanzkonverter ist ebenfalls mit der Schaltfrequenzfestlegung gekoppelt. Für die Untersuchungen im Rahmen dieser Arbeit wurde für die Resonanzdrossel MPP-Material verwendet.

In Abb. 5.46 ist das Kernvolumen einer Resonanzdrossel für einen 850 W Konverter im Frequenzbereich bis 1 MHz dargestellt. Die Drossel wurden mit der Software „Drechsler magnetics“ auf eine Übertemperatur von 50 K optimiert [8.1].



**Abb. 5.46 Kernvolumen einer Ringkernresonanzdrossel für den Serienresonanzkonverter (Material: MPP) @  $Z_w=24,12 \Omega$ ;  $P_{OUT}=850 \text{ W}$ ; Übertemperatur=50 K; 100 % Konvertertastverhältnis**

Das Ergebnis ist ernüchternd. Das benötigte Kernvolumen nimmt zwar mit steigender Frequenz ab, aber aufgrund der realen Kernabstufungen kommt es erst bei 1 MHz zu einer physischen Verkleinerung des Kernvolumens.

Die Schaltfrequenz hat einen nur geringen Einfluss auf das Volumen der Resonanzdrossel. Deshalb wird die Auswahl der Frequenz für den Hauptwandler (500 kHz) durch die Transformatorauswahl bestimmt.

#### 5.3.4 Topologieauswahl für Post-Regulated Schaltnetzteile

Für die Untersuchungen der sekundärseitig geregelten Schaltnetzteile wurden dieselben Ein- und Ausgangsparameter wie bei dem zweistufigen Demonstrator von Firma Infineon angesetzt, um eine Vergleichbarkeit der Systeme herzustellen.

Die PFC-Stufe ist, bis auf die Schaltfrequenz, mit den PFC-Stufen der primärseitig geregelten Anordnungen identisch.

Die Topologiebetrachtungen für die Hauptstufe im Kapitel 5.3.2 charakterisierten sowohl den Serienresonanzkonverter als auch die partiell hart schaltende Halbbrücke mit sekundärseitigem Transformatormittelpunkt als sinnvollen Ausgangspunkt für weitere Untersuchungen.

Die Auslegung der leistungsstellenden Stufe wird innerhalb dieses Abschnitts beschrieben.

Bei der Schaltfrequenzauswahl für die einzelnen Stufen des Netzteiles wurden die zuvor gewonnenen Ergebnisse der Pre-Regulated Schaltnetzteile mit berücksichtigt.

Die PFC-Stufe wird aus Gründen des Wirkungsgrades mit 125 kHz Schaltfrequenz betrieben. Die Hauptstufe ist entweder als Serienresonanzkonverter oder als partiell hart schaltende Halbbrücke ausgeführt. Sie kann auf minimale Schaltverluste optimiert werden, so dass ein Betrieb mit 500 kHz zur Leistungsdichte-Optimierung möglich ist.

Für den sekundärseitigen Tiefsetzsteller wurde eine Schaltfrequenz von 500 kHz vorgegeben, um ein geringes Volumen der Glättungsdrosseln zu erreichen.

Da bereits im Kapitel 3.5.2 auf die Auslegung der PFC-Stufe eingegangen wurde, wird diese hier nicht weiter berücksichtigt.

### *Tiefsetzsteller und Hauptwandler*

Der Tiefsetzsteller, der die Leistungsstellung in dem dreistufigen Post-Regulated SMPS vornimmt, wird auf der Sekundärseite des Hauptwandlers angeordnet.

Seine Eingangsspannung wird durch die Auslegung des Hauptwandlers vorgegeben. Die Eingangsspannung wirkt sich einerseits auf das nominelle Tastverhältnis des Tiefsetzstellers aus und andererseits auf die Auslegung des Hauptwandlers.

Es wurden zwei mögliche Konstellationen untersucht:

Erstens ein Hauptwandler, der als „DC-Transformator“ eine Spannungstransformation von 410 V auf 16 V durchführt. Der nachgeschaltete Tiefsetzsteller erzeugt aus den 16 V eine geregelte Spannung von 12 V.

Zweitens ein Hauptwandler, der die 410 V auf 24 V umsetzt. Das Stellglied müsste aus 24 V eine geregelte DC-Ausgangsspannung von 12 V erzeugen.

Ein Hauptwandler mit sekundärseitigem Trafomittelpunkt hat bei 16 V Ausgangsspannung eine 50 % höhere Strombelastung an den Gleichrichter-MOSFETs als bei 24 V Ausgangsspannung. Das wirkt sich, bei identischen MOSFETs, in 125 % höheren Durchlassverlusten pro Synchrongleichrichter-MOSFET aus.

Die Belastung des Ausgangskondensators der Hauptstufe geht mit steigender Ausgangsspannung ebenfalls zurück.

Für die Auslegung des Tiefsetzstellers ergeben sich bei beiden Eingangsspannungen zwei unterschiedliche Tastverhältnisse: 75 % bei 16 V und 50 % bei 24 V. Das Tastverhältnis von 75 % ist für die Drosselauslegung günstiger als das Tastverhältnis 50 %. In der Drossel entstehen bei 50 % Tiefsetzsteller-Tastverhältnis 40 % mehr Verluste als bei dem höheren Tastverhältnis (75 %).

Die Anforderungen an die Regeldynamik können mit dem Tastverhältnis 50 % besser erfüllt werden, da man maximalen Regelspielraum zu beiden Tastverhältnisgrenzen hat. Der high-side- und der low-side-MOSFET im Tiefsetzsteller werden bei 50 % Tastverhältnis, bezüglich Durchlassverlusten, symmetrisch belastet.

Weiterhin eröffnet sich, durch das niedrigere Tastverhältnis im Nominalbetrieb, ein weiterer Tastverhältnisbereich bis zur Grenze von 87 % (bedingt durch den Ansteuerschaltkreis), der während einer Eingangsspannungsschwankung (brown-out) genutzt werden kann. Die benötigte Zwischenkreiskapazität zur Erfüllung der 20 ms hold-up time kann von 889  $\mu\text{F}$  auf 294  $\mu\text{F}$ , d. h. um 300 %, verkleinert werden.

Für die Auslegung der Post-Regulated Demonstratoren wurde eine DC-Ausgangsspannung von 24 V für den Hauptwandler gewählt. Der Tiefsetzsteller muss aus 24 V die geregelte DC-Ausgangsspannung von 12 V erzeugen.

Es gibt mehrere Möglichkeiten, den sekundärseitigen Tiefsetzsteller auszulegen. Eine Übersicht der verschiedenen Konzepte ist in Abb. 5.47 zu sehen.

Die Auslegung des einphasigen Tiefsetzstellers (Abb. 5.47 a)) ist aufgrund des großen Systemausgangsstromes von 66,67 A, nicht optimal zu gestalten. Das Tastverhältnis des MOSFETs  $Q_1$  kann bis auf 100 % steigen.

Das zweiphasige System mit gemeinsamer Glättungsdrossel (Abb. 5.47 b)) bewirkt eine Frequenzverdopplung an der Glättungsdrossel ( $L_1$ ) gegenüber der Schaltfrequenz, was zu einer Drosselvolumenreduktion beiträgt. Das Tastverhältnis, der beiden um 180° verschoben angesteuerten Phasen, ist prinzipbedingt auf 50 % begrenzt. Die Glättungsdrossel müsste für den Gesamtausgangsstrom ausgelegt werden. Diese zwei Aspekte sind als Nachteil zu werten.

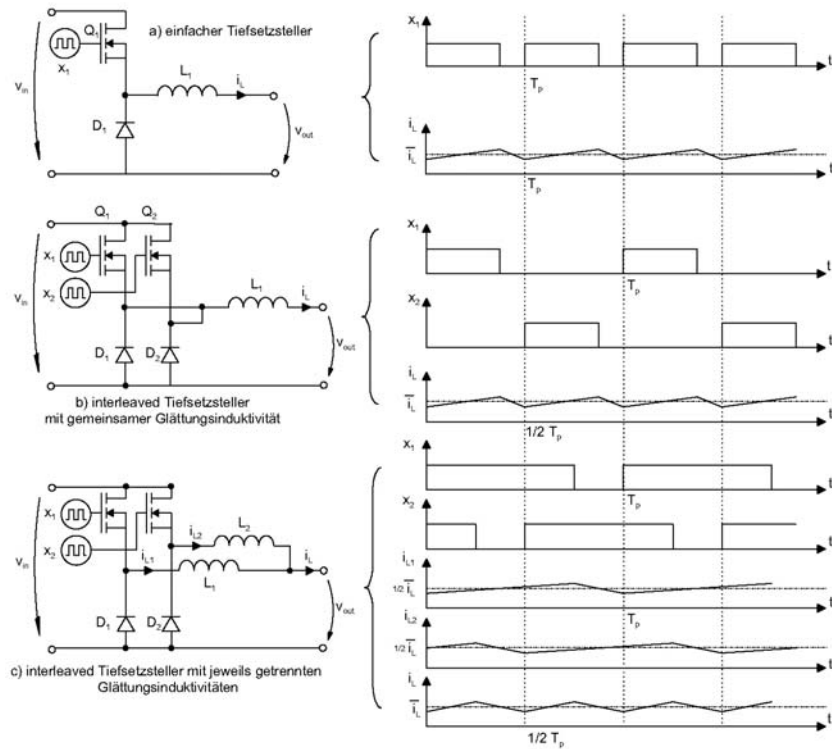


Abb. 5.47 Aufbau und typische Kurvenverläufe der einzelnen Tiefsetzsteller-Konzepte im Vergleich [7.2]

Die dritte Lösung ist ein zweiphasiges System mit getrennten Glättungsdrosseln (Abb. 5.47 c)). Diese Lösung ist aus zwei einphasigen Tiefsetzstellern aufgebaut, die um  $180^\circ$  phasenverschoben angesteuert werden. Der Vorteil gegenüber den zwei zuvor beschriebenen Ansätzen ist, dass eine Phase nur für den halben Systemausgangsstrom ausgelegt werden muss. Das maximale Tastverhältnis dieser Lösung liegt bei 100 %.

Die beiden Phasenströme addieren sich zu einem Gesamtstrom, der in Abhängigkeit vom Phasentastverhältnis eine reduzierte Stromwelligkeit aufweist (Abb. 5.48). Die zweiphasige Lösung mit getrennten Glättungsdrosseln besitzt bei 50 % Tastverhältnis keine Ausgangswelligkeit mehr. Die Belastung des Ausgangskondensators wird dadurch erheblich reduziert.

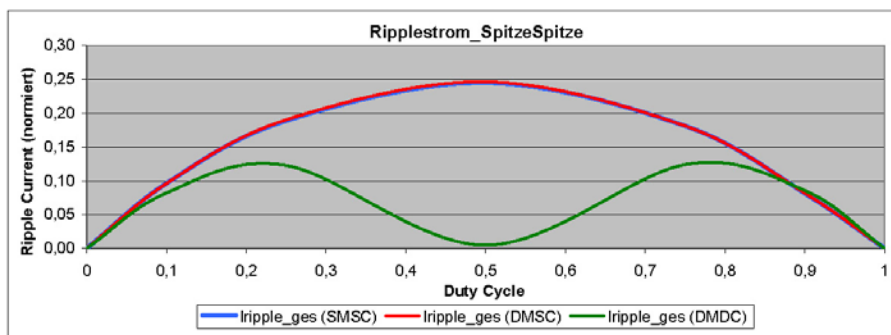
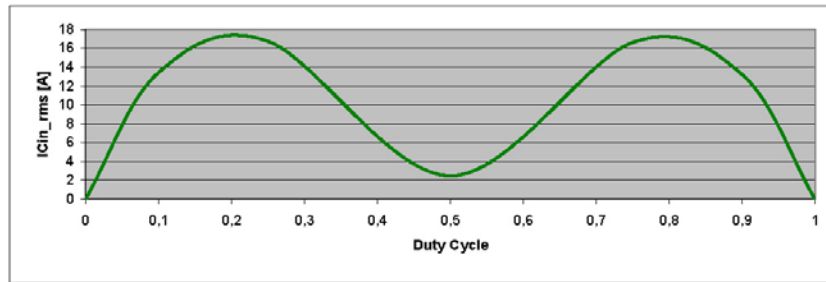


Abb. 5.48 Abhängigkeit der Gesamtwelligkeit am Ausgang des Tiefsetzstellers; Simulationsergebnisse  
 blau: einphasiger Tiefsetzsteller;  
 rot: zweiphasiger Tiefsetzsteller mit einer Glättungsdrossel;  
 grün: zweiphasiger Tiefsetzsteller mit zwei Glättungsdrosseln [7.2]

Das Tastverhältnis wirkt sich ebenfalls auf den Eingangsstrom des Tiefsetzstellers und somit auf die Auslegung des Eingangskondensators aus (Abb. 5.49). Bei 50 % Tiefsetzsteller-Tastverhältnis ist die Effektivwertstrombelastung der Eingangskapazität am geringsten.





**Abb. 5.49** Stromeffektivwert der Eingangskapazität eines zweiphasigen Tiefsetzstellers mit zwei Glättungsdrosseln in Abhängigkeit vom Tastverhältnis @  $P_{OUT}=850$  W;  $V_{IN}=24$  V [7.2]

Für das Post-Regulated Schaltnetzteil wurde ein zweiphasiger Tiefsetzsteller mit zwei Glättungsdrosseln ausgewählt. Diese leistungsstellende Stufe kommt in Kombination mit folgenden Hauptwandlern zum Einsatz:

- Serienresonanz (SRC)-Konverter
- partiell hart schaltender Halbbrücken (HSHB)-Konverter

Die einzelnen Topologien werden in den folgenden Abschnitten vorgestellt.

Die Steuerung der PFC-Stufe und des Hauptwandlers wurde auf der Primärseite des SMPS angeordnet. Die Potentialtrennung der Ansteuersignale für die Hauptstufe sowie für die sekundärseitigen Gleichrichter wurde mittels Ansteuerübertragern vorgenommen.

Die Steuerung des Tiefsetzstellers ist sekundärseitig angeordnet. Die Schwierigkeit bestand in der Auswahl eines geeigneten Schaltkreises, der für die auftretenden Signalpegel am Tiefsetzsteller (24 V und 12 V) ausgelegt ist. Die Auswahl an kommerziellen Schaltkreisen für diesen Spannungsbereich ist gering. Die Wahl fiel auf den Schaltkreis TPS40130DBT von Firma Texas Instruments.

Eine weitere Herausforderung lag in der Auswahl eines geeigneten Strommessverfahrens, um die Phasenströme des Tiefsetzstellers überwachen zu können. Die einzelnen Verfahren und die auftretenden Probleme sind ausführlich in [7.2] beschrieben.

### *Resonanzelementeauswahl für den Serienresonanzwandler*

Die Auswahl der geeigneten Resonanzelemente ist für die optimale Auslegung und die Bauelementebelastung im Serienresonanzwandler von großer Bedeutung. Ein schwingungsfähiges System kann mit verschiedenen Kombinationen von Induktivitäten und Kapazitäten erreicht werden (Gl. 5.1). Je nach Auswahl ergibt sich ein unterschiedlicher Wellenwiderstand, der mit der Belastung der Resonanzelemente einhergeht (Gl. 5.2).

In Abb. 5.50 ist der Zusammenhang zwischen den Resonanzelementen und dem Wellenwiderstand dargestellt. Gl. 5.3 zeigt den Zusammenhang zwischen Wellenwiderstand und Dämpfung des Schwingkreises.

Für Werte  $D < 1$  liegt eine gedämpfte Schwingung vor,  $D = 1$  ist der aperiodische Grenzfall und für  $D > 1$  ist das System nicht mehr schwingungsfähig. Aus Sicht der Spannungsbelastung für die Resonanzelemente ist es sinnvoll, einen möglichst niedrigen Wellenwiderstand zu wählen (Abb. 5.51). Dabei ist darauf zu achten, dass der Wellenwiderstand nicht zu klein gewählt wird, um ein schwingungsfähiges System aufrecht zu erhalten (Gl. 5.3).

$$f_0 = \frac{1}{2 \cdot \pi \cdot \sqrt{L_{RES} \cdot C_{RES}}}$$

Gl. 5.1 Frequenz bei der sich der Schwingkreis wie ein ohmscher Widerstand verhält

$$Z_W = \sqrt{\frac{L_{RES}}{C_{RES}}}$$

Gl. 5.2 Wellenwiderstand des Schwingkreises

$$D = \frac{R_L^*}{2 \cdot Z_W}$$

Gl. 5.3 Dämpfung des Serienresonanzkreises mit serieller Lastauskopplung (Definition von  $R_L^*$  siehe Gl. 3.13)

Ein großer Wellenwiderstand bewirkt nicht nur eine große Spannungsbelastung an den Resonanzelementen sondern auch eine große gespeicherte Blindenergie, die sich in hohen Systemverlusten widerspiegelt. Die induktiv gespeicherte Blindenergie (Gl. 5.4) ist aufgrund großer Werte von  $L_{RES}$  groß. Die kapazitiv gespeicherte Blindenergie (Gl. 5.5) wird infolge des hohen Spannungswertes  $U$ , bei großem Wellenwiderstand, erzeugt.

$$E_L = \frac{L_{RES}}{2} \cdot I^2$$

Gl. 5.4 Induktiv gespeicherte Energie

$$E_C = \frac{C_{RES}}{2} \cdot U^2$$

Gl. 5.5 Kapazitiv gespeicherte Energie

Für die praktische Auslegung bedeutet das, es muss ein Kompromiss zwischen der Spannungsbelastung der Resonanzelemente und der Kapazitätsgröße ( $C_{RES}$ ) gefunden werden. Die Kapazität muss die Anforderungen hohe Strombelastbarkeit und geringen Verlustfaktor erfüllen. Die Kondensatoren vom Typ FKP 1 der Firma WIMA sind sehr gut für diese Anwendung geeignet.

Für die praktische Realisierung wurden eine wirksame Resonanzkapazität von 16,4 nF und eine Induktivität von 6,5  $\mu$ H gewählt. Daraus ergibt sich ein Wellenwiderstand von 19,90  $\Omega$ .

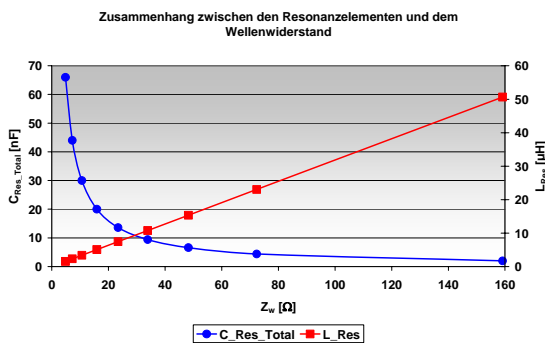


Abb. 5.50 Zusammenhang zwischen den Resonanzelementen und dem Wellenwiderstand für einen Serienresonanzkonverter @  $f_{SW}=500$  kHz

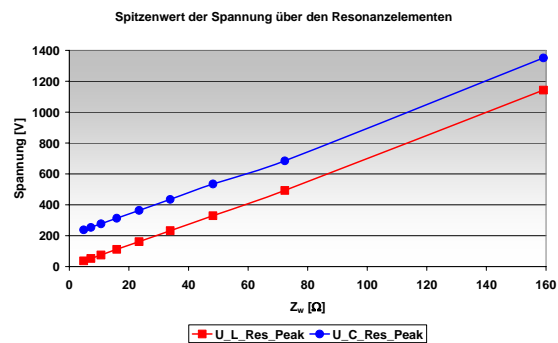


Abb. 5.51 Spannungsbelastung (Spitzenwert) der Resonanzelemente in einem Serienresonanzkonverter; Simulationsergebnisse @  $P_{OUT}=850$  W;  $V_{OUT}=24$  V;  $V_Z=410$  V;  $f_{SW}=500$  kHz

Weitere Details zur Auswahl der Resonanzelemente sind der Arbeit [7.1] zu entnehmen.

Nach diesem Überblick zur Auswahl der Topologie und der Beschreibung ausgewählter Designprobleme werden die experimentell untersuchten Topologien nachfolgend vorgestellt.

### 5.3.5 Serienresonanzkonverter mit sekundärseitigem Tiefsetzsteller

#### Topologie, Parameter und Realisierung

Der Serienresonanzkonverter mit sekundärseitigem Tiefsetzsteller ist das erste experimentell realisierte sekundärseitig geregelte Schaltnetzteil. Die Hauptstufe schaltet entlastet (weiches Schalten). Die Schaltung der Anordnung ist in Abb. 5.52 zu sehen.

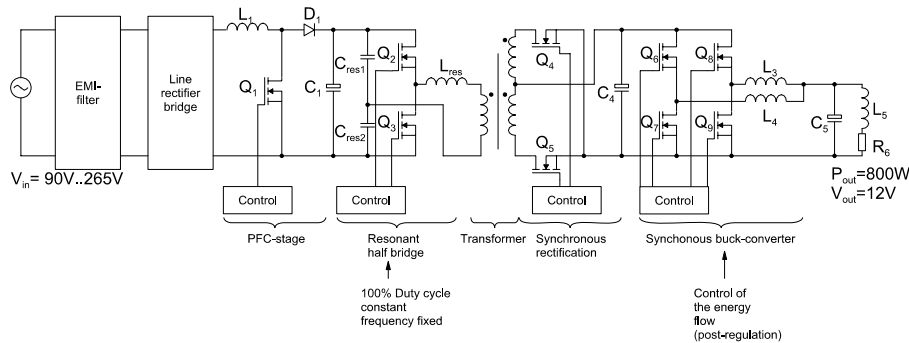


Abb. 5.52 Schaltplan des dreistufigen Serienresonanzkonverters (Post-Regulated Topologie)

Eingangsseitig befindet sich eine PFC-Stufe, die im Normalbetrieb eine konstante Zwischenkreisspannung von 410 V erzeugt. Der folgende spannungsgespeiste Serienresonanzkonverter arbeitet mit 100 % Konvertertastverhältnis bzw.  $0^\circ$  Steuerwinkel als „DC-Transformator“. Die Sekundärseite der Schaltung ist mit Synchrongleichrichtern ausgestattet, um die Durchlassverluste möglichst gering zu halten. Der sekundärseitig angeordnete Tiefsetzsteller ist als zweiphasiger Wandler (Interleaved Tiefsetzsteller) ausgeführt. Die Schaltung besitzt folgende Parameter:

- Eingangsspannung:  $V_{IN\_RMS}=90 - 265 \text{ V AC}$
- Ausgangsspannung:  $V_{OUT}=12 \text{ V DC}$
- Ausgangsleistung:  $P_{OUT}=800 \text{ W}$
- Schaltfrequenz der PFC-Stufe:  $f_{PFC}=125 \text{ kHz}$
- Schaltfrequenz der Hauptstufe:  $f_{Main}=500 \text{ kHz}$
- Schaltfrequenz des Tiefsetzstellers:  $f_{Buck}=500 \text{ kHz pro Phase}$
- Zwischenkreisspannung:  $V_Z=410 \text{ V}$
- Zwischenkreiskondensator:  $C_Z=330 \mu\text{F}$

Typische idealisierte Verläufe von Spannungen und Strömen im SRC sind in Abb. 5.53 zu sehen. Die Darstellung zeigt die gegeneinander verriegelten Ansteuersignale ( $x_{1\_HB}$ ;  $x_{2\_HB}$ ) der Halbbrücken-MOSFETs, die daraus resultierende Drain-Source-Spannung der Halbbrücken-MOSFETs ( $V_{DS1\_HB}$ ;  $V_{DS2\_HB}$ ) sowie den Stromfluss durch die primärseitigen Schalter des Serienresonanzkonverters bei leicht überresonantem Betrieb ( $I_{D1\_HB}$ ;  $I_{D2\_HB}$ ). Weiterhin ist der sinusförmige Resonanzdrosselstrom ( $I_{LRES}$ ), der dreieckförmige Magnetisierungsstrom ( $i_m$ ) und die Trafospaltung ( $V_{Trafo\_Pri}$ ) dargestellt. Der Strom durch die sekundärseitigen Gleichrichter ist sinusförmig ( $I_{DQ4\_SyncRec}$ ;  $I_{DQ5\_SyncRec}$ ).

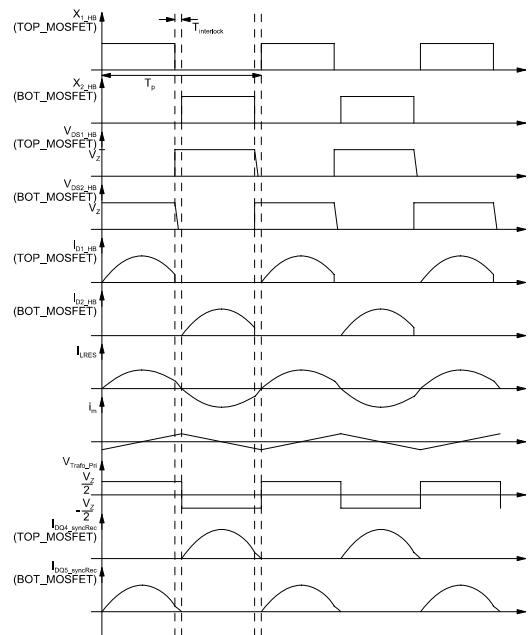


Abb. 5.53 Typische Verläufe am dreistufigen Serienresonanzkonverter

Ausgehend von diesen Vorbetrachtungen wurde die Schaltung praktisch realisiert. Dabei wurde, wie schon bei den Pre-Regulated SMPS, eine vierlagige Platine verwendet. Der Leistungsteil und der Ansteuerteil sind räumlich getrennt angeordnet.

Auf die Auslegung der Schaltungsteile wird im Rahmen dieser Arbeit nicht eingegangen, da dies bereits ausführlich in den Veröffentlichungen [7.6], [7.7], [7.8], [7.2] und [7.4] getan wurde. Am Ende dieses Kapitels werden einige wesentliche Einflussfaktoren auf das Schaltverhalten des SRC erörtert.

### Ergebnisse der Betrachtungen

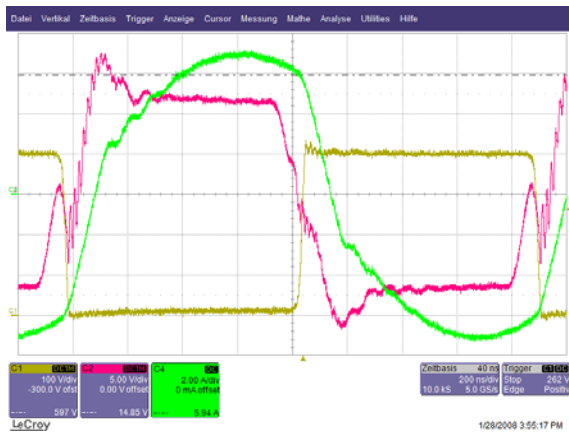
Bei der messtechnischen Analyse des Serienresonanzkonverters wurden typische Kurvenverläufe aufgenommen, der Wirkungsgrad des Systems bestimmt und Temperaturmessungen an den wichtigsten Bauteilen vorgenommen. Weiterhin wurden Einflussfaktoren auf das Schaltverhalten untersucht.

Ein typischer Schaltverlauf für Vollastbetrieb ist in Abb. 5.54 zu sehen. Das Oszillogramm zeigt die Drain-Source-Spannung, die Gate-Source-Spannung eines Halbbrücken-MOSFETs sowie den primärseitigen Trafostrom. Am Trafostrom ist der überresonante Betrieb zu erkennen, der ein Nullspannungsschalten (ZVS) für die Halbbrücken-MOSFETs zulässt (Kapitel 3.6.3).

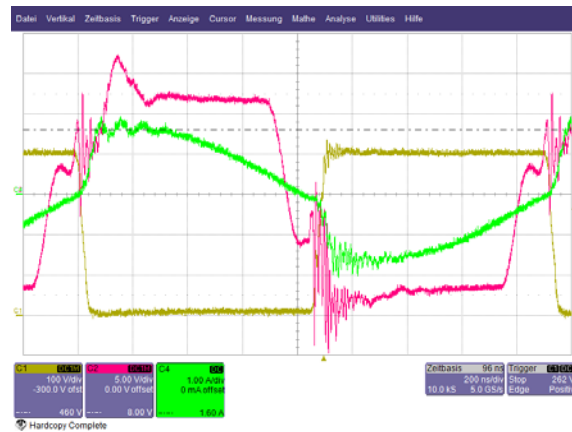
Der ZVS-Betrieb ist dadurch gekennzeichnet, dass die Drain-Source-Spannung auf null Volt abgesunken ist bevor die Gate-Source-Spannung des MOSFETs ansteigt und ihn einschaltet. Diese Betriebsart reduziert die bei Hochvolt-Bauelementen dominierenden Einschaltverluste bis auf null.

Der ZVS-Betrieb ist möglich solange genügend Strom zum Umladen der parasitären Kapazitäten im Kreis vorhanden ist. Mit abnehmendem Laststrom wird auch der Umladestrom geringer, was dazu führt, dass man den ZVS-Betrieb verlässt. Dadurch entstehen Einschaltverluste in den Halbbrücken-MOSFETs (Abb. 5.55). Der Wirkungsgrad des Konverters nimmt mit dem Verlust der ZVS-Bedingung rapide ab. Bei einer Schaltfrequenz von 500 kHz kommt es ohne ZVS-Betrieb zur raschen Zerstörung der primärseitigen MOSFETs infolge der Schaltverluste.

Die Einflüsse der Zweigverriegelungszeit, der Schaltfrequenz und der MOSFET-Technologie auf das Schaltverhalten sowie den ZVS-Betrieb werden im Kapitel 5.3.8 beleuchtet.



**Abb. 5.54** Ausgewählte Kurvenverläufe des SRC; Ch1 & Ch2 Halbbrücken-MOSFETs; Ch4 primärseitiger Trafostrom  
 @  $V_{IN\_SRC}=410\text{ V}$ ;  $V_{OUT\_SRC}=24,7\text{ V}$ ;  
 $I_{OUT\_SRC}=33,8\text{ A}$ ;  $P_{OUT\_SRC}=835\text{ W}$ ;  
 $f_{RES}=488\text{ kHz}$ ;  $f_{SW}=580\text{ kHz}$   
 (Ch1:  $V_{DS\_Q3}$ ; Ch2:  $V_{GS\_Q3}$ ;  
 Ch4:  $I_{Trafo\_Pri}$ )

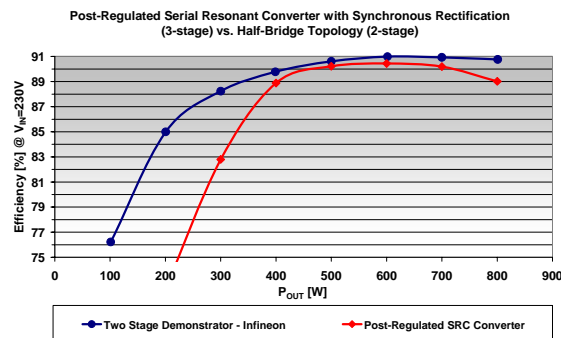


**Abb. 5.55** Ausgewählte Kurvenverläufe des SRC; Ch1 & Ch2 Halbbrücken-MOSFETs; Ch4 primärseitiger Trafostrom  
 @  $V_{IN\_SRC}=410\text{ V}$ ;  $V_{OUT\_SRC}=30,04\text{ V}$ ;  
 $I_{OUT\_SRC}=6,67\text{ A}$ ;  $P_{OUT\_SRC}=200\text{ W}$ ;  
 $f_{RES}=488\text{ kHz}$ ;  $f_{SW}=580\text{ kHz}$   
 (Ch1:  $V_{DS\_Q3}$ ; Ch2:  $V_{GS\_Q3}$ ;  
 Ch4:  $I_{Trafo\_Pri}$ )

Die Spannungsbelastung der Halbleiter in der Topologie liegt im zulässigen Bereich. Die Spannung an den Halbbrücken-MOSFETs ist auf Zwischenkreispotential geclamt, so dass keine Überspannungen möglich sind.

Die Spannung an den sekundären Gleichrichtern beträgt je nach Steuerwinkel (Grad der Überresonanz) zwischen  $V_{DS}=80\text{ V}$  und  $90\text{ V}$ .

Der verwendete Transformator besitzt topologiebedingt drei Wicklungen, die aufgrund eines hohen Verschachtelungsgrades sehr gut miteinander gekoppelt sind.



**Abb. 5.56** Wirkungsgrad-Verläufe des Serienresonanzkonverters mit sekundärseitigem Tiefsetzsteller im Vergleich zum zweistufigen Demonstrator @  $V_{IN\_RMS}=230\text{ V}$

Der Systemwirkungsgrad ist die wohl interessanteste Größe für einen Systemvergleich. Er ist in Abb. 5.56 zu sehen. Das Diagramm zeigt den Wirkungsgrad des SRC mit sekundärseitigem Tiefsetzsteller im Vergleich zum zweistufigen Demonstrator.

Der maximale Wirkungsgrad des SRC mit sekundärseitigem Tiefsetzsteller liegt bei  $230\text{ V}$  Eingangsspannung und  $800\text{ W}$  Ausgangsleistung bei  $89,02\%$ . Das ist im Vergleich zum zweistufigen Demonstrator ein um  $1,78\%$  geringerer Wirkungsgrad.

Unterhalb von  $400\text{ W}$  Ausgangsleistung kommt es zu einem rapiden Absinken des Wirkungsgrades, bedingt durch den Wegfall des Nullspannungsschaltens.

Eine Verlustleistungsbilanz soll über die Hauptverlustquellen bei  $800\text{ W}$  Ausgangsleistung Aufschluss geben (Abb. 5.57, Abb. A. 73).

Die drei Hauptverlustquellen sind die primärseitigen MOSFETs der Halbbrücke, die sekundären Gleichrichter der Hauptstufe und die Ausgangskondensatoren der Hauptstufe. Alle genannten Elemente werden durch den sinusförmigen Stromverlauf und die damit verbundenen hohen Effektivwerte stark belastet (Kapitel 3.6.3).

Die Einschaltverluste in den primären Hauptstufen-MOSFETs sind wegen dem ZVS-Betrieb vernachlässigbar klein. Ausschaltverluste ergeben sich durch den abzuschaltenden Strom im überresonanten Betrieb.

Die Verluste in den sekundärseitigen Gleichrichtern setzen sich im Wesentlichen aus Durchlassverlusten von MOSFET und Body-Diode, Speicherladungsverlusten in der Body-Diode des MOSFETs und Ansteuerungsverlusten zusammen (siehe Kapitel 3.7). Die Speicherladungsverluste treten in der Anwendung auf, da immer ein Stromfluss über die Body-Diode erfolgt, bevor der MOSFET-Kanal eingeschaltet und nachdem er ausgeschaltet wird. Die Schaltverluste sind aufgrund des nahezu sinusförmigen Stromverlaufs vernachlässigbar gering.

Die Ansteuerungsverluste sind aufgrund der hohen Schaltfrequenz von 500 kHz nicht vernachlässigbar. Sie wurden mit einer unidirektionalen Ansteuerung minimiert (Kapitel 3.8).

Der sekundärseitige Tiefsetzsteller ist partiell hart schaltend. Es treten sowohl Durchlassverluste als auch Schaltverluste auf. Aufgrund der hohen Schaltfrequenz von 500 kHz pro Phase sind die Ansteuerungsverluste ebenfalls nicht zu vernachlässigen.

Die Verluste in den Tiefsetzsteller-MOSFETs besitzen im Vergleich zu den anderen Halbleiterverlusten in der Bilanz durchschnittliche Werte. Detaillierte Angaben zur Verlustentstehung in einem Tiefsetzsteller werden in den Veröffentlichungen [5.2] und [7.2] gegeben.

Die durchgeführten Temperaturmessungen an ausgewählten Bauelementen decken sich mit den Ergebnissen der Verlustleistungsbilanz und bestätigen diese.

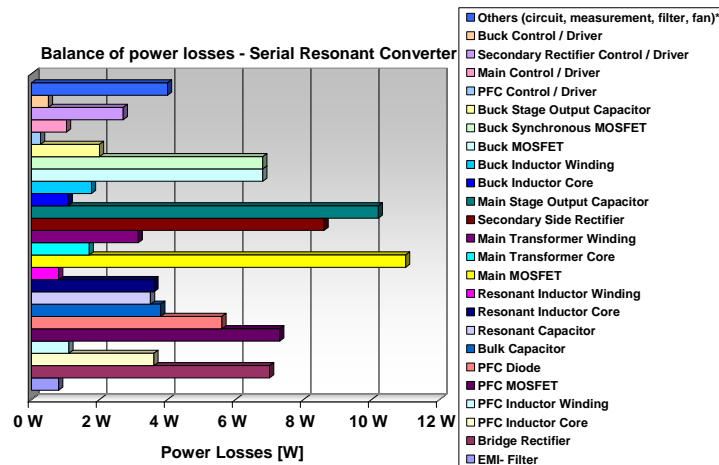


Abb. 5.57 Verlustleistungsbilanz des dreistufigen Serienresonanzkonverters mit sekundärseitigem Tiefsetzsteller @  $V_{IN\_RMS}=230$  V;  $P_{OUT}=800$  W;  $\eta=89,02$  %

### Wirtschaftliche Betrachtungen

Die Kostenaufteilung auf die Hauptkomponenten des Schaltnetzteils wurde im Anhang offengelegt (Abb. A. 74). Die Designphilosophie für die Pre-Regulated und Post-Regulated Konzepte ist identisch.

Bei den Untersuchungen fielen die folgenden Bauteile als besonders kostenintensiv auf: der Haupttransformator, der Lüfter, die Hilfsstromversorgung und die PFC-Drossel. Die PFC-Drossel ist aufgrund der niedrigen Frequenz größer und damit teurer, als bei 250 kHz Schaltfrequenz.

Der Haupttrafo besitzt zwar einen kleineren Kern und damit geringeres Volumen, als bei den Pre-Regulated Lösungen, der Preis ist aber aufgrund des komplexeren Aufbaus und des höherwertigen Kernmaterials ähnlich.

Der Zwischenkreiskondensator trägt nur noch in geringem Maße zu den Systemkosten (<4 %) bei, da er aufgrund des weiten Arbeitsbereichs des leistungsstellenden Tiefsetzstellers relativ klein gewählt werden konnte. Aus Sicht der Einsparung von Bauvolumen und Kosten besitzt der Zwischenkreiskondensator großes Potential.

### Schlussfolgerungen

Die Untersuchungen des Serienresonanzkonverters haben gezeigt, dass dieser Wandler im Vollastbetrieb sehr gut als „DC-Transformator“ geeignet ist. Voraussetzung dafür ist, dass genügend Strom (Laststrom) abgeschaltet werden kann, der die Ausgangskapazitäten der MOSFETs umlädt. Dies ist nötig, um ZVS-Betrieb zu ermöglichen.

Im Teillastbetrieb kommt es in Abhängigkeit von Schaltfrequenz, Zweigverriegelungszeit und Steuerwinkel (Grad der Überresonanz) zum Verlust der ZVS-Bedingung. Ab diesem Zeitpunkt schalten die primärseitigen Halbbrücken-MOSFETs hart auf die Zwischenkreisspannung ein und bewirken, besonders bei 500 kHz, große Schaltverluste. Diese zerstören die MOSFETs innerhalb kürzester Zeit.

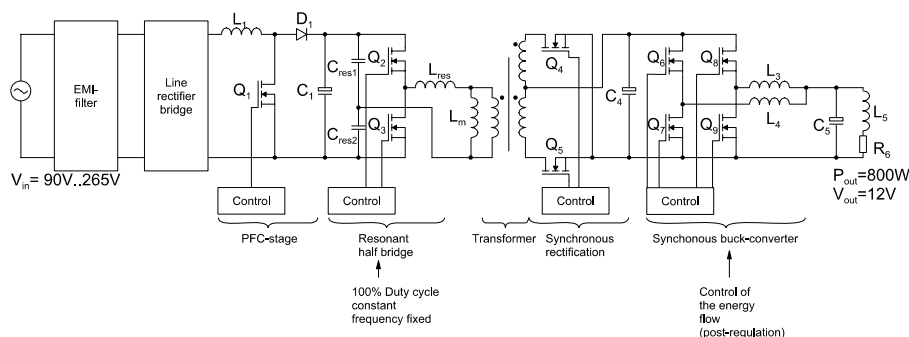
Es wurden verschiedene Verfahren, wie die Frequenznachführung und die Anpassung der Zweigverriegelungszeit, untersucht, um einen ZVS-Betrieb über einen weiten Lastbereich zu erhalten. Alle diese Ansätze funktionierten nur in engen Grenzen und brachten keine Lösung des Problems.

Als Problemlösung kann eine Abwandlung des Serienresonanzwandlers betrachtet werden, der LLC-Konverter. Dieser Konverter besitzt im Gegensatz zur SRC eine definierte Hauptinduktivität. Er wird im nächsten Kapitel eingehend vorgestellt.

### 5.3.6 LLC-Konverter mit sekundärseitigem Tiefsetzsteller

#### Topologie, Parameter und Realisierung

Der LLC-Konverter ist eine direkte Abwandlung des Serienresonanzkonverters mit sekundärseitig angeordnetem Tiefsetzsteller. Der LLC-Konverter schaltet, wie der SRC, entlastet (weiches Schalten). Die Schaltung ist in Abb. 5.58 zu sehen.



**Abb. 5.58** Schaltplan des dreistufigen LLC-Konverters (Post-Regulated Topologie)

Der Aufbau der PFC-Stufe und des Tiefsetzstellers ist mit dem Aufbau im Post-Regulated SRC identisch. Das betrifft auch die Schaltungsparameter, die bereits im Kapitel 5.3.5 zusammengefasst wurden.

Beim direkten Vergleich des SRC und des LLC-Konverters fällt die zusätzliche Induktivität  $L_m$  auf. Diese Induktivität bewirkt einen definierten, lastunabhängigen Stromfluss durch die primärseitigen MOSFETs, um die parasitären Kapazitäten im Kreis für den ZVS-Betrieb umzuladen.

Der Stromfluss wird durch die Höhe der Zwischenkreisspannung, die Schaltfrequenz und die Größe der Induktivität  $L_m$  bestimmt.

Die Induktivität  $L_m$  kann auf zwei Arten realisiert werden: erstens als Drossel (externe Magnetisierungsinduktivität) oder zweitens als definierte Hauptinduktivität im Transformator. Hierzu ist es erforderlich, einen Luftspalt in den Transformator einzubringen. Der Einfluss des Luftspaltes auf die Verluste im Transformator wird im nachfolgenden Kapitel 6.3 beschrieben.

Typische idealisierte Verläufe von Spannungen und Strömen im LLC-Konverter sind in Abb. 5.59 zu sehen. Die Darstellung zeigt die gegeneinander verriegelten Ansteuersignale ( $x_{1\_HB}$ ;  $x_{2\_HB}$ ) der Halbbrücken-MOSFETs, die daraus resultierende Drain-Source-Spannung der Halbbrücken-MOSFETs ( $V_{DS1\_HB}$ ;  $V_{DS2\_HB}$ ) sowie den Stromfluss durch die primärseitigen Schalter des LLC-Konverters bei leicht überresonantem Betrieb ( $I_{D1\_HB}$ ;  $I_{D2\_HB}$ ). Weiterhin sind der sinusförmige Resonanzdrosselstrom ( $I_{LRES}$ ), der definierte dreieckförmige Magnetisierungsstrom ( $i_m$ ) und die Trafospaltung ( $V_{Trafo\_Pri}$ ) dargestellt. Der Strom durch die sekundärseitigen Gleichrichter ist sinusförmig ( $I_{DQ4\_SyncRec}$ ;  $I_{DQ5\_SyncRec}$ ).

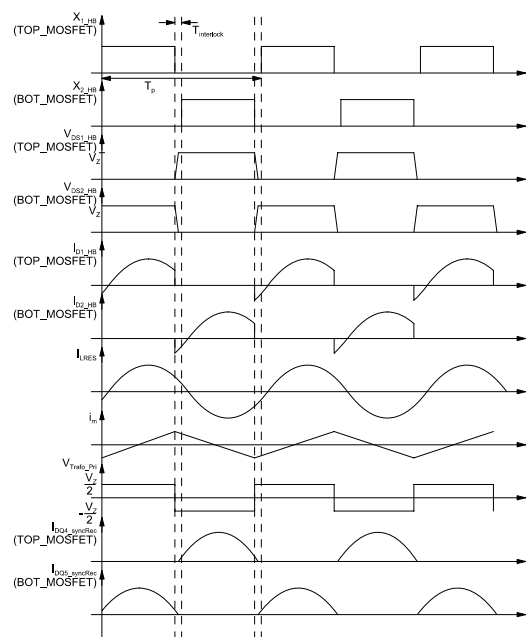


Abb. 5.59 Typische Verläufe am dreistufigen LLC-Konverter

Ausgehend von diesen Vorbetrachtungen wurde der LLC-Konverter dimensioniert, was sich aufgrund der Parametervielfalt als aufwendig darstellte. Die Veröffentlichung [4.10] fasst wichtige Designrichtlinien zusammen.

Die Auswahl der Magnetisierungsinduktivität ( $L_m$ ) bzw. des Magnetisierungsstromes ( $i_m$ ) ist für die Schaltungsfunktion bestimmend.

Der Stromeffektivwert und somit die Durchlassverluste der primärseitigen und sekundärseitigen Schalter werden durch die Magnetisierungsinduktivität mitbestimmt [4.10]. Um den Einfluss nach Möglichkeit gering zu halten, sollte die Induktivität ( $L_m$ ) einen möglichst großen Wert und somit der Magnetisierungsstrom ( $i_m$ ) einen kleinen Wert besitzen.

Der Grundgedanke des LLC-Konverters besteht darin, die parasitären Kapazitäten der Schaltung ( $C_{OSS}$  der primärseitigen MOSFETs + Trafokapazitäten) während der Zweigverriegel-



lungszeit umzuladen, um ZVS-Betrieb zu erreichen. Für dieses Vorhaben sollte der Magnetisierungsstrom so groß wie möglich gewählt werden.

Da ein großer Magnetisierungsstrom auch Nachteile birgt, ist es besser, den Magnetisierungsstrom auf die verwendeten Primär-MOSFETs bzw. die parasitäre Umgebung abzustimmen. Die Bestimmung der parasitären Kapazitäten sowohl vom Trafo und der Platine als auch von den MOSFETs gestaltet sich schwierig. Die Datenblattangabe von  $C_{OSS}$  des MOSFETs ist nur als grober Richtwert zu sehen, eine praktische Abstimmung des Magnetisierungsstromes auf die verwendeten MOSFETs ist unbedingt nötig.

Diese Problematik tritt besonders bei MOSFETs, die ein Kompensationsprinzip besitzen (z.B. CoolMOS der Firma Infineon) und damit stark nichtlineare Kapazitätsverläufe aufweisen, in den Vordergrund. Die Berechnungsgleichung für den Magnetisierungsstrom ist in [4.10] zu finden.

Der eingestellte Magnetisierungsstrom ( $i_m$ ) beim LLC-Konverter führt, durch die Umladung der parasitären Kapazitäten, zum ZVS-Betrieb und somit zum verlustlosen Einschalten. Dieser Magnetisierungsstrom muss während des Ausschaltvorgangs wieder abgeschaltet werden und verursacht Ausschaltverluste. Der Magnetisierungsstrom sollte aus diesem Grund nur so groß gewählt werden, dass er einen sicheren ZVS-Betrieb der primärseitigen Schalter erlaubt.

Da der LLC-Konverter in ein dreistufiges Konzept eingebunden ist, kann man sich bei der Auswahl der Magnetisierungsinduktivität ( $L_m$ ) auf die Notwendigkeit zur Umladung der parasitären Kapazitäten beschränken. In einem dreistufigen Konzept übernimmt der leistungsstellende Tiefsetzsteller die Spannungsregelung auch während der hold-up time. Die Ausnutzung der Verstärkungscharakteristik des LLC-Konverters ist somit nicht nötig.

Die Wahl der Betriebsart: unterresonantes, resonantes bzw. überresonantes Schalten wird im Kapitel 6.1 diskutiert.

Im Rahmen dieser Arbeit sollen nur einige Anregungen zur Auslegung des LLC-Konverters vermittelt werden, da es zu diesem Thema eine Vielzahl von Dissertationen und Veröffentlichungen gibt. Sehr hilfreich waren [4.10], [4.14] und [4.11]. In Bezug auf die Anwendung der Synchrongleichrichtung und die Auswahl des optimalen Betriebspunktes haben die Veröffentlichungen [4.7] und [4.5] hilfreiche Ansätze geliefert.

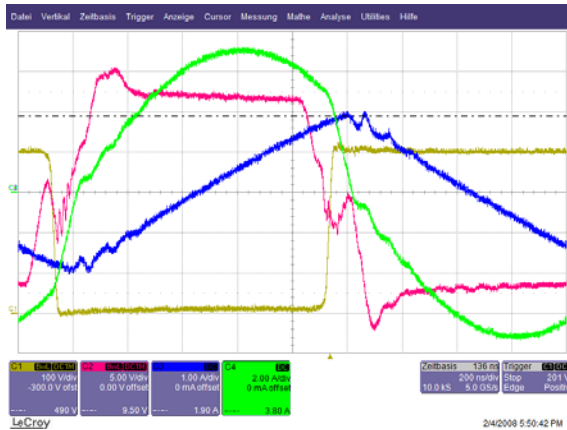
Ausgehend von diesen Vorbetrachtungen wurde diese Schaltung nach derselben Designphilosophie wie der SRC praktisch realisiert. Im zusammenfassenden Kapitel 6 werden wesentliche Aspekte des LLC-Konverters diskutiert.

### *Ergebnisse der Betrachtungen*

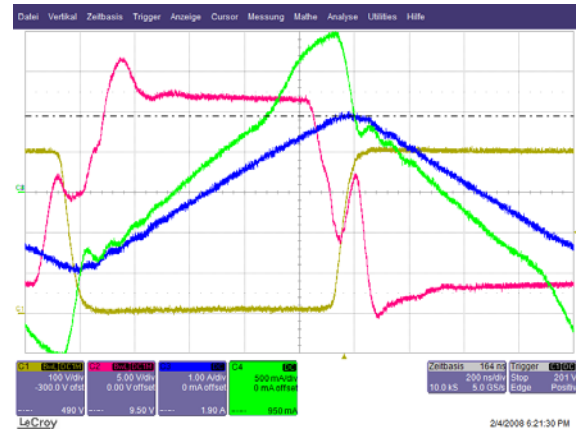
Bei der messtechnischen Analyse des LLC-Konverters wurde nach der gleichen Methode wie beim SRC vorgegangen.

Ein typischer Schaltverlauf für Vollastbetrieb ist in Abb. 5.60 zu sehen. Das Oszillogramm zeigt die Drain-Source-Spannung und die Gate-Source-Spannung eines Halbbrücken-MOSFETs. Weiterhin sind der Magnetisierungsstrom durch eine externe Magnetisierungsinduktivität und der primärseitige Trafostrom zu sehen. Der primärseitige Trafostrom beinhaltet den Stromfluss durch die externe Magnetisierungsinduktivität. Die Schaltung arbeitet leicht überresonant.

Der dreieckförmige Magnetisierungsstrom stellt den ZVS-Betrieb für die Halbbrücken-MOSFETs auch bei niedriger Last sicher (Abb. 5.61). Der ZVS-Betrieb funktioniert in der LLC-Anordnung selbst im Leerlauf der Schaltung, da der dreieckförmige Magnetisierungsstrom kontinuierlich fließt.



**Abb. 5.60** Ausgewählte Kurvenverläufe des LLC-Konverters; Ch1 & Ch2 Halbbrücken-MOSFETs; Ch3 Magnetisierungsstrom in externer Magnetisierungsinduktivität; Ch4 primärseitiger Trafostrom  
 @  $L_m=42,38 \mu\text{H}$ ;  $V_{IN\_LLC}=410 \text{ V}$ ;  
 $V_{OUT\_LLC}=27,3 \text{ V}$ ;  $I_{OUT\_LLC}=31,2 \text{ A}$ ;  
 $P_{OUT\_LLC}=852 \text{ W}$ ;  $f_{RES}=488 \text{ kHz}$ ;  
 $f_{SW}=500 \text{ kHz}$   
 (Ch1:  $V_{DS\_Q3}$ ; Ch2:  $V_{GS\_Q3}$ ; Ch3:  
 $I_{Lm\_extern}$ ; Ch4:  $I_{Trafo\_Pri}$ )



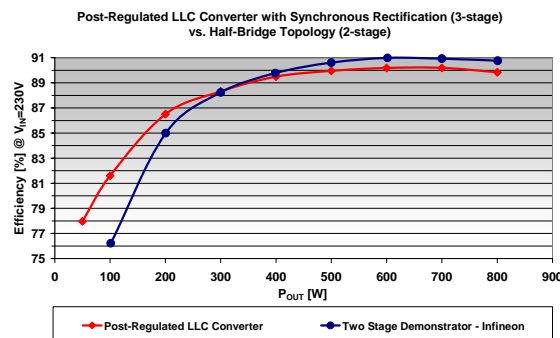
**Abb. 5.61** Ausgewählte Kurvenverläufe des LLC-Konverters; Ch1 & Ch2 Halbbrücken-MOSFETs; Ch3 Magnetisierungsstrom in externer Magnetisierungsinduktivität; Ch4 primärseitiger Trafostrom  
 @  $L_m=42,38 \mu\text{H}$ ;  $V_{IN\_LLC}=410 \text{ V}$ ;  
 $V_{OUT\_LLC}=29,6 \text{ V}$ ;  $I_{OUT\_LLC}=2,5 \text{ A}$ ;  
 $P_{OUT\_LLC}=74 \text{ W}$ ;  $f_{RES}=488 \text{ kHz}$ ;  
 $f_{SW}=500 \text{ kHz}$   
 (Ch1:  $V_{DS\_Q3}$ ; Ch2:  $V_{GS\_Q3}$ ; Ch3:  
 $I_{Lm\_extern}$ ; Ch4:  $I_{Trafo\_Pri}$ )

Die Einflüsse der Magnetisierungsinduktivität, der Zweigverriegelungszeit und der MOSFET-Technologie auf den Wirkungsgrad sowie den ZVS-Betrieb werden im Kapitel 6.2 beleuchtet.

Die Spannungsbelastung der Halbleiter in der Topologie liegt im zulässigen Bereich. Die Spannung an den Halbbrücken-MOSFETs ist, wie beim SRC, auf Zwischenkreispotential geclamppt, so dass keine Überspannungen möglich sind.

Die Spannung an den sekundären Gleichrichtern besitzt Spitzenwerte von ca.  $V_{DS}=80 \text{ V}$ .

Der verwendete Transformator besitzt topologiebedingt drei Wicklungen, die aufgrund eines hohen Verschachtelungsgrades sehr gut miteinander gekoppelt sind. Der Einfluss des Luftspaltes auf die Verluste im Transformator wird im Kapitel 6.3 erörtert.



**Abb. 5.62** Wirkungsgrad-Verläufe des LLC-Konverters mit sekundärseitigem Tiefsetzsteller im Vergleich zum zweistufigen Demonstrator @  $V_{IN\_RMS}=230 \text{ V}$

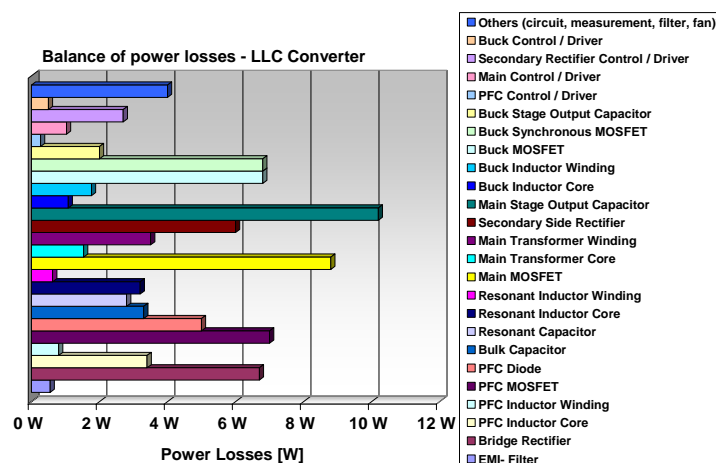
Der Systemwirkungsgrad ist in Abb. 5.62 zu sehen. Das Diagramm zeigt den Wirkungsgrad des LLC-Konverters mit sekundärseitigem Tiefsetzsteller im Vergleich zum zweistufigen Demonstrator. Der maximale Wirkungsgrad des LLC-Konverters mit sekundärseitigem Tief-

setzsteller liegt bei 230 V Eingangsspannung und 800 W Ausgangsleistung bei 89,84 %. Das ist im Vergleich zum zweistufigen Demonstrator ein um 1 % geringerer Wirkungsgrad. Für eine Ausgangsleistung von weniger als 300 W liegt der Wirkungsgrad des Post-Regulated LLC-Konverters über dem des zweistufigen Demonstrators. Dieser hohe Teillastwirkungsgrad wird aufgrund des ZVS-Betriebs bis hin zum Leerlauf erreicht.

Der Wirkungsgrad des LLC-Konverters kann mittels der Induktivität  $L_m$  so eingestellt werden, dass man entweder einen hohen Vollastwirkungsgrad erreicht ( $L_m$  groß;  $i_m$  klein) oder einen durchschnittlichen Wirkungsgrad ( $L_m$  klein;  $i_m$  groß) über den gesamten Arbeitsbereich. Es besteht ein Kompromiss zwischen dem Arbeitsbereich und dem Wirkungsgrad.

Eine Verkleinerung der Induktivität  $L_m$  bewirkt die Erhöhung der Durchlassverluste in den primärseitigen und sekundärseitigen Schaltern sowie eine Vergrößerung der Ausschaltverluste in den primärseitigen Schaltern.

Anhand des Wirkungsgrad-Verlaufes ist der Vorteil des LLC-Konverters in der Anwendung als „DC-Transformator“ zu sehen. Der Wandler besitzt über einen weiten Lastbereich einen hohen Wirkungsgrad. Eine Verlustleistungsbilanz soll über die Hauptverlustquellen bei 800 W Ausgangsleistung Aufschluss geben (Abb. 5.63, Abb. A. 75).



**Abb. 5.63** Verlustleistungsbilanz des dreistufigen LLC-Konverters mit sekundärseitigem Tiefsetzsteller @  $V_{IN,RMS}=230$  V;  $P_{OUT}=800$  W;  $\eta=89,85$  %

Die zwei Hauptverlustquellen sind die primärseitigen MOSFETs der Halbbrücke und die Ausgangskondensatoren der Hauptstufe. Diese Elemente werden durch den sinusförmigen Stromverlauf und die damit verbundenen hohen Effektivwerte stark belastet (Kapitel 3.6.3). Die Einschaltverluste in den primären Hauptstufen-MOSFETs sind durch den ZVS-Betrieb vernachlässigbar klein. Ausschaltverluste ergeben sich durch den abzuschaltenden Strom (Magnetisierungsstrom ( $i_m$ ) + Laststrom). Die Durchlassverluste werden zwar durch die Induktivität  $L_m$  beeinflusst, sind aber, aufgrund des nur geringen überresonanten Betriebes, geringer als im Serienresonanzkonverter. Im Serienresonanzkonverter muss zur Sicherstellung des ZVS-Betriebs ein überresonanter Betrieb gewählt werden, der einen hohen Spitzenwert des Stromes mit sich bringt.

Die Verluste in den sekundärseitigen Gleichrichtern setzen sich wie beim SRC im Wesentlichen aus Durchlassverlusten von MOSFET und Body-Diode, Speicherladungsverlusten in der Body-Diode des MOSFETs und Ansteuerungsverlusten zusammen (siehe Kapitel 3.7).

Die Durchlassverluste im LLC-Konverter sind etwas geringer als im stark überresonant arbeitenden SRC, da die Stromform im LLC-Konverter nahezu sinusförmig ist und einen geringeren Spitzenwert aufweist.

Die Speicherladungsverluste treten in der Anwendung auf, da immer ein Stromfluss über die Body-Diode erfolgt, bevor der MOSFET-Kanal eingeschaltet und nachdem er ausgeschaltet wird. Die Schaltverluste sind aufgrund des nahezu sinusförmigen Stromverlaufs vernachlässigbar gering. Die Ansteuerungsverluste sind aufgrund der hohen Schaltfrequenz von 500 kHz nicht vernachlässigbar. Sie wurden mittels der gleichen Maßnahme wie beim SRC reduziert.

Der sekundärseitige Tiefsetzsteller ist partiell hart schaltend, er verhält sich äquivalent zu dem im vorigen Kapitel 5.3.5 beschriebenen Tiefsetzsteller des SRC.

Die durchgeführten Temperaturmessungen an ausgewählten Bauelementen, decken sich mit den Ergebnissen der Verlustleistungsbilanz und bestätigen diese.

### *Wirtschaftliche Betrachtungen*

Die Auslegung des sekundärseitig geregelten LLC-Konverters ist, bis auf den abgewandelten Transformator (Luftspalt eingebracht), mit der Auslegung des SRC identisch. Die Kostenverteilung ist deshalb auch mit der des SRC identisch (Abb. A. 74). Sie kann dem Kapitel 5.3.5 entnommen werden.

### *Schlussfolgerungen*

Die Untersuchungen des LLC-Konverters haben gezeigt, dass bei diesem Wandler über den gesamten Lastbereich ein ZVS-Betrieb möglich ist. Der LLC-Konverter ist daher sehr gut als lastunabhängiger „DC-Transformator“ geeignet.

Der Wandler kann mittels der Magnetisierungsinduktivität  $L_m$  und dem Steuerwinkel (Grad der Überresonanz) so eingestellt werden, dass er entweder bei Volllast einen sehr hohen Wirkungsgrad ( $L_m$  groß;  $i_m$  klein) besitzt oder einen durchschnittlichen Wirkungsgrad ( $L_m$  klein;  $i_m$  groß) über einen weiten Lastbereich.

Der ZVS-Betrieb im Teillastbereich kann zu Lasten des Wirkungsgrades im Volllastbereich realisiert werden. Der Rückgang des Wirkungsgrades bei Volllast ist durch einen Anstieg der Abschaltverluste, bei großem Magnetisierungsstrom, in den primären MOSFETs begründet.

Die Auslegung des LLC-Konverters lässt sich an die jeweilige Anwendung anpassen, so auch an einen Server. Ein Server-SMPS arbeitet in der Regel in einem redundanten System und ist somit vorwiegend im Teillastbetrieb.

Aufgrund des nahezu schaltverlustfreien Betriebes eines LLC-Konverters kann dieser bei hohen Schaltfrequenzen z.B. 500 kHz, betrieben werden, um ein geringes Volumen der passiven Bauelemente zu erreichen.

Bei der Einbindung eines LLC-Konverters in eine dreistufige Lösung kann auf die Ausnutzung der Verstärkungscharakteristik des LLC-Konverters verzichtet werden. Bei der Auslegung kann man sich auf die Einstellung des ZVS-Betriebes, in Abhängigkeit von der Anwendung, beschränken. Diese erleichtert die Dimensionierung.

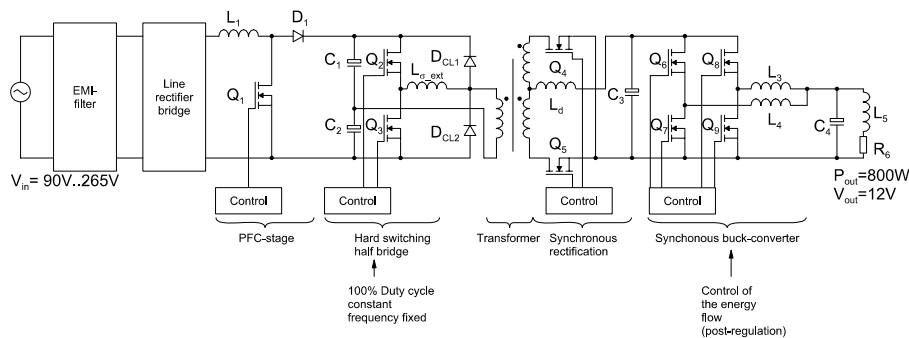
Die Einflüsse der Magnetisierungsinduktivität, der Zweigverriegelungszeit und der MOSFET-Technologie auf den Wirkungsgrad sowie den ZVS-Betrieb werden im Kapitel 6.2 beleuchtet.

Nach der Vorstellung der resonant schaltenden Lösungen soll noch ein partiell hart schaltender Konverter mit sekundärseitigem Tiefsetzsteller vorgestellt werden. Es wurde analysiert, ob sich dieser Konverter auch als „DC-Transformator“ eignet.

### 5.3.7 Partiiell hart schaltende Halbbrücke mit sekundärseitigem Tiefsetzsteller

#### Topologie, Parameter und Realisierung

Der partiell hart schaltende Halbbrückenkonverter mit sekundärseitigem Tiefsetzsteller ist der dritte Vertreter der sekundärseitig geregelten Schaltnetzteile. Die Hauptstufe ist partiell hart schaltend. Die Schaltung der Anordnung ist in Abb. 5.64 zu sehen. Die Notwendigkeit für die Einführung der externen Streuung ( $L_{\sigma\_ext}$ ) und der Clampingdioden ( $D_{CL}$ ) wurde, im Laufe der Untersuchungen an diesem Konverter, festgestellt.



**Abb. 5.64** Schaltplan des dreistufigen, partiell hart schaltenden Halbbrückenkonverters (Post-Regulated Topologie)

Eingangsseitig ist wieder eine PFC-Stufe angeordnet, die im Normalbetrieb eine konstante Zwischenkreisspannung von 410 V erzeugt. Die folgende spannungsgespeiste partiell hart schaltende Halbbrücke arbeitet mit 100 % Konvertertastverhältnis als „DC-Transformator“. Aufgrund dieser Arbeitsweise ist nur eine geringe sekundärseitige Glättungsdrossel  $L_d$  (660 nH) nötig, um eine Energiespeicherung während der Zweigüberlappung der primärseitigen MOSFETs zu gewährleisten.

Die Sekundärseite der Schaltung ist, wie schon die anderen Konverter, mit einem Synchrongleichrichter ausgestattet, um die Durchlassverluste möglichst gering zu halten. Die Regelstufe ist ebenfalls als zweiphasiger Tiefsetzsteller ausgeführt.

Die Schaltungsparameter sind mit den Parametern der anderen Post-Regulated Topologien identisch. Sie wurden bereits im Kapitel 5.3.5 zusammengefasst.

Beim direkten Vergleich des SRC und des HSHB-Konverters fallen einerseits die zusätzliche Induktivität  $L_{\sigma\_ext}$  und die Clampingdioden  $D_{CL}$  auf. Andererseits sind keine Resonanzelemente vorhanden.

Die Zusatzelemente sind nötig, um einen ZVS-Betrieb über einen weiten Lastbereich zu gewährleisten und um die Überspannungen an den sekundärseitigen Gleichrichter-MOSFETs zu reduzieren. Der Einfluss der externen Streuinduktivität und der Zweigverriegelungszeit auf das Schaltverhalten wird im Kapitel 5.3.9 beschrieben.

Typische idealisierte Verläufe von Spannungen und Strömen im HSHB-Konverter sind in Abb. 5.65 zu sehen. Die Darstellung zeigt die gegeneinander verriegelten Ansteuersignale ( $x_{1\_HB}$ ;  $x_{2\_HB}$ ) der Halbbrücken-MOSFETs, die daraus resultierende Drain-Source-Spannung der Halbbrücken-MOSFETs ( $V_{DS1\_HB}$ ;  $V_{DS2\_HB}$ ) sowie den Stromfluss durch die primärseitigen Schalter der partiell hart schaltenden Halbbrücke ( $I_{D1\_HB}$ ;  $I_{D2\_HB}$ ). Weiterhin ist der trapezförmige Stromfluss durch die externe Streuinduktivität ( $I_{L_{\sigma\_ext}}$ ) und die Trafospännung ( $V_{Trafo\_Pri}$ ) dargestellt. Der Strom durch die sekundärseitigen Gleichrichter ist ebenfalls trapezförmig ( $I_{DQ4\_SyncRec}$ ;  $I_{DQ5\_SyncRec}$ ). Die Spannung über den sekundären Gleichrichtern ist rechteckförmig und besitzt Überspannungsspitzen ( $V_{DSQ4\_SyncRec}$ ;  $V_{DSQ5\_SyncRec}$ ).

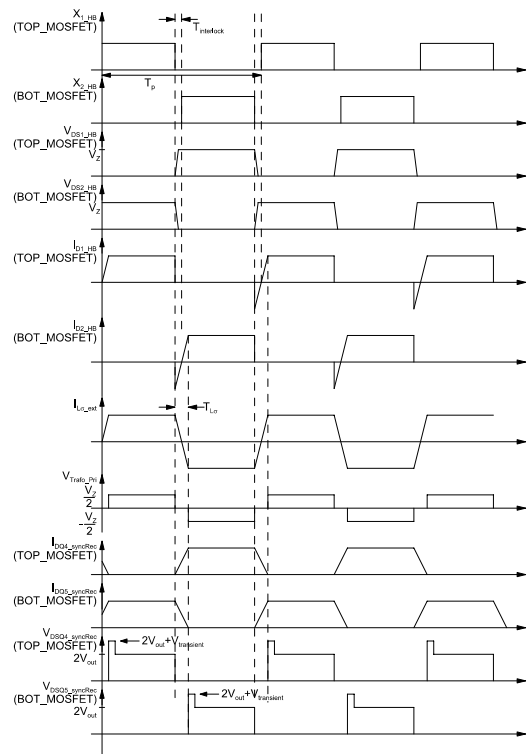


Abb. 5.65 Typische Verläufe am dreistufigen, partiell hart schaltenden Halbbrückenkonverter

Ausgehend von diesen Vorbetrachtungen, wurde diese Schaltung dimensioniert. Auf die Auslegung der Schaltungsteile wird im Rahmen dieser Arbeit nur ansatzweise eingegangen, da dies bereits ausführlich in den Veröffentlichungen [7.6], [7.8] und [7.2] getan wurde.

Es existiert ein Spannungsteiler zwischen der Streuinduktivität des Transformators und der Induktivität  $L_{\sigma\_ext}$ , die nachfolgend als externe Streuinduktivität bezeichnet wird.

Die Größe der Zusatzinduktivität  $L_{\sigma\_ext}$  hat einen Einfluss auf den ZVS-Betrieb der primärseitigen MOSFETs. Die in der resultierenden Streuung (Trafostreuung + externe Streuinduktivität) gespeicherte Energie wird zum Umladen der parasitären Kapazitäten, ähnlich wie beim LLC-Konverter, genutzt. Je größer  $L_{\sigma\_ext}$  gewählt wird, umso größer wird auch der Bereich, in dem ZVS-Betrieb möglich ist.

Die größere resultierende Streuung begrenzt die Stromsteilheit ( $di/dt$ ) und wirkt, in Kombination mit den Clampingdioden, positiv auf die Schaltüberspannungen an den sekundärseitigen MOSFETs. Die Clampingdioden leiten überschüssige Energie in den Zwischenkreis zurück. Je größer die Induktivität  $L_{\sigma\_ext}$  gewählt wird, umso flacher werden die Stromtransienten bei Schaltvorgängen ( $I_{L_{\sigma\_ext}}$  in Abb. 5.65).

Je größer die externe Streuinduktivität gegenüber der Trafostreuung ist, umso mehr Energie wird in  $L_{\sigma\_ext}$  gespeichert und kann über die Clampingdioden in den Zwischenkreis zurückgespeist werden. Diese zurückgespeiste Energie kann nicht in Form von Überspannungen an den sekundären Gleichrichtern wirksam werden. Die Überspannung an den Gleichrichter-MOSFETs wird somit durch Vergrößerung der externen Streuinduktivität reduziert.

Ausgehend von diesen Vorbetrachtungen wurde diese Schaltung nach derselben Designphilosophie wie der SRC praktisch realisiert. Am Ende dieses Kapitels werden einige wesentliche Einflussfaktoren auf das Schaltverhalten des HSHB-Konverters erörtert.

### Ergebnisse der Betrachtungen

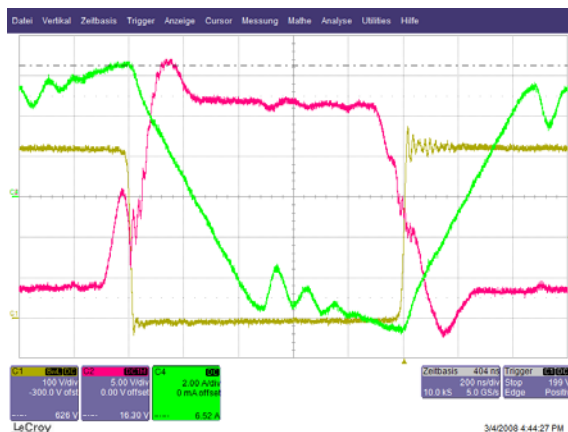
Bei der messtechnischen Analyse des HSHB-Konverters wurde nach der gleichen Methode wie beim SRC vorgegangen.

Ein typischer Schaltverlauf für einen Ausgangsstrom von 35 A, bei  $L_{\text{Sigma\_Pri}}=1,7 \mu\text{H}$  (Trafo-Streuung),  $L_{\text{Sigma\_ext}}=5,2 \mu\text{H}$  (externe Streuung) und  $L_d=660 \text{ nH}$  (Glättungsinduktivität) ist in Abb. 5.66 zu sehen. Das Oszillogramm zeigt die Drain-Source-Spannung, die Gate-Source-Spannung eines Halbbrücken-MOSFETs sowie den primärseitigen Trafostrom. Der Ausgangsstrom von 35 A tritt zusammen mit einer DC-Ausgangsspannung von 15,3 V auf, was eine Ausgangsleistung von  $P_{\text{OUT\_HSHB}}=532 \text{ W}$  ergibt. An dieser Größe ist der erste Nachteil der Schaltung zu erkennen, d.h. die Ausgangsspannung der Schaltung ist lastabhängig.

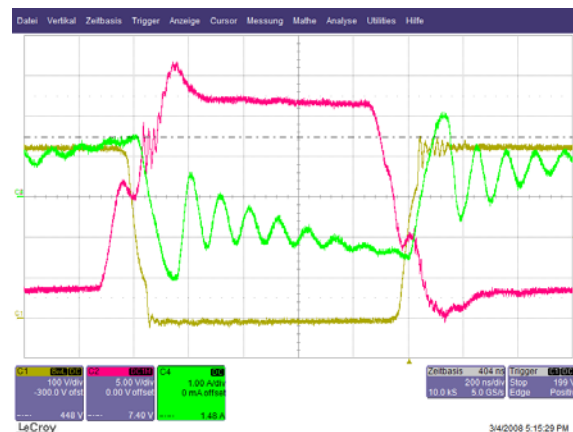
Der Strom von 35 A, der mit der entsprechenden Spannung, in einer resonanten Anordnung, eine Ausgangsleistung von ca. 900 W erzeugen würde, führt in der partiell hart schaltenden Anordnung zu großen Spannungsabfällen im System (auch über  $L_{\text{Sigma\_ext}}$ ). Diese Spannungsabfälle führen dazu, dass die Ausgangsleistung von 800 W nicht erreicht werden kann.

Anders als in einer resonanten Anordnung können sich die induktiven und die kapazitiven Widerstände in einer hart schaltenden Anordnung nicht kompensieren. Es entstehen Spannungsabfälle im Leistungspfad. Der Einfluss von  $L_{\text{Sigma\_ext}}$  auf den Leistungstransport wird beispielhaft in Kapitel 5.3.9 vorgestellt.

Im Oszillogramm Abb. 5.66 ist zu erkennen, dass für Volllast der ZVS-Betrieb möglich ist. Der ZVS-Betrieb funktioniert, solange genügend Strom zum Umladen der parasitären Kapazitäten im Kreis vorhanden ist. Mit abnehmendem Laststrom wird auch der Umladestrom geringer, was dazu führt, dass die ZVS-Bedingung nicht mehr erfüllt ist und Einschaltverluste in den Halbbrücken-MOSFETs entstehen (Abb. 5.67). Der Wirkungsgrad des Konverters nimmt mit dem Verlust der ZVS-Bedingung unverzüglich ab. Der Einfluss von  $L_{\text{Sigma\_ext}}$  auf den ZVS-Betrieb wird in Kapitel 5.3.9 exemplarisch vorgestellt.



**Abb. 5.66** Ausgewählte Kurvenverläufe des HSHB-Konverters; Ch1 & Ch2 Halbbrücken-MOSFETs; Ch4 primärseitiger Trafostrom @  $L_{\text{Sigma\_Pri}}=1,7 \mu\text{H}$ ;  $L_{\text{Sigma\_External}}=5,2 \mu\text{H}$ ;  $L_d=660 \text{ nH}$ ;  $V_{\text{IN\_HSHB}}=410 \text{ V}$ ;  $V_{\text{OUT\_HSHB}}=15,2 \text{ V}$ ;  $I_{\text{OUT\_HSHB}}=35 \text{ A}$ ;  $P_{\text{OUT\_HSHB}}=532 \text{ W}$ ;  $f_{\text{SW}}=500 \text{ kHz}$  (Ch1:  $V_{\text{DS\_Q3}}$ ; Ch2:  $V_{\text{GS\_Q3}}$ ; Ch4:  $I_{\text{Trafo\_Pri}}$ )



**Abb. 5.67** Ausgewählte Kurvenverläufe des HSHB-Konverters; Ch1 & Ch2 Halbbrücken-MOSFETs; Ch4 primärseitiger Trafostrom @  $L_{\text{Sigma\_Pri}}=1,7 \mu\text{H}$ ;  $L_{\text{Sigma\_External}}=5,2 \mu\text{H}$ ;  $L_d=660 \text{ nH}$ ;  $V_{\text{IN\_HSHB}}=410 \text{ V}$ ;  $V_{\text{OUT\_HSHB}}=26,5 \text{ V}$ ;  $I_{\text{OUT\_HSHB}}=6 \text{ A}$ ;  $P_{\text{OUT\_HSHB}}=159 \text{ W}$ ;  $f_{\text{SW}}=500 \text{ kHz}$  (Ch1:  $V_{\text{DS\_Q3}}$ ; Ch2:  $V_{\text{GS\_Q3}}$ ; Ch4:  $I_{\text{Trafo\_Pri}}$ )

Die Spannungsbelastung der primärseitigen Halbleiter in dieser Topologie liegt im zulässigen Bereich. Die Spannung an den Halbrücken-MOSFETs, ist wie beim SRC auf Zwischenkreispotential geclamped, so dass keine Überspannungen möglich sind. Die Spannung an den sekundären Gleichrichtern hängt direkt von der Größe der Induktivität  $L_{\sigma\_ext}$  ab. Ohne externe Streuinduktivität ( $L_{\sigma\_ext}$ ) und Clampingdioden ( $D_{CL}$ ) wurden bereits mit wenigen Watt Ausgangsleistung Spannungen von über 120 V an den sekundärseitigen Gleichrichtern gemessen. Mit einer externen Streuung von  $L_{\sigma\_ext}=5,2 \mu\text{H}$  in Verbindung mit Clampingdioden erreichte man im Bereich bis 35 A Ausgangsstrom Überspannungen zwischen  $V_{DS}=90 \text{ V}$  und 100 V.

Der verwendete Transformator besitzt topologiebedingt drei Wicklungen, die aufgrund eines hohen Verschachtelungsgrades sehr gut miteinander gekoppelt sind. Der Transformator ist mit dem im SRC bzw. LLC-Konverter identisch.

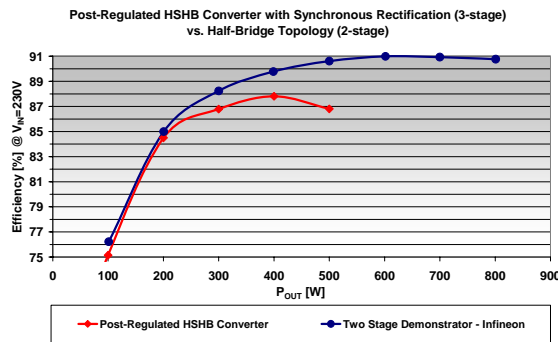


Abb. 5.68 Wirkungsgrad-Verläufe des partiell, hart schaltenden Halbbrückenkonverters mit sekundärseitigem Tiefsetzsteller im Vergleich zum zweistufigen Demonstrator @  $V_{IN\_RMS}=230 \text{ V}$

Der Systemwirkungsgrad ist in Abb. 5.68 zu sehen. Das Diagramm zeigt den Wirkungsgrad des HSHB-Konverters mit sekundärseitigem Tiefsetzsteller im Vergleich zum zweistufigen Demonstrator.

Die Wirkungsgrad-Messung an der partiell hart schaltenden Halbbrücke wurde nur bis zu einer Ausgangsleistung von 500 W durchgeführt, da bei dieser Leistung ein Ausgangsstrom von 35 A erreicht wurde. Dieser Strom entspricht dem Vollaststrom des SRC bzw. des LLC-Konverters. Der maximale Wirkungsgrad des HSHB-Konverters mit sekundärseitigem Tiefsetzsteller liegt bei 230 V Eingangsspannung und 400 W Ausgangsleistung bei 87,8 %. Der Konverter ist dem zweistufigen Demonstrator unterlegen.

Für Ausgangsleistungen kleiner als 200 W kommt es zu einem signifikanten Absinken des Wirkungsgrades, bedingt durch den Wegfall des ZVS-Betriebs.

Eine Verlustleistungsbilanz soll über die Hauptverlustquellen bei 500 W Aufschluss geben (Abb. 5.69, Abb. A. 76). Ein direkter Vergleich mit den zuvor untersuchten Konvertern ist, aufgrund der geringen Ausgangsleistung von 500 W nicht möglich.

Die zwei Hauptverlustquellen sind die primärseitigen MOSFETs der Halbbrücke und die sekundären Gleichrichter der Hauptstufe. Die Belastung der Ausgangskondensatoren der Hauptstufe ist im Vergleich zu den resonanten Topologien gering.

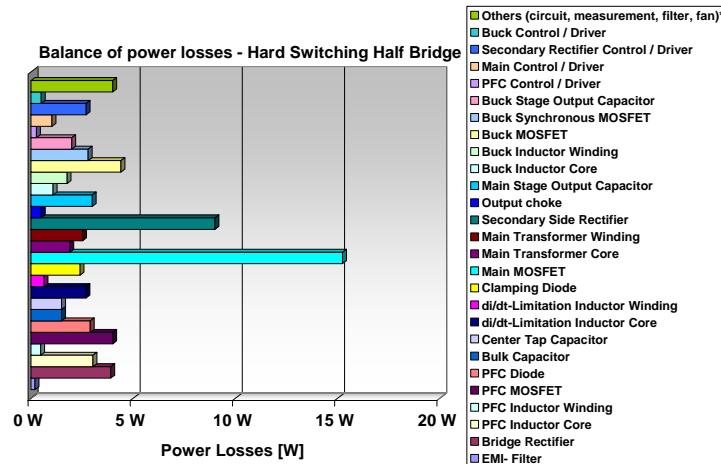
Die Einschaltverluste in den primären Hauptstufen-MOSFETs sind infolge des ZVS-Betriebs vernachlässigbar klein. Ausschaltverluste ergeben sich durch den abzuschaltenden, trapezförmigen Strom. Die Verluste in den sekundärseitigen Gleichrichtern beinhalten alle Verlustarten: Durchlassverluste von MOSFET und Body-Diode, Speicherladungsverluste in der Body-Diode des MOSFETs, Ansteuerungsverluste und natürlich Schaltverluste (siehe Kapitel 3.7). Für die Speicherladungsverluste und die Ansteuerungsverluste treffen die gleichen Aussagen wie beim SRC zu.

Der sekundärseitige Tiefsetzsteller ist partiell hart schaltend. Er verhält sich äquivalent zu dem im Kapitel 5.3.5 beschriebenen Tiefsetzsteller des SRC. Als Besonderheit ist zu bemer-



ken, dass der HSHB-Konverter bei 500 W Ausgangsleistung nur noch 15 V DC-Ausgangsspannung liefert und dadurch das Tastverhältnis des Tiefsetzstellers von 50 % auf 80 % ansteigt. Die Verlustaufteilung zwischen high-side- und low-side-MOSFET im Tiefsetzsteller ist nicht mehr symmetrisch. Detaillierte Angaben zur Verlustentstehung in einem Tiefsetzsteller werden in den Veröffentlichungen [5.2] und [7.2] gegeben.

Die durchgeführten Temperaturmessungen an ausgewählten Bauelementen decken sich mit den Ergebnissen der Verlustleistungsbilanz und bestätigen diese.



**Abb. 5.69** Verlustleistungsbilanz des dreistufigen partiell, hart schaltenden Halbbrückenkonverters mit sekundärseitigem Tiefsetzsteller @  $V_{IN,RMS}=230\text{ V}$ ;  $P_{OUT}=500\text{ W}$ ;  $\eta=86,80\%$

### *Wirtschaftliche Betrachtungen*

Die Kostenaufteilung auf die Hauptkomponenten des Schaltnetzteils wurde im Anhang offengelegt (Abb. A. 77). Die Designphilosophie entspricht der des SRC, deshalb treffen die gleichen wirtschaftlichen Betrachtungen wie beim SRC zu.

Ein wirtschaftlicher Vergleich zwischen der partiell hart schaltenden Lösung und den zuvor betrachteten resonant schaltenden Lösungen zeigt, dass die hart schaltende Lösung durch die Notwendigkeit der externen Streuinduktivität ( $L_{\sigma\_ext}$ ) und der Clampingdioden ( $D_{CL}$ ) keinen Vorteil in der Bauelementanzahl und den Kosten aufweist.

### *Schlussfolgerungen*

Die Untersuchungen der partiell hart schaltenden Halbbrücke haben gezeigt, dass dieser Wandler in keinem Betriebszustand als „DC-Transformator“ geeignet ist. Das Verhalten des Konverters ist sehr lastabhängig.

Mittels der Zusatzelemente (externe Streuinduktivität ( $L_{\sigma\_ext}$ ), Clampingdioden ( $D_{CL}$ )) wird ein arbeitspunktabhängiger ZVS-Betrieb und gleichzeitig eine gemäßigte Spannungsbelastung der sekundärseitigen Gleichrichter erreicht. Die externe Streuinduktivität limitiert durch ihren Spannungsabfall aber auch die Ausgangsleistung des Wandlers, so dass die geforderte Leistung von 800 W nicht erreicht werden kann.

Bei diesem Wandler besteht ein Kompromiss zwischen maximal abgebarer Ausgangsleistung und der Überspannung an den sekundärseitigen MOSFETs.

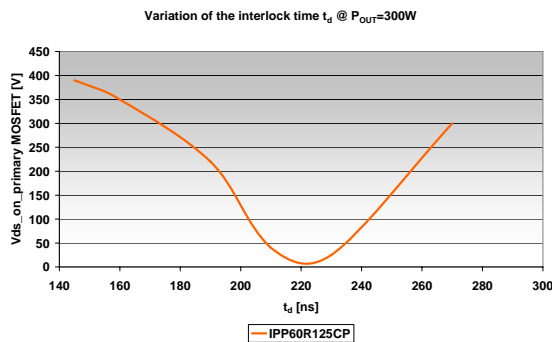
Ein partiell hart schaltender Wandler ist nicht als „DC-Transformator“ verwendbar, da sich die induktiven und die kapazitiven Widerstände in einer hart schaltenden Anordnung, im Gegensatz zu einer resonanten Anordnung, nicht aufheben können. Durch dieses Verhalten entstehen im Leistungspfad lastabhängige Spannungsabfälle.

### 5.3.8 Einflussfaktoren auf das Schaltverhalten des Serienresonanzkonverters

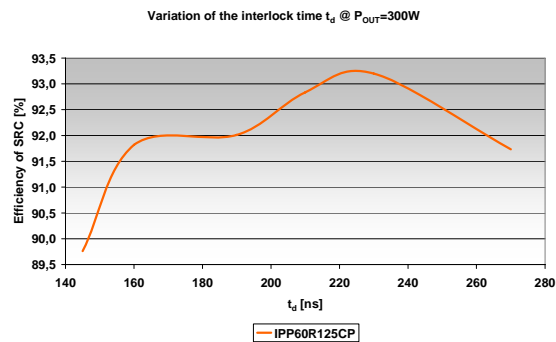
Der Serienresonanzkonverter mit sekundärseitigem Tiefsetzsteller wurde im Kapitel 5.3.5 vorgestellt. Es wurde bei den Betrachtungen festgestellt, dass der Wirkungsgrad des Serienresonanzkonverters stark von den Einschaltverlusten der primärseitigen MOSFETs abhängig ist. Schaltverluste entstehen, wenn kein ZVS-Betrieb mehr möglich ist. Beim SRC bedeutet das, dass mit absinkendem Laststrom nicht mehr genügend Energie zur Verfügung steht, um die parasitären Kapazitäten im Kreis umzuladen.

Dieser Abschnitt soll anhand von Messergebnissen den Einfluss der Zweigverriegelungszeit, der Schaltfrequenz und der MOSFET-Technologie auf das Schaltverhalten des SRC deutlich machen.

#### Einfluss der Zweigverriegelungszeit



**Abb. 5.70** Einfluss der Zweigverriegelungszeit  $t_d$  auf die Spannung mit der die primärseitigen Halbbrücken-MOSFETs einschalten; SRC; CoolMOS IPP60R125CP; überresonanter Betrieb @  $L_{RES}=6,5 \mu H$ ;  $C_{RES}=16,4 nF$ ,  $f_{RES}=488 kHz$ ;  $f_{SW}=530 kHz$ ;  $V_{IN}=410 V$ ;  $P_{OUT}=300 W$



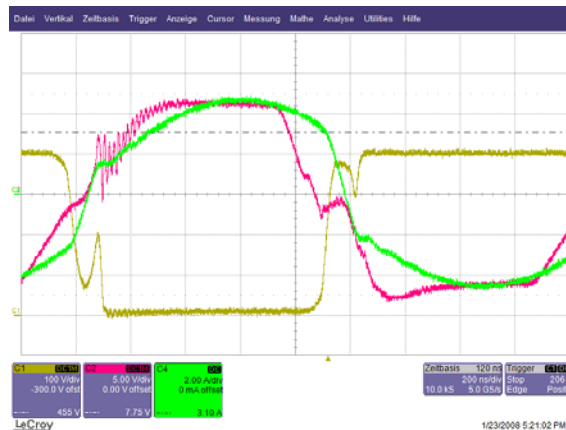
**Abb. 5.71** Einfluss der Zweigverriegelungszeit  $t_d$  auf den Wirkungsgrad des SRC; CoolMOS IPP60R125CP; überresonanter Betrieb @  $L_{RES}=6,5 \mu H$ ;  $C_{RES}=16,4 nF$ ,  $f_{RES}=488 kHz$ ;  $f_{SW}=530 kHz$ ;  $V_{IN}=410 V$ ;  $P_{OUT}=300 W$

Die Zweigverriegelungszeit in der primärseitigen Halbbrücke des SRC hat direkten Einfluss auf den ZVS-Betrieb der MOSFETs. Abb. 5.70 zeigt den Zusammenhang zwischen Zweigverriegelungszeit und der Spannung, auf die die primärseitigen MOSFETs einschalten. Wählt man in Abhängigkeit vom MOSFET eine zu geringe Zweigverriegelungszeit  $t_d$  (140 ns...210 ns), so kann man kein ZVS erreichen. Begründet ist dieses Verhalten dadurch, dass beim aktuell vorhandenen Laststrom nicht genügend Zeit für das Umladen der parasitären Kapazitäten vorhanden ist.

Wählt man eine zu große Zweigverriegelungszeit  $t_d$  (>230 ns), dann kommt es zum nochmaligen Ansteigen der Drain-Source-Spannung des MOSFETs, bevor dieser einschaltet (Abb. 5.72). Zu begründen ist diese Verhaltensweise durch die nichtlinearen parasitären Kapazitäten der MOSFETs und dadurch, dass während der großen Verriegelungszeit nicht genügend Strom vorhanden ist um diese Kapazitäten komplett zu entladen.

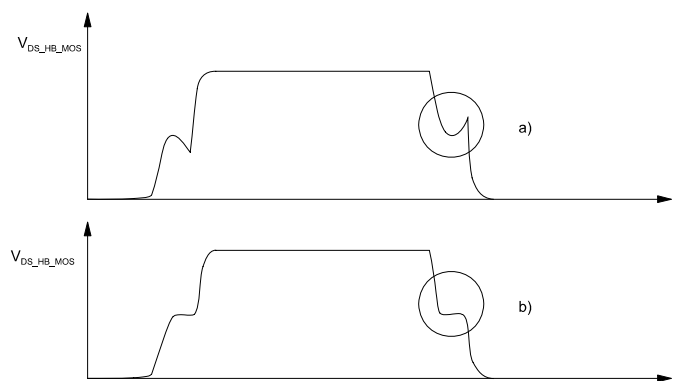
Man schaltet nicht im Minimum der Drain-Source-Spannung ein und erreicht somit kein ZVS bzw. kein Einschalten bei minimaler Drain-Source-Spannung.

Der in Abb. 5.70 dargestellte Verlauf gilt sowohl für Kompensationsbauelemente der 1. Generation als auch für Kompensationsbauelemente der 2. Generation.



**Abb. 5.72** Ausgewählte Kurvenverläufe des SRC; CoolMOS IPP60R125CP; nochmaliges Ansteigen der Drain-Source-Spannung vor dem Einschalten des MOSFETs Ch1; Ch1 & Ch2 Halbbrücken-MOSFET; Ch4 primärseitiger Trafostrom  
 @  $V_{IN\_SRC}=410\text{ V}$ ;  $V_{OUT\_SRC}=27,7\text{ V}$ ;  $I_{OUT\_SRC}=22,3\text{ A}$ ;  $P_{OUT\_SRC}=618\text{ W}$ ;  $f_{RES}=488\text{ kHz}$ ;  $f_{SW}=530\text{ kHz}$  (Ch1:  $V_{DS\_Q3}$ ; Ch2:  $V_{GS\_Q3}$ ; Ch4:  $I_{Trafo\_Pri}$ )

Kompensationsbauelemente der 1. Generation sind z.B. der CoolMOS C3 von Firma Infineon und der MDmesh I von Firma ST. Kompensationsbauelemente der 2. Generation sind z.B. der CoolMOS CP von Firma Infineon und der MDmesh II von Firma ST.



**Abb. 5.73** Drain-Source-Spannungsverläufe in Abhängigkeit von der MOSFET Technologie;  
 a) MOSFET in Kompensationstechnologie der 1. Generation (z.B. CoolMOS C3);  
 b) MOSFET in Kompensationstechnologie der 2. Generation (z.B. CoolMOS CP)

Eine prinzipielle Gegenüberstellung der Spannungsverläufe zwischen einem Kompensationsbauelemente der 1. Generation und einem der 2. Generation ist in Abb. 5.73 zu sehen. Aufgrund der stärker nichtlinearen Ausgangskapazität der Kompensationsbauelemente der 2. Generation ist die Kurve der Drain-Source-Spannung bei großer Zweigverriegelungszeit (Abb. 5.73 b)) flacher als bei einem Kompensationsbauelement der 1. Generation (Abb. 5.73 a)). Man schaltet daher beim Kompensationsbauelement der 2. Generation über einen weiten Bereich, auch bei Variation der Zweigverriegelungszeit, auf ähnliche Spannungswerte  $V_{DS}$  ein.

Ein Standard-MOSFET in Planar-Technologie erreicht hingegen sehr schnell eine Drain-Source-Spannung von 0 V. Er lässt sich sehr gut entlastet einschalten.

Im Wirkungsgrad des Serienresonanzkonverters ist ebenfalls der Zusammenhang zwischen Zweigverriegelung und ZVS-Betrieb zu sehen (Abb. 5.71). Für zu kleine Verriegelungszeiten  $t_d$  ist der Wirkungsgrad gering. Mit steigender Verriegelungszeit  $t_d$  nimmt der Wirkungsgrad zu.

Eine Abnahme der Effizienz, bei Vergrößerung der Zweigverriegelungszeiten ( $>230$  ns), geht mit dem Verlust der ZVS-Bedingung einher (Abb. 5.70). Der in Abb. 5.71 dargestellte Verlauf gilt sowohl für Kompensationsbauelemente der 1. Generation als auch für Kompensationsbauelemente der 2. Generation.

Die Wahl der optimalen Zweigverriegelungszeit ist von den parasitären Kapazitäten (primärseitige MOSFETs  $C_{OSS}$  + Trafokapazitäten) und vom Umladestrom für die Kapazitäten abhängig. Der Umladestrom ergibt sich aus dem abgeschalteten Laststrom, der mit dem Steuerwinkel (Grad der Überresonanz) zusammenhängt.

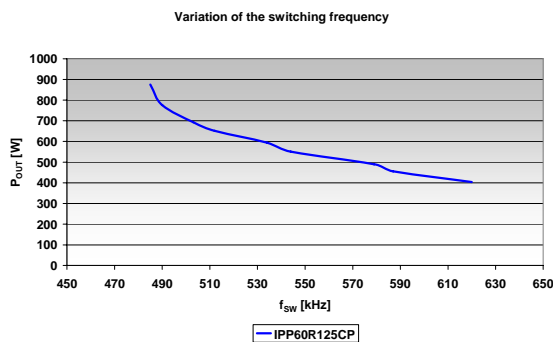
Die optimale Zweigverriegelungszeit für das vorgestellte Beispiel liegt bei 220 ns (Abb. 5.70).

Mittels einer lastabhängigen Anpassung der Zweigverriegelungszeit kann der Arbeitsbereich des Serienresonanzkonverters nur minimal erweitert werden. Ein ZVS-Betrieb, bis hin zum Leerlauf, ist nicht möglich, da kein Strom zur Umladung der parasitären Kapazitäten zur Verfügung steht.

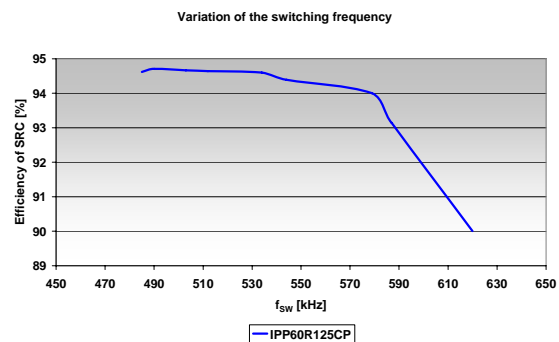
### *Einfluss der Schaltfrequenz*

Eine Beeinflussung der Schaltvorgänge des SRC ist auch über die Schaltfrequenz möglich. Da mit absinkendem Laststrom auch der Strom absinkt, der zum Umladen der parasitären Kapazitäten zur Verfügung steht, kann durch eine Frequenzerhöhung der Steuerwinkel (Grad der Überresonanz) und damit der ZVS-Betrieb angepasst werden.

In Abb. 5.74 ist der Einfluss der Schaltfrequenz auf die Grenzleistung zu sehen, bei der der ZVS-Betrieb gerade verlassen wird. Da man mit einer Schaltfrequenz von 620 kHz den ZVS-Betrieb schon bei 400 W Ausgangsleistung verlässt, ist eine Frequenzerhöhung keine sinnvolle Lösung zur Erzielung von Nullspannungsschalten bis in den Niedriglastbereich. Die benötigte Frequenz bei 100 W Ausgangsleistung liegt bei ca. 800 kHz. Abgesehen von den großen Ansteuerungsverlusten in den MOSFETs bleibt das Problem des ZVS-Wegfalls im Leerlauf der Schaltung bestehen.



**Abb. 5.74** Einfluss der Schaltfrequenz  $f_{sw}$  auf die Grenzleistung zwischen ZVS-Betrieb und hart schaltendem Betrieb; SRC; überresonanter Betrieb; CoolMOS IPP60R125CP  
 @  $L_{RES}=6,5 \mu\text{H}$ ;  $C_{RES}=16,4 \text{ nF}$ ,  
 $f_{RES}=488 \text{ kHz}$ ;  $t_d=220 \text{ ns}$ ;  $V_{IN}=410 \text{ V}$



**Abb. 5.75** Einfluss der Schaltfrequenz  $f_{sw}$  auf den Wirkungsgrad des SRC; variable Ausgangsleistung an der Grenze zwischen ZVS-Betrieb und hart schaltendem Betrieb; SRC; überresonanter Betrieb; CoolMOS IPP60R125CP;  
 @  $L_{RES}=6,5 \mu\text{H}$ ;  $C_{RES}=16,4 \text{ nF}$ ,  
 $f_{RES}=488 \text{ kHz}$ ;  $t_d=220 \text{ ns}$ ;  $V_{IN}=410 \text{ V}$

Abb. 5.75 zeigt den Zusammenhang zwischen Wirkungsgrad und Schaltfrequenz. Mit Verringerung der Ausgangsleistung wurde die Schaltfrequenz erhöht, um den Wirkungsgrad kon-

stant zu halten. Ab ca. 590 kHz Schaltfrequenz kommt es zum stärkeren Absinken des Wirkungsgrades, weil die Frequenz aus Ansteuerungsverlustgründen und wegen Ansteuerproblemen in den Synchrongleichrichtern nicht weiter erhöht werden konnte.

Zusammenfassend kann man bemerken, dass sowohl die Anpassung der Zweigverriegelungszeit als auch die Schaltfrequenzerhöhung mit absinkender Last nur begrenzten Einfluss auf den ZVS-Betrieb und den Wirkungsgrad haben.

Eine Praxistauglichkeit dieser Lösungen ist nicht vorhanden, da sie nur mit einem enormen steuerungstechnischen Aufwand zu realisieren sind und trotzdem keine Funktion der Schaltung im Leerlauf garantieren können.

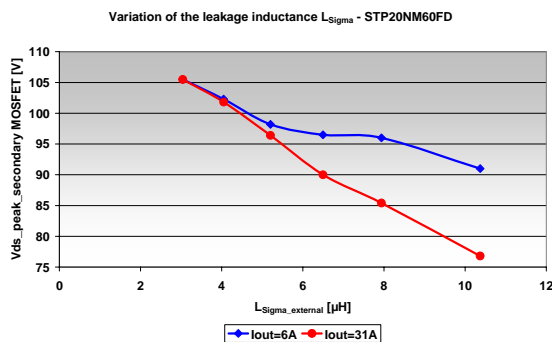
### 5.3.9 Einflussfaktoren auf das Schaltverhalten der partiell hart schaltenden Halbbrücke

Die partiell hart schaltende Halbbrücke mit sekundärseitigem Tiefsetzsteller wurde im Kapitel 5.3.7 vorgestellt. Es wurde bei den Betrachtungen festgestellt, dass für den Betrieb unbedingt eine externe Streuinduktivität in Kombination mit Clampingdioden nötig ist.

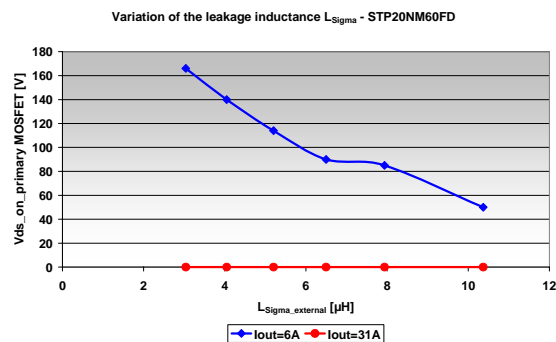
Die Streuinduktivität hat Einfluss auf den ZVS-Betrieb des Konverters, auf die Spannungsbelastung der sekundärseitigen Gleichrichter-MOSFETs, auf die maximal übertragbare Leistung des Konverters und nicht zuletzt auf den Wirkungsgrad.

Dieser Abschnitt soll den Einfluss der externen Streuinduktivität sowie der Zweigverriegelungszeit auf das Schaltverhalten des HSHB-Konverters vorstellen.

#### Einfluss der Streuinduktivität



**Abb. 5.76** Einfluss der externen Streuinduktivität  $L_{\Sigma\_external}$  auf den Spitzenwert der Spannung, mit der die sekundärseitigen Gleichrichter-MOSFETs belastet werden; HSHB-Konverter; MOSFET STP20NM60FD  
 @  $L_{\Sigma\_Pri}=1,7 \mu\text{H}$ ;  $L_d=660 \text{ nH}$ ;  
 $f_{sw}=500 \text{ kHz}$ ;  $t_d=145 \text{ ns}$ ;  
 $V_{IN\_HSHB}=410 \text{ V}$



**Abb. 5.77** Einfluss der externen Streuinduktivität  $L_{\Sigma\_external}$  auf die Spannung, mit der die primärseitigen Halbbrücken-MOSFETs einschalten; HSHB-Konverter; MOSFET STP20NM60FD  
 @  $L_{\Sigma\_Pri}=1,7 \mu\text{H}$ ;  $L_d=660 \text{ nH}$ ;  
 $f_{sw}=500 \text{ kHz}$ ;  $t_d=145 \text{ ns}$ ;  
 $V_{IN\_HSHB}=410 \text{ V}$

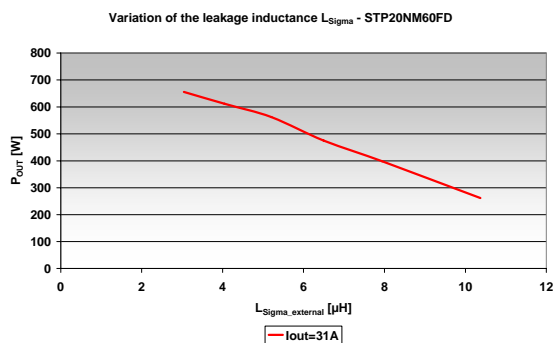
Die externe Streuinduktivität ( $L_{\sigma\_ext}$ ) beeinflusst die Spannungsbelastung der sekundärseitigen Gleichrichter-MOSFETs (Abb. 5.76). Durch eine Vergrößerung der Induktivität kommt es zu einer Reduktion der Überspannung. Die Reduktion der Spannungsbelastung ist auch vom Laststrom  $I_{OUT}$  abhängig, da dieser die, in der Induktivität, gespeicherte Energie bestimmt.

Die Induktivität  $L_{\sigma\_ext}$  wirkt sich ebenfalls auf den ZVS-Betrieb bzw. die Spannung, mit der die primärseitigen Halbbrücken-MOSFETs einschalten, aus (Abb. 5.77).

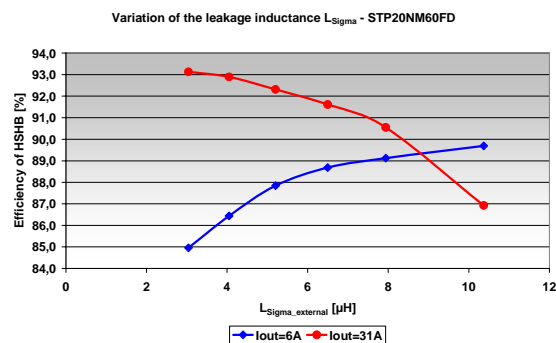
Bei großem Laststrom ( $I_{OUT}=31\text{ A}$ ) ist bereits genügend Energie in der Trafostreuinduktivität vorhanden, um die parasitären Kapazitäten in der Schaltung umzuladen. Deshalb ist bei großen Strömen kein Einfluss von  $L_{\sigma\_ext}$  auf den ZVS-Betrieb zu sehen.

Im Teillastbereich ist hingegen wenig Laststrom vorhanden ( $I_{OUT}=6\text{ A}$ ), so dass mittels der externen Streuinduktivität und der darin gespeicherten Energie Einfluss auf den ZVS-Betrieb der primärseitigen MOSFETs genommen werden kann (Abb. 5.77).

Der nachteilige Einfluss der Induktivität  $L_{\sigma\_ext}$  auf die übertragbare Leistung des Konverters wurde bereits im Abschnitt 5.3.7 angedeutet. Abb. 5.78 verdeutlicht noch einmal den gravierenden Rückgang der Ausgangsleistung bei konstantem Ausgangsstrom mit Zunahme der externen Streuinduktivität. Anhand dieses Diagramms lässt sich leicht erkennen, warum die Schaltung bei sehr hohen Schaltfrequenzen (z.B. 500 kHz) nicht praxistauglich ist.



**Abb. 5.78** Einfluss der externen Streuinduktivität  $L_{\sigma\_external}$  auf die maximale Ausgangsleistung des HSHB-Konverters; MOSFET STP20NM60FD  
 @  $L_{\sigma\_Pri}=1,7\text{ }\mu\text{H}$ ;  $L_d=660\text{ nH}$ ;  
 $f_{SW}=500\text{ kHz}$ ;  $t_d=145\text{ ns}$ ;  
 $V_{IN\_HSHB}=410\text{ V}$



**Abb. 5.79** Einfluss der externen Streuinduktivität  $L_{\sigma\_external}$  auf den Wirkungsgrad des HSHB-Konverters; MOSFET STP20NM60FD  
 @  $L_{\sigma\_Pri}=1,7\text{ }\mu\text{H}$ ;  $L_d=660\text{ nH}$ ;  
 $f_{SW}=500\text{ kHz}$ ;  $t_d=145\text{ ns}$ ;  
 $V_{IN\_HSHB}=410\text{ V}$

Der Einfluss der externen Streuinduktivität ist auch im Wirkungsgrad des Konverters zu erkennen (Abb. 5.79). Für große Ausgangsströme ( $I_{OUT}=31\text{ A}$ ) wirkt sich die Induktivität negativ aus, da durch sie nur zusätzliche Verluste im System entstehen. Der ZVS-Betrieb wird schon mit kleinen Induktivitäten erreicht.

Für den Teillastbetrieb, mit geringen Ausgangsströmen ( $I_{OUT}=6\text{ A}$ ), wirkt die Induktivität verbessernd auf den Wirkungsgrad. Dieses Verhalten ist durch den Einfluss von  $L_{\sigma\_ext}$  auf den ZVS-Betrieb, der primärseitigen Halbbrücken-MOSFETs, begründet (Abb. 5.77).

Da der Einfluss der externen Streuinduktivität lastabhängig ist, muss ein Kompromiss für die Auslegung gefunden werden. Für einen durchschnittlichen Wirkungsgrad über einen weiten Lastbereich könnte der Induktivitätswert im Schnittpunkt beider Wirkungsgrad-Kurven (ca. 9 µH) gewählt werden (Abb. 5.79).

### Einfluss der Zweigverriegelungszeit

Angelehnt an die Betrachtungen des Serienresonanzkonverters besitzen auch die Schaltvorgänge der partiell hart schaltenden Halbbrücke eine Abhängigkeit von der Zweigverriegelungszeit der primärseitigen MOSFETs.

Infolge der Vergrößerung der Zweigverriegelungszeit kommt es, ähnlich wie in Abb. 5.70, zu einer Verringerung der Spannung, auf die die primärseitigen MOSFETs einschalten. Wird die Zeit zu groß gewählt, steigt auch im Fall der partiell hart schaltenden Halbbrücke die Spannung, auf die die primärseitigen MOSFETs einschalten, wieder an. Dieses Verhalten spiegelt sich auch im Wirkungsgrad wieder, der sich ähnlich zu Abb. 5.71 verhält.

Zusammenfassend kann man bemerken, dass die partiell hart schaltende Halbbrücke, bei hohen Schaltfrequenzen, nicht als „DC-Transformator“ geeignet ist. Die Induktivität  $L_{\sigma\_ext}$  ist für den Betrieb des Konverters bei hohen Schaltfrequenzen (z.B. 500 kHz) zwingend erforderlich, ihre Wirkung beeinflusst aber das Schalt- und Übertragungsverhalten zu stark.

### 5.3.10 Ergebnisse der Untersuchungen an Post-Regulated Schaltnetzteilen

Im Kapitel 5.3 wurden verschiedene sekundärseitig geregelte Schaltnetzteile vorgestellt. Es wurden sowohl hart schaltende als auch resonante Topologien untersucht. Der Serienresonanzkonverter mit sekundärseitigem Tiefsetzsteller und der daraus abgeleitete LLC-Konverter mit sekundärseitigem Tiefsetzsteller sind die Vertreter des resonanten Hauptwandler-Konzeptes. Die partiell hart schaltende Halbbrücke mit sekundärem Tiefsetzsteller repräsentiert die hart schaltenden Wandler. In Abb. 5.80 sind die Demonstratoren abgebildet, die nach einer einheitlichen Designphilosophie entwickelt wurden.



**Abb. 5.80** Ansicht der zwei Post-Regulated Schaltnetzteile (v.l.n.r.: SRC/ LLC-Konverter, HSHB-Konverter)

Alle diese Topologien besitzen auf der Sekundärseite einen Tiefsetzsteller zur Leistungsstellung und eine Hauptstufe, die mit 100 % Konvertertastverhältnis arbeitet.

Neben dem prinzipiellen Vergleich zweistufiger und dreistufiger Schaltnetzteiltopologien wurden bei den Post-Regulated SMPS auch Schaltfrequenzgrenzen und Einflüsse auf das Bauvolumen der Netzteile untersucht. Die Parameter der verglichenen Schaltungen sind in Tab. 5.5 zu sehen.

Der Einfluss der Schaltfrequenz auf das PFC-Drosselvolumen und den Wirkungsgrad wurde bereits im Kapitel 3.2.5 vorgestellt. Bei den Post-Regulated SMPS kam aus Wirkungsgrad-Gründen eine Schaltfrequenz von 125 kHz in der PFC-Stufe zum Einsatz.

Der Einfluss der Schaltfrequenz auf die passiven Bauelemente im Hauptwandler wurde am Beispiel des Serienresonanzkonverters im Kapitel 5.3.3 eingehend untersucht. Dabei wurde aus Sicht der Volumenminimierung des Transformators und der Resonanzdrossel eine Schaltfrequenz von 500 kHz gewählt.

	Zweistufiger Demonstrator	Post-Regulated Konverter
$V_{IN\_RMS}$	90 - 265 V	90 - 265 V
$V_{OUT}$	12 V	12 V
$P_{OUT}$	800 W	800 W
$f_{PFC}$	130 kHz	125 kHz
$f_{Mainstage}$	100 kHz	500 kHz
$f_{Buck}$		500 kHz

Tab. 5.5 Parameter des zweistufigen Demonstrators und der Post-Regulated Schaltnetzteile

Der Gesichtspunkt der Volumenminimierung spielte auch bei der Auswahl der Schaltfrequenz im Tiefsetzsteller eine Rolle. In dieser Leistungsstufe wird mit 500 kHz pro Phase gearbeitet.

Bei der vergleichenden Analyse der Verlustleistungsbilanzen aller Wandler wurde festgestellt, dass die Hauptverluste bei den Post-Regulated Schaltnetzteilen in den MOSFETs der Hauptstufe, des Tiefsetzstellers und im Synchrongleichrichter anfallen. Zusätzlich entstanden bei den resonanten Topologien große Verluste in den Ausgangskondensatoren des Hauptwandlers. Der Grund dafür liegt in der topologiebedingten großen sinusförmigen Strombelastung (siehe Kapitel 3.6.3).

Bei niedriger Eingangsspannung (90 V) gewinnen die Verluste des PFC-MOSFETs ebenfalls an Bedeutung.

Die hervorstechenden Verluste in den MOSFETs deuten klar auf einen hohen Schaltverlustanteil aufgrund der relativ hohen Schaltfrequenzen hin. Unterstrichen wird diese Aussage beim Vergleich mit der Verlustleistungsbilanz des zweistufigen Demonstrators, der mit relativ niedrigen Schaltfrequenzen arbeitet (Abb. 4.6). Diese Erkenntnisse sind mit den Ergebnissen in den Pre-Regulated Topologien identisch.

Die Leistungsdichte eines Schaltnetzteils wird, neben den passiven Komponenten, massiv durch den Kühlkörper bestimmt. Ein System mit schlechtem Wirkungsgrad benötigt einen großen Kühlkörper, um die anfallenden Verluste abzuführen. Die Erzielung einer hohen Leistungsdichte ist somit direkt mit der Forderung nach einem hohen Wirkungsgrad verknüpft.

In Grenzbereichen höchster Wirkungsgrade bzw. höchster Leistungsdichte kann es dazu kommen, dass eine hohe Leistungsdichte und ein hoher Wirkungsgrad nicht gleichzeitig erreicht werden können. Dies gilt besonders dann, wenn der sehr hohe Wirkungsgrad nur mit geringen Schaltfrequenzen erlangt werden kann. Geringe Schaltfrequenzen bewirken, dass passive Bauelemente mit großem Volumen verwendet werden müssen.

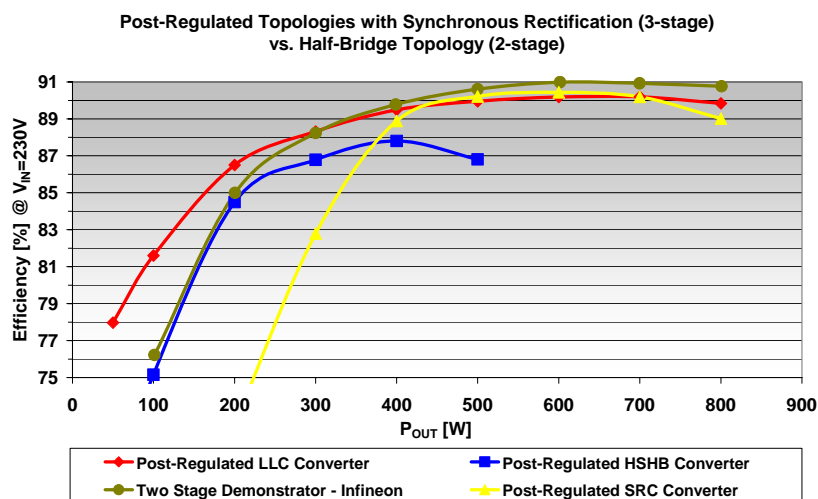


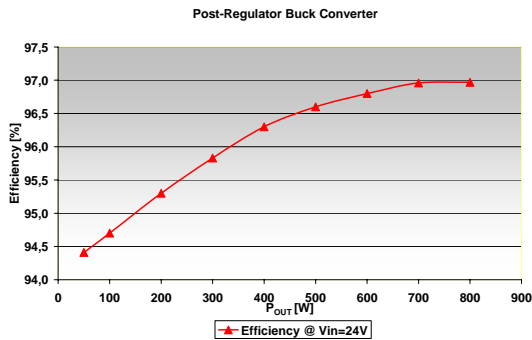
Abb. 5.81 Wirkungsgrad-Verläufe der Post-Regulated Schaltnetzteile im Vergleich zum zweistufigen Demonstrator @  $V_{IN\_RMS}=230$  V



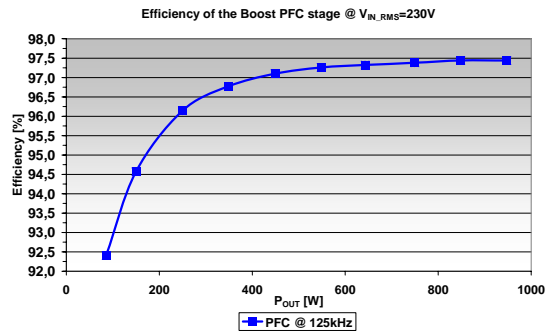
Der direkte Vergleich aller untersuchten Topologien wird mittels der Wirkungsgrad-Verläufe in Abb. 5.81 möglich. Der Post-Regulated LLC-Konverter mit sekundärseitigem Tiefsetzsteller besitzt bei Volllast nur einen um 1 % geringeren Wirkungsgrad als der zweistufige Demonstrator.

Im Teillastbereich, d.h. für eine Ausgangsleistung von weniger als 300 W, liegt der Wirkungsgrad des Post-Regulated LLC-Konverters sogar über dem des zweistufigen Demonstrators. Diese hohe Effizienz wird aufgrund des ZVS-Betriebs bis hin zum Leerlauf erreicht.

Der zweistufige Demonstrator besitzt bei 800 W Ausgangsleistung einen Wirkungsgrad von 90,8 %. Die dreistufigen Lösungen liegen mit 89 % (SRC), 89,9 % (LLC-Konverter) und 86,9 % (HSHB-Konverter) darunter.



**Abb. 5.82** Wirkungsgrad über der Ausgangsleistung für den leistungsstellenden zweiphasigen Tiefsetzsteller @  $V_{IN}=24\text{ V}$ ;  $V_{OUT}=12\text{ V}$ ,  $f_{SW}=500\text{ kHz}$  pro Phase



**Abb. 5.83** Wirkungsgrad über der Ausgangsleistung für die Hochsetzsteller-PFC-Stufe mit CoolMOS CP (IPW60R045CP) und SiC-Diode (IDT06S60C) @  $V_{IN,RMS}=230\text{ V}$ ;  $V_{OUT}=410\text{ V}$ ,  $f_{SW}=125\text{ kHz}$ ;  $R_{Gon}=22\ \Omega$ ;  $R_{Goff}=4,7\ \Omega$

Der Gesamtwirkungsgrad ergibt sich aus den Teilwirkungsgraden der einzelnen Stufen. Abb. 5.82 und Abb. 5.83 zeigen die Verläufe für den leistungsstellenden Tiefsetzsteller und die PFC-Stufe. Für den Arbeitspunkt, Eingangsspannung 230 V und Ausgangsleistung 800 W bzw. 500 W im Falle des HSHB-Konverters, ergeben sich die in Tab. 5.6 dargestellten Wirkungsgrade der einzelnen Stufen.

Schaltung	$\eta_{\text{PFC Stage}} [\%]$	$\eta_{\text{Main Stage}} [\%]$	$\eta_{\text{Buck Stage}} [\%]$	$\eta_{\text{Gesamt}} [\%]$
<b>SRC</b>	97,5	94,2	96,9	89
<b>LLC</b>	97,5	95,1	96,9	89,9
<b>HSHB</b>	97,3	92,5	96,6	86,9

**Tab. 5.6** Stufenwirkungsgrade für die untersuchten Post-Regulated Schaltnetzteile @  $V_{IN,RMS}=230\text{ V}$ ;  $V_{OUT}=12\text{ V}$ ;  $P_{OUT}=800\text{ W}$  für SRC/ LLC-Konverter;  $P_{OUT}=500\text{ W}$  für HSHB-Konverter

Die partiell hart schaltende Halbbrücke konnte nur bis zu einer Ausgangsleistung von 530 W betrieben werden, da es in dem hart schaltenden Konzept, anders als bei resonanten Lösungen, zu einem lastabhängigen Spannungsabfall im Leistungspfad kommt. Die starke Lastabhängigkeit dieses Wandlers führt dazu, dass er nicht als „DC-Transformator“ geeignet ist.

Die Lastabhängigkeit der resonant arbeitenden Lösungen ist deutlich geringer. Der Post-Regulated SRC besitzt bei Volllast einen hohen Wirkungsgrad, da an den primärseitigen Schaltern ZVS-Betrieb erreicht wird. Der ZVS-Betrieb ist durch den überresonanten Betrieb möglich. Der ZVS-Betrieb kann aber nicht im gesamten Teillastbereich aufrecht erhalten

werden, da nicht im gesamten Bereich Strom zum Umladen der parasitären Kapazitäten zur Verfügung steht. Dieses Verhalten spiegelt sich im starken Abfall des Wirkungsgrades für Ausgangsleistungen kleiner als 400 W wider (Abb. 5.81).

Dem Wirkungsgrad-Verlust im Teillastbetrieb kann mittels einer schaltungstechnischen Veränderung begegnet werden. Man stellt am Haupttransformator eine definiert reduzierte Magnetisierungsinduktivität  $L_m$  ein, um einen lastunabhängigen Stromfluss durch die primärseitigen Schalter zu gewährleisten. Durch diese Maßnahme wird der ZVS-Betrieb in jedem Arbeitspunkt sichergestellt. Der Wandler wird in dieser Konfiguration als LLC-Konverter bezeichnet.

Der Wirkungsgrad des Post-Regulated LLC-Konverters kann mittels der Induktivität  $L_m$  so eingestellt werden, dass man entweder einen hohen Vollastwirkungsgrad erreicht ( $L_m$  groß;  $i_m$  klein) oder einen durchschnittlichen Wirkungsgrad ( $L_m$  klein;  $i_m$  groß) über den gesamten Arbeitsbereich. Es besteht ein Kompromiss zwischen maximaler Verlustentstehung und dem Arbeitsbereich mit hohem Wirkungsgrad.

Eine Verkleinerung der Induktivität  $L_m$  bewirkt die Erhöhung der Durchlassverluste in den primärseitigen und sekundärseitigen Schaltern sowie eine Vergrößerung der Ausschaltverluste in den primärseitigen Schaltern.

Es ist also möglich, mit einem dreistufigen Schaltnetzteil, das als Post-Regulated LLC-Konverter umgesetzt wurde, einen Wirkungsgrad auf dem Niveau eines zweistufigen SMPS zu erreichen.

Die Verwendung niedrigerer Schaltfrequenzen (ca. 100 kHz) in der Hauptstufe und dem Tiefsetzsteller würde zu einer weiteren Effizienzsteigerung, zu Lasten der Leistungsdichte, führen.

Zusätzliche Informationen können den nachfolgend aufgelisteten Veröffentlichungen entnommen werden: [7.6], [7.8], [7.9] und [7.2].

Ein weiterführender Untersuchungsgegenstand könnte ein dreistufiger Pre-Regulated LLC-Konverter sein. Dieses Konzept verbindet die Vorteile eines LLC-Konverters mit einem Tiefsetzsteller auf der Hochspannungsseite. Ein Tiefsetzsteller auf der Primärseite des Transformators besitzt Bauelemente mit geringer Strombelastung, weiterhin ist die Strommessung relativ unproblematisch. Eine Wirkungsgrad-Abschätzung für diesen Konverter wird in Abschnitt 6.5 vorgestellt.

*Die sekundärseitig geregelten Schaltnetzteile wurden anhand von drei Demonstratoren untersucht: Dem partiell hart schaltenden Halbbrücken (HSHB)-Konverter, dem Serienresonanzkonverter (SRC) und dem LLC-Konverter jeweils mit sekundärseitigem Tiefsetzsteller.*

*Der Wirkungsgrad des LLC-Konverters bzw. des SRC liegt bei Vollast und 230 V Eingangsspannung nur knapp unter dem Wirkungsgrad der zweistufigen Lösung. Im Teillastbereich, d.h. für eine Ausgangsleistung von weniger als 300 W, liegt der Wirkungsgrad des Post-Regulated LLC-Konverters sogar über dem des zweistufigen Demonstrators. Diese hohe Effizienz wird aufgrund des ZVS-Betriebs bis hin zum Leerlauf erreicht.*

*Der SRC und der HSHB-Konverter sind als „DC-Transformatoren“ bei hohen Schaltfrequenzen (z.B. 500 kHz) ungeeignet. Der SRC kann im Teillastbetrieb die ZVS-Bedingung nicht mehr erfüllen. Der HSHB-Konverter hat ein lastabhängiges Übertragungsverhalten.*

*Der Wirkungsgrad des Post-Regulated LLC-Konverters kann mittels der Magnetisierungs-*

*Induktivität so eingestellt werden, dass man entweder einen hohen Vollastwirkungsgrad erreicht oder einen durchschnittlichen Wirkungsgrad über den gesamten Arbeitsbereich erhält. Es besteht ein Kompromiss zwischen maximaler Verlustentstehung und Arbeitsbereich mit hohem Wirkungsgrad.*

*Die Verwendung niedrigerer Schaltfrequenzen (100 kHz) in der Hauptstufe und dem Tiefsetzsteller, würde zu einer weiteren Effizienz- und Leistungsdichte-Steigerung führen.*

*Ein weiterführender Untersuchungsgegenstand könnte ein dreistufiger Pre-Regulated LLC-Konverter sein, dieser könnte eine weitere Wirkungsgrad-Steigerung mit sich bringen.*

## 6. Diskussion der Ergebnisse

### 6.1 Betriebsarten des LLC-Konverters

Der LLC-Konverter mit sekundärseitigem Tiefsetzsteller hat sich im Ergebnis der vergleichenden Untersuchungen als beste Lösung herauskristallisiert. Diese Topologie liefert ähnliche Wirkungsgrade wie der zweistufige Demonstrator.

Die Ausgestaltung der Topologie ist von vielen Parametern abhängig. Grundsätzlich ist es wichtig, die einzelnen Betriebsmodi des LLC-Konverters zu kennen. Man kann den LLC-Konverter, ähnlich wie den Serienresonanzkonverter, in drei verschiedenen Betriebsmodi betreiben:

- resonanter Betrieb
- unterresonanter Betrieb
- überresonanter Betrieb

In diesem Abschnitt werden die drei Betriebsmodi unter folgenden Gesichtspunkten analysiert und bewertet:

- Verluste in den primär- und sekundärseitigen Schaltern
- Betriebsart der primärseitigen MOSFETs (Kommutierung der Body-Dioden in den primärseitigen MOSFETs)
- Einfluss auf die Synchrongleichrichtung

#### *Einfluss der Betriebsart auf die Verluste in den Schaltern*

Der Einfluss der Betriebsart auf das Schaltverhalten wurde mit Hilfe von Simulationen untersucht (Abb. A. 78).

Der *resonante Betrieb* ist der Grenzfall zwischen unter- und überresonantem Betrieb. Der Resonanzdrosselstrom  $I_{LRES}$  sowie der Trafostrom  $I_{Lh\_Pri1}$  sind rein sinusförmig (Abb. A. 79). Der Strom, der durch den primärseitigen Schalter ( $I_{Q\_HB\_TOP}$ ) abgeschaltet werden muss bzw. der die parasitären Kapazitäten (primärseitige MOSFETs  $C_{OSS}$  + Trafokapazitäten) umlädt, ist nur der Magnetisierungsstrom  $I_{Lm}$ . Der Laststrom liefert keinen Anteil zum Umladestrom. Mithilfe der korrekten Abstimmung des Magnetisierungsstromes  $I_{Lm}$  auf die primärseitigen MOSFETs kann Nullspannungsschalten in jedem Arbeitspunkt erreicht werden, was ein sehr verlustarmes Einschalten bewirkt. Die Ausschaltverluste entstehen durch den abzuschaltenden Magnetisierungsstrom.

Die sekundärseitigen Gleichrichter schalten genau im Stromnulldurchgang ( $I_{D\_Rec\_2}$ ). Es ist somit ein nahezu verlustloses Schalten gewährleistet.

Der *überresonante Betrieb* ist in Abb. A. 80 dargestellt. Die Schaltfrequenz ist größer als die Schwingkreisfrequenz, so dass der Resonanzdrosselstrom  $I_{LRES}$  und der Trafostrom  $I_{Lh\_Pri1}$  nicht mehr sinusförmig sind.

Der Strom, der durch den primärseitigen MOSFET ( $I_{Q\_HB\_TOP}$ ) abgeschaltet werden muss und der die parasitären Kapazitäten umlädt, setzt sich aus dem Magnetisierungsstrom  $I_{Lm}$  und dem Laststrom zusammen.

Durch die Abstimmung des Magnetisierungsstromes  $I_{Lm}$  und des Laststromes auf die primärseitigen MOSFETs kann ein arbeitspunktabhängiges Nullspannungsschalten erreicht werden, was ein sehr verlustarmes Einschalten bewirkt. Die Ausschaltverluste werden von der Summe der abzuschaltenden Ströme (Magnetisierungsstrom + Laststrom) verursacht. Im Schalt Augenblick fließt durch die sekundärseitigen Gleichrichter noch ein Strom ( $I_{D\_Rec\_2}$ ). In Abhängigkeit vom Schaltzeitpunkt entstehen Schaltverluste in diesen Bauelementen.

Der dritte Betriebsfall ist der *unterresonante Betrieb*. Seine typischen Kurvenverläufe sind in Abb. A. 81 zu sehen. Der Resonanzdrosselstrom  $I_{LRES}$  und der primärseitige Schalterstrom  $I_{Q\_HB\_TOP}$  besitzen ein Plateau auf Höhe des Magnetisierungsstromes  $I_{Lm}$  (Spitzenwert). Die Länge des Plateaus wird durch den Steuerwinkel (Grad der Unterresonanz) des Konverters bestimmt.

Der Strom durch die primärseitigen Schalter im Schaltmoment ist der Magnetisierungsstrom  $I_{Lm}$ . Dieser lädt auch die parasitären Kapazitäten um.

Durch die korrekte Abstimmung des Magnetisierungsstromes  $I_{Lm}$  auf die primärseitigen MOSFETs kann Nullspannungsschalten in jedem Arbeitspunkt erreicht werden, was ein sehr verlustarmes Einschalten bewirkt. Die Ausschaltverluste entstehen infolge des abzuschaltenden Magnetisierungsstroms.

Der primärseitige Trafostrom  $I_{Lh\_Pri1}$  besitzt Nullpausen, die auch im Strom durch die sekundärseitigen Gleichrichter  $I_{D\_Rec\_2}$  zu sehen sind. Aufgrund dieser Nullpausen ist ein Nullstromschalten (ZCS) für die sekundärseitigen Gleichrichter gewährleistet.

Der resonante Betrieb des ungesteuerten LLC-Konverters ist in der Praxis aufgrund von Bauelementeschwankungen nur mit einer PLL-Schaltung zu realisieren. Aus Sicht einer unkomplizierten Ansteuerung und eines möglichst verlustfreien Schaltens ist deshalb der unterresonante Betrieb zu bevorzugen.

Man dimensioniert den Magnetisierungsstrom  $I_{Lm}$  so, dass man die parasitären Kapazitäten im Kreis innerhalb der Zweigverriegelungszeit umladen kann. Der Laststrom liefert im unterresonanten Betrieb keinen Beitrag zum Umladestrom der Kapazitäten.

Es besteht der Vorteil, dass die Ausschaltverluste in den primären MOSFETs nur durch den Magnetisierungsstrom verursacht werden. Die sekundärseitigen Gleichrichter schalten immer bei Strom null und somit nahezu verlustfrei.

Nachteilig kann diese Auslegung sein, wenn man einen großen Magnetisierungsstrom für das Umladen der parasitären Kapazitäten benötigt, da infolge des großen Stroms der Teillastwirkungsgrad des Konverters absinkt. Dieses Verhalten wird durch die Ausschaltverluste in den primärseitigen MOSFETs verursacht.

Für diesen Fall ist es günstiger, den überresonanten Betrieb zu wählen. Im überresonanten Betrieb benötigt man einen geringeren Magnetisierungsstrom als im unterresonanten Fall, da sowohl der Laststrom als auch der Magnetisierungsstrom an der Umladung der Kapazitäten beteiligt sind.

Im Teillastbereich wirkt sich der kleinere Magnetisierungsstrom aufgrund geringer Abschaltverluste in den primärseitigen MOSFETs positiv auf den Wirkungsgrad aus.

Zu beachten ist weiterhin, dass der Spitzenwert des Stromes durch die primärseitigen MOSFETs und die sekundärseitigen Gleichrichter steigt, je mehr man die Schaltfrequenz in Richtung Unterresonanz verkleinert. Infolge der Anhebung des Stromspitzenwertes steigen auch die Durchlassverluste. Der Grund dafür ist, dass die Energie in einer kürzeren Zeit von der Primär- auf die Sekundärseite übertragen werden muss.

### Kommutierung der Body-Dioden in den primärseitigen MOSFETs

Der Einfluss der Betriebsart auf die Kommutierung der Body-Dioden, in den primärseitigen MOSFETs, wurde ebenfalls mit Hilfe von Simulationen überprüft (Abb. A. 78).

Im *resonanten* und *überresonanten Betrieb* kann es zu keiner harten Kommutierung einer Body-Diode in einem der primärseitigen Schalter kommen.

Anders ist das Verhalten hingegen im *unterresonanten Betrieb*. Hier kann es, in Abhängigkeit vom Steuerwinkel (Grad der Unterresonanz), zu einem harten Abkommutieren der Body-Diode kommen.

Im normalen *unterresonanten Betrieb* ( $f_{\text{RES}}=488$  kHz;  $f_{\text{SW}}=444$  kHz) (Abb. A. 82) kommt es laut Simulation zu keiner harten Kommutierung einer Body-Diode.

Im Fall einer starken Unterresonanz ( $f_{\text{RES}}=488$  kHz;  $f_{\text{SW}}=298$  kHz) (Abb. A. 83) hingegen wird die Body-Diode eines primärseitigen MOSFETs hart abkommutiert. Das passiert während des Einschaltens des gegenüberliegenden Halbbrücken-MOSFETs.

Der Fall der harten Kommutierung einer Body-Diode tritt immer dann ein, wenn der Resonanzdrosselstrom ( $I_{\text{LRES}}$ ) während der Zweigverriegelungszeit die Polarität wechselt. Da während dieser Zeit keiner der MOSFETs eingeschaltet ist, muss der Strom durch eine Body-Diode fließen (Abb. A. 83). Beim nächsten Einschalten eines Halbbrücken-MOSFETs wird die zuvor stromdurchflossene Body-Diode hart abkommutiert.

Dieser Betriebsfall muss über Ansteuermaßnahmen ausgeschlossen werden. Ein MOSFET mit einer kommutierungsfesten Body-Diode ist nicht ausreichend, da es sich um einen stationären Betriebszustand handelt, in dem es durch die hohen Verluste zu einer Zerstörung des MOSFETs kommt.

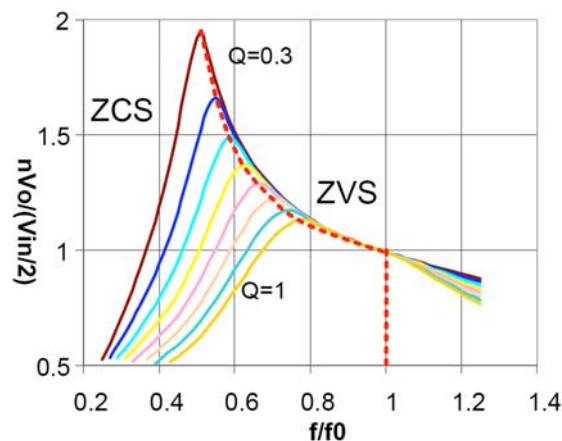


Abb. 6.1 Übertragungsverhalten des LLC-Konverters; Verhalten der Ausgangsspannung gegenüber der Frequenz ( $f=f_{\text{SW}}$ ;  $f_0=f_{\text{RES}}$ ) [4.10]

Beim Einsatz eines LLC-Konverters in einer dreistufigen Topologie kann auf die Nutzung seiner Verstärkungscharakteristik (Abb. 6.1) verzichtet werden, da der leistungsstellende Tiefsetzsteller die Spannungsregelung übernimmt. Es ist somit in dieser Anordnung nicht nötig, im stark unterresonanten Betrieb zu arbeiten. Die Problematik der harten Kommutierung einer Body-Diode kann somit vernachlässigt werden.

### *Einfluss der Betriebsart auf die Synchrongleichrichtung*

Die Gleichrichtung auf der Sekundärseite des LLC-Konverters kann sowohl mittels Dioden als auch mittels MOSFETs im Synchronbetrieb erfolgen. In Abhängigkeit vom gewählten Betriebsmodus ergeben sich verschiedene Anforderungen an die sekundärseitigen Gleichrichter. Der Einfluss wurde ebenfalls mit Hilfe von Simulationen untersucht (Abb. A. 84, Abb. A. 85). Bei diesen Simulationen wurden die sekundärseitigen MOSFETs mit denselben Ansteuersignalen wie die primärseitigen MOSFETs angesteuert.

Der *resonante Betrieb* und der *überresonante Betrieb* sind aus Sicht der sekundärseitigen Gleichrichter unproblematisch. Es wurden sowohl bei der Verwendung eines Diodengleichrichters als auch bei einem Synchrongleichrichter keine kritischen Betriebszustände festgestellt.

Der *unterresonante Betrieb* eines LLC-Konverters mit Diodengleichrichter ist für  $f_{\text{RES}}=488$  kHz und  $f_{\text{SW}}=444$  kHz in der Abb. A. 86 zu sehen. Aus Sicht der Schaltungskomponenten, insbesondere der sekundärseitigen Gleichrichterioden, treten keine kritischen Betriebszustände auf.

Eine weitere Verschiebung des Steuerwinkel in Richtung Unterresonanz ( $f_{\text{RES}}=488$  kHz;  $f_{\text{SW}}=298$  kHz) führt aus Sicht des Diodengleichrichters zu keinen Problemen (Abb. A. 88). Jedoch wird in diesem stark *unterresonanten Betrieb* die bereits beschriebene harte Kommutierung der primärseitigen MOSFET Body-Dioden herbeigeführt.

Die Untersuchungsergebnisse eines LLC-Konverters mit Synchrongleichrichtern im *unterresonanten Betrieb* sind für  $f_{\text{RES}}=488$  kHz und  $f_{\text{SW}}=444$  kHz in der Abb. A. 87 zu sehen. Der Strom durch die sekundärseitigen Synchrongleichrichter-MOSFETs wechselt während einer Schaltperiode seine Richtung, da die Synchrongleichrichter genauso lange eingeschaltet sind wie die primärseitigen MOSFETs. Der Stromfluss nach dem Polaritätswechsel ist auch im primärseitigen Schalterstrom zu sehen.

Diese beiden Erscheinungen führen zu Verlusten in den Synchrongleichrichtern und in den primärseitigen MOSFETs. Die Synchrongleichrichter schalten nicht mehr bei Strom null ab und somit entstehen Schaltverluste.

In den primärseitigen MOSFETs entstehen Schaltverluste, da diese bei Strom null schalten. Die ZVS-Bedingung wird nicht mehr erfüllt, weil die parasitären Kapazitäten nicht mehr umgeladen werden können.

Eine weitere Verschiebung des Steuerwinkels in Richtung Unterresonanz ( $f_{\text{RES}}=488$  kHz;  $f_{\text{SW}}=298$  kHz) führt aus Sicht der Synchrongleichrichter zu einer Verschärfung der beschriebenen Problematik (Abb. A. 89). Weiterhin ist mit einer harten Kommutierung der Body-Dioden in den primärseitigen MOSFETs zu rechnen.

Abhilfe schafft eine Anpassung der Ansteuersignale für die Synchrongleichrichter. Die Synchrongleichrichter-MOSFETs müssen im Augenblick, in dem sich der Stromfluss durch sie umpolt, abgeschaltet werden. Zur Detektion dieses Zeitpunktes ist ein Strommessglied auf der Sekundärseite nötig. Diese Lösung ist aufgrund der zu erwartenden Verluste im Hochstrompfad und der damit verbundenen Kosten nicht vorteilhaft.

Die Problematik der schwierigen Ansteuerung der Synchrongleichrichter-MOSFETs kann beim Einsatz eines LLC-Konverters, in einer dreistufigen Topologie, vernachlässigt werden. Die Leistungsstellung wird von einem Tiefsetzsteller übernommen. Der Betrieb des LLC-Konverters im Verstärkungsmodus (Abb. 6.1) *unterresonanter Betrieb* ist somit nicht nötig. Der Synchrongleichrichterbetrieb in den verschiedenen Arbeitsbereichen des LLC-Konverters wird in der Veröffentlichung [4.7] ausführlich beschrieben.

*Der LLC-Konverter kann ebenso wie der Serienresonanzkonverter in drei verschiedenen Betriebsmodi arbeiten: resonanter Betrieb, unterresonanter Betrieb und überresonanter Betrieb. Diese drei Betriebsmodi wurden unter folgenden Gesichtspunkten untersucht: Verluste in den primär- und sekundärseitigen Schaltern, Betriebsart der Body-Dioden in den primärseitigen MOSFETs, Einfluss auf die Synchrongleichrichtung.*

*Aus Sicht eines möglichst verlustfreien Schaltens ist der unterresonante Betrieb zu bevorzugen.*

*Man dimensioniert den Magnetisierungsstrom so, dass man die parasitären Kapazitäten im Kreis (primärseitige MOSFETs  $C_{OSS}$  + Trafokapazitäten) innerhalb der Zweigverriegelungszeit umladen kann. Nachteilig kann diese Auslegung sein, wenn man einen großen Magnetisierungsstrom für das Umladen der parasitären Kapazitäten benötigt, da durch den großen Strom der Teillastwirkungsgrad des Konverters absinkt. Dieses Verhalten wird durch die Ausschaltverluste in den primärseitigen MOSFETs verursacht. Für diesen Fall ist es günstiger, den überresonanten Betrieb zu wählen.*

*Im resonanten und überresonanten Betrieb kann es zu keiner harten Kommutierung einer Body-Diode, in einem der primärseitigen Schalter, kommen. Anders ist das Verhalten hingegen im unterresonanten Betrieb. Hier kann es in Abhängigkeit vom Steuerwinkel (Grad der Unterresonanz) zu einem harten Abkommutieren der Body-Diode kommen. Dieser Betriebsfall muss über Ansteuermaßnahmen ausgeschlossen werden. Ein MOSFET mit einer kommutierungsfesten Body-Diode ist nicht ausreichend, da es sich um einen stationären Betriebszustand handelt, in dem es durch die hohen Verluste zu einer Zerstörung des MOSFETs kommt.*

*Beim Einsatz eines LLC-Konverters in einer dreistufigen Topologie kann die Problematik der harten Kommutierung einer Body-Diode vernachlässigt werden, da die Verstärkungscharakteristik des LLC-Konverters im unterresonanten Betrieb nicht genutzt wird.*

*Der resonante Betrieb und der überresonante Betrieb sind aus Sicht der sekundärseitigen Gleichrichtung sowohl für Diodengleichrichter als auch für Synchrongleichrichter unproblematisch.*

*Der unterresonante Betrieb eines LLC-Konverters mit Diodengleichrichtern ist für die Gleichrichtung unkritisch. Der unterresonante Betrieb eines LLC-Konverters mit Synchrongleichrichtern führt hingegen dazu, dass der Strom durch die sekundärseitigen Synchrongleichrichter-MOSFETs während einer Schaltperiode seine Richtung wechselt. Dieses Verhalten tritt auf, wenn die Synchrongleichrichter genauso lange eingeschaltet sind wie die primärseitigen MOSFETs. Diese beiden Erscheinungen führen zu Verlusten in den Synchrongleichrichtern und in den primärseitigen MOSFETs.*

*Abhilfe schafft eine Anpassung der Ansteuersignale für die Synchrongleichrichter. Die Synchron MOSFETs müssen im Augenblick, in dem sich der Stromfluss durch sie umkehrt, abgeschaltet werden.*

*Der unterresonante Betrieb eines LLC-Konverters bietet gegenüber den zwei anderen Betriebsarten Vorteile, die aber mittels Zusatzmaßnahmen (Strommessung in den Leistungspfaden der Synchrongleichrichter; MOSFET mit kommutierungsfester Body-Diode) abgesichert werden müssen. Ein MOSFET mit kommutierungsfester Body-Diode ist nicht für periodisches hartes Kommutieren der Body-Diode geeignet, dieser Betriebsfall muss über Ansteuermaßnahmen vermieden werden.*

*Aus diesen Gründen ist der leicht überresonante Betrieb für einen LLC-Konverter in einer dreistufigen Topologie zu bevorzugen.*



## 6.2 Einflussfaktoren auf das Schaltverhalten und den Wirkungsgrad des LLC-Konverters

Der LLC-Konverter mit sekundärseitigem Tiefsetzsteller wurde im Kapitel 5.3.6 vorgestellt. Bei der Analyse der Topologie wurde festgestellt, dass das Schaltverhalten und der Wirkungsgrad von verschiedenen Faktoren bestimmt werden.

In diesem Abschnitt soll anhand von Messergebnissen der Einfluss der Magnetisierungsinduktivität, der Zweigverriegelungszeit, der Ausgangsleistung und der MOSFET-Technologie vorgestellt werden.

### Einfluss der Magnetisierungsinduktivität

Die Magnetisierungsinduktivität des Transformators wird in der LLC-Topologie so eingestellt, dass ein bestimmter Magnetisierungsstrom  $i_m$  fließt (Gl. 6.2). Dieser Magnetisierungsstrom wird neben der Induktivität auch durch die Zwischenkreisspannung und die Schaltfrequenz bestimmt. Aus der Verknüpfung der Gleichungen Gl. 6.1 und Gl. 6.2 ergibt sich die Gl. 6.3, die den direkten Zusammenhang zwischen Zwischenkreisspannung, Zweigverriegelungszeit und parasitären Kapazitäten liefert.

Der Magnetisierungsstrom wird für das Umladen der parasitären Kapazitäten im Kreis (primärseitige MOSFETs  $C_{OSS}$  + Trafokapazitäten) benötigt, um nach Möglichkeit ein Nullspannungsschalten der Halbbrücken-MOSFETs zu erreichen.

$$L_m = \frac{t_d}{16 \cdot f_{SW} \cdot C_{para}}$$

**Gl. 6.1**      **Berechnung der Magnetisierungsinduktivität im LLC-Konverter zur Erzielung von ZVS [4.10]**

$$\hat{i}_m = \frac{V_Z}{8 \cdot L_m \cdot f_{SW}}$$

**Gl. 6.2**      **Berechnung I, des Spitzenwertes des Magnetisierungsstromes im LLC-Konverter zur Erzielung von ZVS [4.10]**

$$\hat{i}_m = \frac{2 \cdot V_Z \cdot C_{para}}{t_d}$$

**Gl. 6.3**      **Berechnung II, des Spitzenwertes des Magnetisierungsstromes im LLC-Konverter zur Erzielung von ZVS [4.10]**

Abb. 6.2 zeigt den Zusammenhang zwischen dem Magnetisierungsstrom und der Spannung, auf die die primärseitigen MOSFETs einschalten. Es ist zu sehen, dass ein Kompensationsbauelement der 1. Generation (STMicroelectronics: STP20NM60FD) in der Halbbrücke gleichförmiger auf eine Änderung der Magnetisierungsinduktivität reagiert als ein Kompensationsbauelement der 2. Generation (Infineon: CoolMOS IPP60R299CP) mit gleichem Durchlasswiderstand ( $R_{DSon}=290 \text{ m}\Omega$ ). Dieser Charakter wird durch das stark nichtlineare Verhalten der Ausgangskapazität, der 2. Generation von Kompensationsbauelementen, geprägt.

Der IPP60R125CP besitzt einen Durchlasswiderstand von  $R_{DSon}=125 \text{ m}\Omega$  und ist für einen LLC-Konverter mit 800 W Ausgangsleistung ein Bauelement mit zu großer Chip-Fläche. Deutlich wird dies ebenfalls in Abb. 6.2, da bei einer Magnetisierungsinduktivität von  $L_m=115 \text{ }\mu\text{H}$  auf eine 100 V höhere Spannung eingeschaltet wird, als bei einem MOSFET mit 290 m $\Omega$  Widerstand.

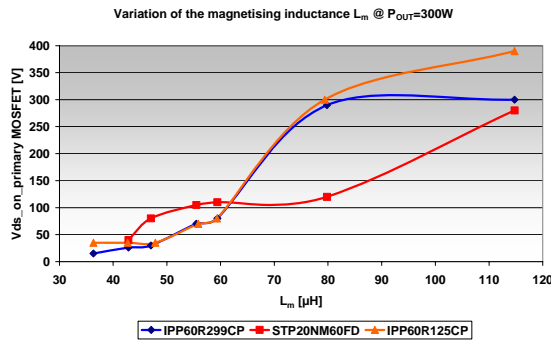
Bei einem großen Magnetisierungsstrom ( $L_m=40 \text{ }\mu\text{H}$ ) kann annäherndes Nullspannungsschalten für alle Bauelemente erreicht werden.

Der Wirkungsgrad des LLC-Konverters in Abhängigkeit von der Induktivität  $L_m$  ist in Abb. 6.3 dargestellt. Durch eine Vergrößerung des Magnetisierungsstromes im Teillastbetrieb ist eine Wirkungsgrad-Steigerung möglich. Aus Sicht des Wirkungsgrades ist das Kompensati-

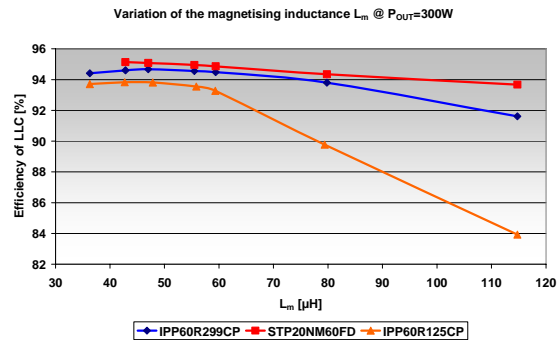
onsbauelement der 1. Generation dem Kompensationsbauelement der 2. Generation, gleichen Durchlasswiderstandes, überlegen. Die Ursache dafür ist wieder im stark nichtlinearen Kapazitätsverlauf der 2. Generation von Kompensationsbauelementen zu suchen.

Das Argument, der IPP60R125CP ist für einen LLC-Konverter mit 800 W Ausgangsleistung ein Bauelement mit zu großer Chip-Fläche, bestätigt sich ebenfalls im Wirkungsgrad-Verlauf. Die Effizienz der hochohmigeren Bauelemente wird unterschritten.

Die Abbildungen Abb. 6.2 und Abb. 6.3 korrespondieren miteinander. Für  $L_m > 60 \mu\text{H}$  steigt die Spannung, auf die die Halbbrücken-MOSFETs einschalten. GleichermäÙen fällt der Wirkungsgrad des Konverters. Für  $L_m < 60 \mu\text{H}$  schalten die MOSFETs auf ähnliche Spannungswerte ein, so dass sich auch ähnliche Wirkungsgrade einstellen.



**Abb. 6.2** Einfluss der Magnetisierungsinduktivität  $L_m$  auf die Spannung mit der die primärseitigen Halbbrücken-MOSFETs einschalten; LLC-Konverter; überresonanter Betrieb @  $L_{RES}=6,5 \mu\text{H}$ ;  $C_{RES}=16,4 \text{ nF}$ ;  $f_{RES}=488 \text{ kHz}$ ;  $f_{SW}=500 \text{ kHz}$ ;  $V_{IN}=410 \text{ V}$ ;  $P_{OUT}=300 \text{ W}$ ;  $t_d=160 \text{ ns}$  (IPP60R299CP)  $t_d=160 \text{ ns}$  (STP20NM60FD)  $t_d=210 \text{ ns}$  (IPP60R125CP)



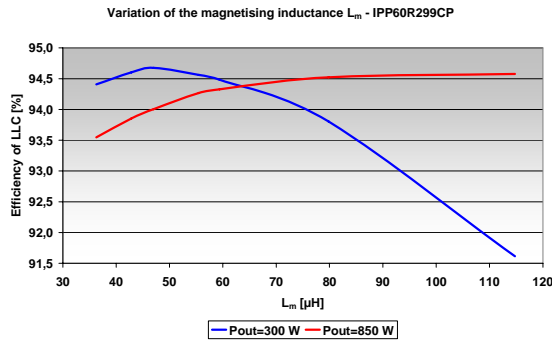
**Abb. 6.3** Einfluss der Magnetisierungsinduktivität  $L_m$  auf den Wirkungsgrad des LLC-Konverters; überresonanter Betrieb @  $L_{RES}=6,5 \mu\text{H}$ ;  $C_{RES}=16,4 \text{ nF}$ ;  $f_{RES}=488 \text{ kHz}$ ;  $f_{SW}=500 \text{ kHz}$ ;  $V_{IN}=410 \text{ V}$ ;  $P_{OUT}=300 \text{ W}$   $t_d=160 \text{ ns}$  (IPP60R299CP)  $t_d=160 \text{ ns}$  (STP20NM60FD)  $t_d=210 \text{ ns}$  (IPP60R125CP)

Wie bereits im Kapitel 5.3.6 bemerkt wurde, besteht beim LLC-Konverter ein Zielkonflikt zwischen maximalem Wirkungsgrad bei Vollast und einem hohem Wirkungsgrad über einen weiten Arbeitsbereich. Abb. 6.4 verdeutlicht diese Aussage.

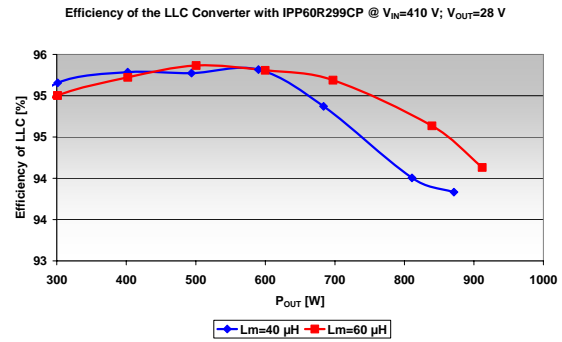
Ist  $L_m$  zu groß, wirkt das positiv auf den Vollastwirkungsgrad, aber im Teillastbereich ist nur eine geringe Effizienz zu verzeichnen. Wird eine kleine Induktivität  $L_m$  gewählt, dreht sich das Verhalten zu Gunsten des Teillastwirkungsgrades um. Eine optimale Induktivität für einen hohen Wirkungsgrad über einen weiten Arbeitsbereich ergibt sich im Schnittpunkt der beiden Wirkungsgrad-Kurven von Vollastbetrieb und Teillastbetrieb (Abb. 6.4). Im Beispiel beträgt sie ca.  $65 \mu\text{H}$  für die Bestückung der Halbbrücke mit dem CoolMOS IPP60R299CP.

Wird der Magnetisierungsstrom nicht optimal auf die Halbbrücken-MOSFETs abgestimmt, indem ein zu großer Wert gewählt wird, kann das zu einem schlechten Wirkungsgrad im oberen Leistungsbereich führen (Abb. 6.5). Eine möglichst genaue Abstimmung des Magnetisierungsstromes auf die Halbbrücken-MOSFETs und die parasitären Kapazitäten ist deshalb wichtig.

Am Ende dieses Abschnitts wird ein Vergleich zwischen rechnerisch und experimentell ermittelter Magnetisierungsinduktivität für zwei verschiedene MOSFETs im LLC-Konverter vorgestellt.



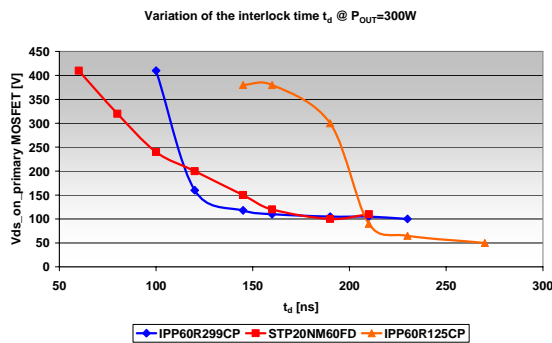
**Abb. 6.4** Einfluss der Magnetisierungsinduktivität  $L_m$  auf den Wirkungsgrad des LLC-Konverters; CoolMOS IPP60R299CP; überresonanter Betrieb  
 @  $L_{RES}=6,5 \mu\text{H}$ ;  $C_{RES}=16,4 \text{ nF}$ ;  
 $t_d=160 \text{ ns}$ ;  $f_{RES}=488 \text{ kHz}$ ;  
 $f_{SW}=500 \text{ kHz}$ ;  $V_{IN}=410 \text{ V}$



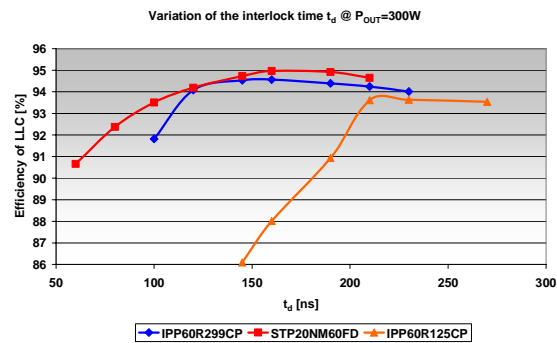
**Abb. 6.5** Einfluss der Magnetisierungsinduktivität  $L_m$  über den Leistungsbereich auf den Wirkungsgrad des LLC-Konverters; CoolMOS IPP60R299CP; überresonanter Betrieb  
 @  $L_{RES}=6,5 \mu\text{H}$ ;  $C_{RES}=16,4 \text{ nF}$ ;  
 $t_d=160 \text{ ns}$ ;  $f_{RES}=488 \text{ kHz}$ ;  
 $f_{SW}=500 \text{ kHz}$ ;  $V_{IN}=410 \text{ V}$ ;  $V_{OUT}=28 \text{ V}$

### Einfluss der Zweigverriegelungszeit

Eine Beeinflussung der Schaltvorgänge des LLC-Konverters ist auch über die Zweigverriegelungszeit der MOSFETs in der primärseitigen Halbbrücke möglich. Sie hat einen direkten Einfluss auf die Spannung, auf die die primärseitigen MOSFETs einschalten bzw. auf den ZVS-Betrieb.



**Abb. 6.6** Einfluss der Zweigverriegelungszeit  $t_d$  auf die Spannung, auf die primärseitigen Halbbrücken-MOSFETs einschalten; LLC-Konverter; überresonanter Betrieb  
 @  $L_{RES}=6,5 \mu\text{H}$ ;  $C_{RES}=16,4 \text{ nF}$ ;  
 $L_m=60 \mu\text{H}$ ;  $f_{RES}=488 \text{ kHz}$ ;  
 $f_{SW}=500 \text{ kHz}$ ;  $V_{IN}=410 \text{ V}$ ;  
 $P_{OUT}=300 \text{ W}$



**Abb. 6.7** Einfluss der Zweigverriegelungszeit  $t_d$  auf den Wirkungsgrad des LLC-Konverters; überresonanter Betrieb  
 @  $L_{RES}=6,5 \mu\text{H}$ ;  $C_{RES}=16,4 \text{ nF}$ ;  
 $L_m=60 \mu\text{H}$ ;  $f_{RES}=488 \text{ kHz}$ ;  
 $f_{SW}=500 \text{ kHz}$ ;  $V_{IN}=410 \text{ V}$ ;  
 $P_{OUT}=300 \text{ W}$

Abb. 6.6 zeigt für verschiedene MOSFETs, bei  $P_{OUT}=300 \text{ W}$ , den Zusammenhang zwischen Zweigverriegelungszeit und der Spannung, auf die die primärseitigen MOSFETs einschalten. Für die Betrachtungen wurde der gleiche Magnetisierungsstrom für alle MOSFETs mittels der Induktivität  $L_m=60 \mu\text{H}$  eingestellt (siehe Abb. 6.4). Obwohl keines der Bauelemente bei Spannung null einschaltet, sondern auf  $V_{DS}=50 \text{ V} \dots 100 \text{ V}$ , sind die Schaltverluste recht gering.

Es ist zu sehen, dass ein Kompensationsbauelement der 1. Generation (STMicroelectronics: STP20NM60FD) in der Halbbrücke gleichförmiger auf eine Änderung der Zweigverriegelungszeit reagiert als ein Kompensationsbauelement der 2. Generation (Infineon: CoolMOS IPP60R299CP) mit gleichem Durchlasswiderstand ( $R_{DSon}=290\text{ m}\Omega$ ). Dieses Verhalten wird durch den stark nichtlinearen Verlauf der Ausgangskapazität des Kompensationsbauelementes der 2. Generation geprägt.

Der Unterschied zwischen den Kompensationsbauelementen der ersten und der zweiten Generation, gleichen Durchlasswiderstandes, ist ebenfalls im Verlauf der Effizienz (Abb. 6.7) zu sehen.

Der CoolMOS IPP60R125CP besitzt einen Durchlasswiderstand von  $R_{DSon}=125\text{ m}\Omega$ . Für einen LLC-Konverter mit 800 W Ausgangsleistung besitzt dieses Bauelement eine zu große Chip-Fläche. Deutlich wird dies aufgrund der großen benötigten Zweigverriegelungszeiten, um ZVS-Betrieb zu erreichen (Abb. 6.6) und ebenfalls durch den geringen Wirkungsgrad für Zweigverriegelungszeiten kleiner 200 ns (Abb. 6.7).

Wählt man in Abhängigkeit vom MOSFET eine zu geringe Zweigverriegelungszeit  $t_d$  ( $<130\text{ ns}$ ), so kann man keinen ZVS-Betrieb erreichen. Begründet ist dieses Verhalten dadurch, dass beim eingestellten Magnetisierungsstrom nicht genügend Zeit für das Umladen der parasitären Kapazitäten vorhanden ist.

Wählt man eine zu große Zweigverriegelungszeit  $t_d$ , dann kann es zum erneuten Ansteigen der Drain-Source-Spannung des MOSFETs kommen, bevor dieser einschaltet (ähnlich zu Abb. 5.72). Zu begründen ist diese Verhaltensweise dadurch, dass während der Verriegelungszeit nicht genügend Strom zum Umladen der Kapazitäten vorhanden ist. Man schaltet nicht im Minimum der Drain-Source-Spannung ein und erreicht somit keinen ZVS-Betrieb bzw. kein Einschalten bei minimaler Drain-Source-Spannung. Eine zu große Verriegelungszeit ist auch für die Energieübertragung nachteilig, da während dieser Zeit keine Übertragung zur Sekundärseite stattfindet.

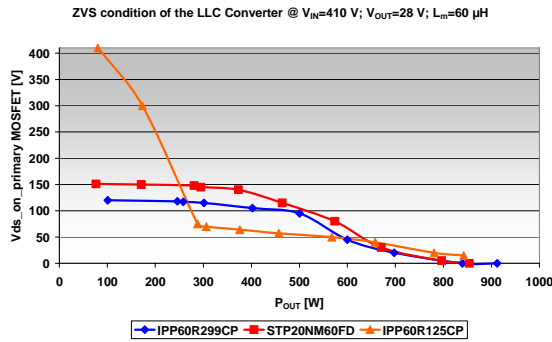
Die optimale Zweigverriegelungszeit für einen LLC-Konverter mit den MOSFETs IPP60R299CP und STP20NM60FD liegt bei 160 ns (Abb. 6.6). Oberhalb dieser Verriegelungszeit ist der Wirkungsgrad nahezu konstant. Diese Zeit ist ein guter Kompromiss für den gesamten Arbeitsbereich.

Die Zweigverriegelungszeit und die Magnetisierungsinduktivität müssen für die Umladung der parasitären Kapazitäten dimensioniert werden.

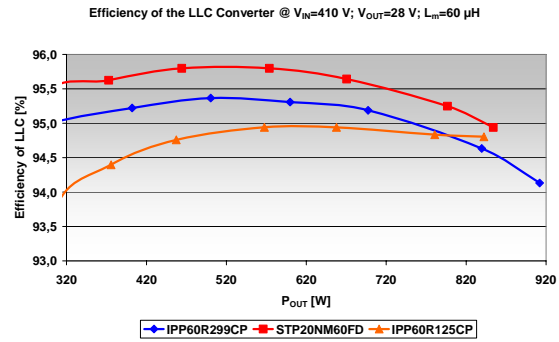
Durch eine lastabhängige Anpassung der Zweigverriegelungszeit kann im Teillastbereich des LLC-Konverters eine Wirkungsgrad-Verbesserung erreicht werden. Es ist sinnvoll, im Vollastbetrieb eine minimale Verriegelungszeit vorzusehen und diese im Teillastbereich zu vergrößern.

### *Einfluss der Ausgangsleistung*

Die vorangegangenen Abschnitte haben gezeigt, dass sich die Auslegung des LLC-Konverters lastabhängig optimieren lässt. Dieser Abschnitt soll das Verhalten eines LLC-Konverters bei Lastvariationen zeigen. Für die Untersuchungen wurde eine Magnetisierungsinduktivität von  $L_m=60\text{ }\mu\text{H}$  und eine feste Zweigverriegelungszeit von  $t_d=160\text{ ns}$  (für MOSFETs mit  $R_{DSon}=290\text{ m}\Omega$ ) bzw. 210 ns (für MOSFETs mit  $R_{DSon}=125\text{ m}\Omega$ ) gewählt.



**Abb. 6.8** Einfluss der Ausgangsleistung  $P_{OUT}$  auf die Spannung, auf die primärseitigen Halbbrücken-MOSFETs einschalten; LLC-Konverter; überresonanter Betrieb  
 @  $L_{RES}=6,5\text{ }\mu\text{H}$ ;  $C_{RES}=16,4\text{ nF}$ ;  
 $L_m=60\text{ }\mu\text{H}$ ;  $f_{RES}=488\text{ kHz}$ ;  
 $f_{SW}=500\text{ kHz}$ ;  $V_{IN}=410\text{ V}$ ;  $V_{OUT}=28\text{ V}$   
 $t_d=160\text{ ns}$  (IPP60R299CP)  
 $t_d=160\text{ ns}$  (STP20NM60FD)  
 $t_d=210\text{ ns}$  (IPP60R125CP)



**Abb. 6.9** Einfluss der Ausgangsleistung  $P_{OUT}$  auf den Wirkungsgrad des LLC-Konverters; überresonanter Betrieb  
 @  $L_{RES}=6,5\text{ }\mu\text{H}$ ;  $C_{RES}=16,4\text{ nF}$ ;  
 $L_m=60\text{ }\mu\text{H}$ ;  $f_{RES}=488\text{ kHz}$ ;  
 $f_{SW}=500\text{ kHz}$ ;  $V_{IN}=410\text{ V}$ ;  $V_{OUT}=28\text{ V}$   
 $t_d=160\text{ ns}$  (IPP60R299CP)  
 $t_d=160\text{ ns}$  (STP20NM60FD)  
 $t_d=210\text{ ns}$  (IPP60R125CP)

In Abb. 6.8 ist zu sehen, dass mit allen untersuchten Halbbrücken-MOSFETs bei Vollast ( $P_{OUT}=850\text{ W}$ ) ein ZVS-Betrieb erreicht werden kann. Der Wirkungsgrad des Konverters ist in diesem Betriebsmodus mit allen drei MOSFETs ähnlich (Abb. 6.9).

Eine Verringerung der Ausgangsleistung erhöht die Spannung, auf die die primärseitigen Halbbrücken-MOSFETs einschalten. Negative Auswirkungen auf den Wirkungsgrad sind für die  $290\text{ m}\Omega$  Bauelemente nicht zu verzeichnen (Abb. 6.9). Bei Halbbrücken-MOSFETs mit  $R_{DSon}=125\text{ m}\Omega$  ist der ZVS-Verlust bei  $300\text{ W}$  auch in einer deutlichen Wirkungsgrad-Abnahme zu sehen.

Ein Vergleich der Wirkungsgrad-Verläufe zeigt Unterschiede zwischen den verschiedenen MOSFETs gleichen Durchlasswiderstandes (Abb. 6.9).

Bei diesem Vergleich muss berücksichtigt werden, dass für die jeweiligen MOSFETs unterschiedliche Gate-Vorwiderstände zur Anpassung der Schaltgeschwindigkeit verwendet wurden. Die Erzielung des gleichen Wirkungsgrades mit den verschiedenen MOSFET-Technologien ist durch eine Feinabstimmung der Schaltgeschwindigkeit, der Zweigverriegelungszeit, der Magnetisierungsinduktivität und über die Anpassung des Betriebsmodus möglich.

### Praktische Dimensionierung des LLC-Konverters

Für die praktische Dimensionierung des LLC-Konverters wurden die Gleichungen Gl. 6.1 bis Gl. 6.3 verwendet. Unter Einbeziehung der MOSFET-Parameter (Tab. 6.1) ergaben sich für die beiden relevanten MOSFETs in der LLC-Halbbrücke, die in Tab. 6.2 zusammengefassten Parameter.

Während der praktischen Vergleichsuntersuchungen in diesem Kapitel hat sich für den optimalen Betrieb des Konverters eine Magnetisierungsinduktivität vom  $L_m=60\text{ }\mu\text{H}$  herauskristallisiert. Mit dieser Induktivität ist, bei Verwendung von Halbbrücken-MOSFETs mit  $R_{DSon}=290\text{ m}\Omega$ , ein Betrieb mit hohem Wirkungsgrad über einen weiten Arbeitsbereich möglich.

MOSFET	$R_{DSon, max}$ [m $\Omega$ ]	$C_{O(tr)}$ [pF]	$C_{oss}$ @ $V_{GS}=0$ V; $V_{DS}=50$ V [pF]
STP20NM60FD	290	190	125
IPP60R299CP	299	120	110

Tab. 6.1 Zusammenfassung der MOSFET Parameter für die LLC-Halbbrücke [2.9], [2.14]

MOSFET	$t_d$ [ns]	$L_m$ [ $\mu$ H]	$\hat{i}_m$ [A]
STP20NM60FD	160	105	0,97
IPP60R299CP	160	167	0,62

Tab. 6.2 Zusammenfassung der berechneten LLC-Konverter Parameter; Verwendung der Kapazität  $C_{O(tr)}$ 

Eine Induktivität von  $L_m=60 \mu\text{H}$  wird laut Berechnungsvorschrift (Gl. 6.1) für die Umladung einer Kapazität von 333 pF benötigt. Es besteht also eine Diskrepanz zwischen der für die Berechnung verwendeten Kapazität  $C_{O(tr)}$  und der real wirksamen Kapazität.

Die Ursache liegt in zwei Punkten: Erstens ist die gemittelte MOSFET-Kapazität  $C_{O(tr)}$  für die praktische Abschätzung nicht exakt und zweitens existieren weitere parasitäre Kapazitäten (z.B. des Transformators), die das Schaltverhalten beeinflussen.

Bei der Auslegung des LLC-Konverters sollte neben einer rechnerischen Vorauswahl der Magnetisierungsinduktivität und der Verriegelungszeit eine experimentelle Feinabstimmung an einem Prototyp erfolgen, um einen maximalen Wirkungsgrad für den gewünschten Arbeitsbereich zu erhalten.

*Das Schaltverhalten des LLC-Konverters lässt sich mithilfe der Magnetisierungsinduktivität und der Zweigverriegelungszeit maßgeblich beeinflussen.*

*Bei der Auswahl der Magnetisierungsinduktivität besteht ein Zielkonflikt zwischen maximalem Wirkungsgrad bei Vollast und einem hohem Wirkungsgrad über einen weiten Arbeitsbereich. Ist  $L_m$  groß, wirkt das positiv auf den Vollastwirkungsgrad, aber im Teillastbereich hat man eine geringe Effizienz.*

*Wird eine kleine Induktivität  $L_m$  gewählt, dreht sich das Verhalten zu Gunsten des Teillastwirkungsgrades um. Eine optimale Induktivität für einen hohen Wirkungsgrad über einen weiten Arbeitsbereich ergibt sich im Schnittpunkt der beiden Wirkungsgrad-Magnetisierungsinduktivität-Kurven von Vollastbetrieb und Teillastbetrieb (Abb. 6.4).*

*Wählt man in Abhängigkeit vom MOSFET eine zu geringe Zweigverriegelungszeit  $t_d$ , so kann man keinen ZVS-Betrieb erreichen. Wählt man eine zu große Zweigverriegelungszeit  $t_d$ , dann kann es zum nochmaligen Ansteigen der Drain-Source-Spannung des MOSFETs kommen, bevor dieser einschaltet. Das bedeutet, man schaltet nicht im Minimum der Drain-Source-Spannung ein und erreicht somit kein ZVS.*

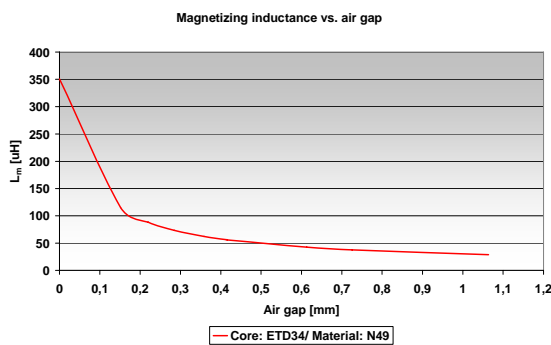
*Durch eine lastabhängige Anpassung der Zweigverriegelungszeit kann im Teillastbereich des LLC-Konverters eine Wirkungsgrad-Verbesserung erreicht werden. Es ist sinnvoll, im Vollastbetrieb eine minimale Verriegelungszeit vorzusehen und diese im Teillastbereich zu vergrößern.*

*Während der Untersuchungen wurde festgestellt, dass ein Kompensationsbauelement der 1. Generation in der Halbbrücke gleichförmiger auf eine Änderung der Magnetisierungsinduktivität bzw. der Zweigverriegelungszeit reagiert als ein Kompensationsbauelement der 2. Generation mit gleichem Durchlasswiderstand. Dieses Verhalten wird durch die stärker ausgeprägte nichtlineare Charakteristik der Ausgangskapazität, der 2. Generation von Kompensationsbauelementen, geprägt.*

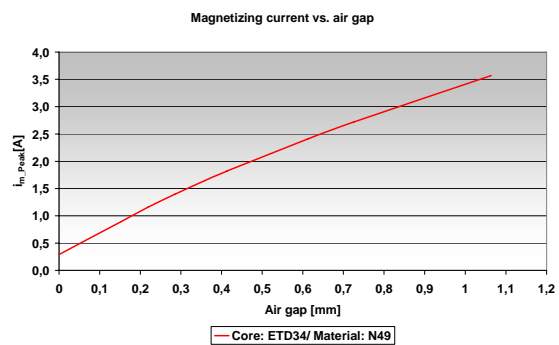
Bei der Auslegung des LLC-Konverters sollte neben einer rechnerischen Vorauswahl der Magnetisierungsinduktivität und der Verriegelungszeit eine experimentelle Feinabstimmung erfolgen, um das Maximum des Wirkungsgrades für den gewünschten Arbeitsbereich zu erhalten.

### 6.3 Einfluss des Luftspaltes auf die Verluste im Transformator des LLC-Konverters

Der Strom, der zur Umladung der parasitären Kapazitäten im LLC-Konverter genutzt wird, wird in der Regel durch den Magnetisierungsstrom des Transformators zur Verfügung gestellt. Die Einstellung des gewünschten Magnetisierungsstromes erfolgt über einen Luftspalt im Trafokern (Abb. 6.11). Gleichzeitig verändert sich mit der Größe des Luftspaltes natürlich auch die Magnetisierungsinduktivität (Hauptinduktivität) des Trafos (Abb. 6.10).



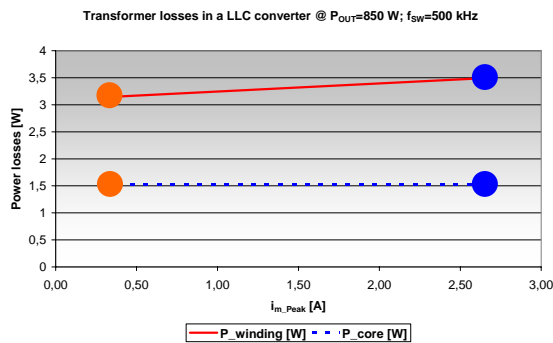
**Abb. 6.10** Zusammenhang zwischen Magnetisierungsinduktivität  $L_m$  und Luftspalt im Trafokern; Trafokern: ETD 34; Trafomaterial N 49 @  $V_{IN}=410$  V;  $V_{OUT}=29$  V;  $P_{OUT}=850$  W;  $f_{SW}=500$  kHz



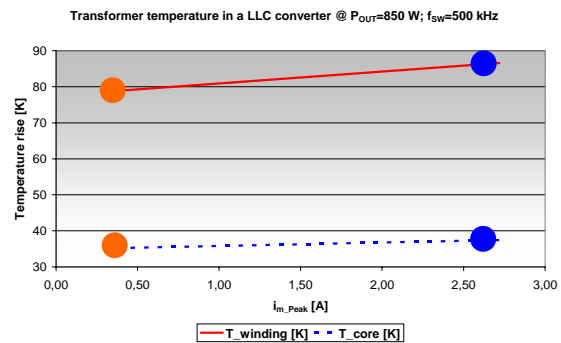
**Abb. 6.11** Zusammenhang zwischen Magnetisierungsstrom  $i_m$  und Luftspalt im Trafokern; Trafokern: ETD 34; Trafomaterial N 49 @  $V_{IN}=410$  V;  $V_{OUT}=29$  V;  $P_{OUT}=850$  W;  $f_{SW}=500$  kHz

Bei der Auslegung des Transformators interessiert besonders der Einfluss des Luftspaltes auf die Verluste. Zu diesem Zweck wurden verschiedene Transformatoren mit unterschiedlichen Luftspalten mittels einer Software berechnet [8.1]. Die Ergebnisse für die berechneten Kern- und Wicklungsverluste in Abhängigkeit vom Magnetisierungsstrom sind in Abb. 6.12 zu sehen. Die Kernverluste werden durch den Luftspalt nicht beeinflusst. Die Wicklungsverluste vergrößern sich um 11 % bei einer Erhöhung des Magnetisierungsstromes um das Neunfache.

Der geringe Einfluss des Luftspaltes auf die Transformatorverluste spiegelt sich ebenfalls in der geringen Erhöhung der Übertemperaturen von Kern und Wicklung wider (Abb. 6.13). Obwohl die Kernverluste von der Veränderung des Luftspaltes unberührt bleiben, gibt es durch die thermische Kopplung von Kern und Wicklung eine minimale Erhöhung der Kerntemperatur mit Vergrößerung des Luftspaltes. Die Übertemperatur des Kerns erhöht sich um 6 % bei einer Vergrößerung des Magnetisierungsstromes um das Neunfache. Die Übertemperatur der Wicklung erhöht sich um ca. 10 %.



**Abb. 6.12** Verluste (Kernverluste + Wicklungsverluste) des Transformators im LLC-Konverter in Abhängigkeit vom Magnetisierungsstrom; *orangefarbiger Punkt*: SRC ohne Luftspalt ( $L_m=351 \mu\text{H}$ ) im Trafo *blaufarbiger Punkt*: LLC-Konverter mit Luftspalt ( $L_m=40 \mu\text{H}$ ) im Trafo @  $V_{IN}=410 \text{ V}$ ;  $V_{OUT}=29 \text{ V}$ ;  $P_{OUT}=850 \text{ W}$ ;  $f_{SW}=500 \text{ kHz}$



**Abb. 6.13** Kernüber Temperatur und Wicklungsüber Temperatur des Transformators im LLC-Konverter in Abhängigkeit vom Magnetisierungsstrom; *orangefarbiger Punkt*: SRC ohne Luftspalt ( $L_m=351 \mu\text{H}$ ) im Trafo *blaufarbiger Punkt*: LLC-Konverter mit Luftspalt ( $L_m=40 \mu\text{H}$ ) im Trafo @  $V_{IN}=410 \text{ V}$ ;  $V_{OUT}=29 \text{ V}$ ;  $P_{OUT}=850 \text{ W}$ ;  $f_{SW}=500 \text{ kHz}$

*Der Transformator in einem LLC-Konverter besitzt einen Luftspalt, mit dem der Magnetisierungsstrom eingestellt wird. Der Transformator mit Luftspalt ist nötig, wenn keine externe Magnetisierungsinduktivität (Paralleldrossel) verwendet wird.*

*Da der Magnetisierungsstrom in Anhängigkeit von den verwendeten Halbbrücken-MOSFETs und der Zweigverriegelungszeit eingestellt wird, existiert ein weiter Wertebereich für dem Strom  $i_m$ . Berechnungen haben gezeigt, dass die Kernverluste des Trafos durch den Luftspalt nicht beeinflusst werden. Die Wicklungsverluste werden mit größerem Luftspalt nur minimal erhöht.*

*Diese Ergebnisse lassen den Schluss zu, dass der Transformator im LLC-Konverter, bei Vollastbetrieb, vernachlässigbar von den Zusatzverlusten durch den Luftspalt beeinflusst wird.*

#### 6.4 Wirkungsgrad-Skalierung für einen 2 kW Post-Regulated LLC-Konverter

Die vorangegangenen Untersuchungen haben gezeigt, dass der LLC-Konverter sehr gut als „DC-Transformator“ in einem dreistufigen Schaltnetzteil einsetzbar ist. Der Wirkungsgrad des Post-Regulated LLC-Konverters erreichte im Vergleich der Systeme mit 800 W Ausgangsleistung nahezu den Wert der zweistufigen Lösung (Abb. 5.81).

Dieses Kapitel beschäftigt sich mit der Abschätzung des Wirkungsgrades für einen Post-Regulated LLC-Konverter höherer Ausgangsleistung und zeigt das Verbesserungspotential am Beispiel einer 2 kW Lösung.

Die Abb. 6.14 zeigt die reale Verlustleistungsbilanz für den Post-Regulated LLC-Konverter mit 800 W Ausgangsleistung, der im betrachteten Arbeitspunkt einen Wirkungsgrad von 89,85 % aufweist. Weiterführende Angaben zur Analyse dieses Konverters sind im Kapitel 5.3.6 zu finden.

Ein Post-Regulated LLC-Konverter mit 2 kW Ausgangsleistung besitzt die 2,5-fache Ausgangsleistung, im Vergleich zu dem untersuchten 800 W System. Im ersten Ansatz sind deshalb die Einzelverluste in einer Bilanz für den 2 kW Konverter auch 2,5-fach höher als in der 800 W Lösung. Diese skalierte Verlustleistungsbilanz ist in Abb. 6.15 bzw. Abb. A. 90 zu sehen.



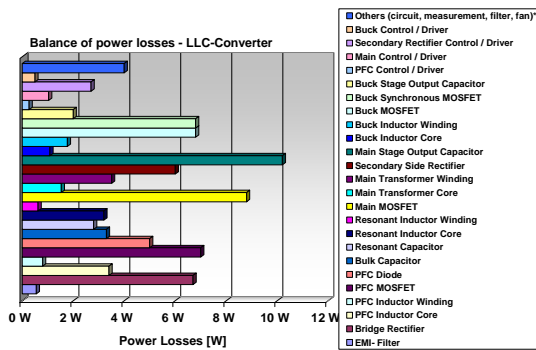


Abb. 6.14 Verlustleistungsbilanz des dreistufigen 800 W LLC-Konverters mit sekundärseitigem Tiefsetzsteller @  $V_{IN,RMS}=230\text{ V}$ ;  $P_{OUT}=800\text{ W}$ ;  $\eta=89,85\%$

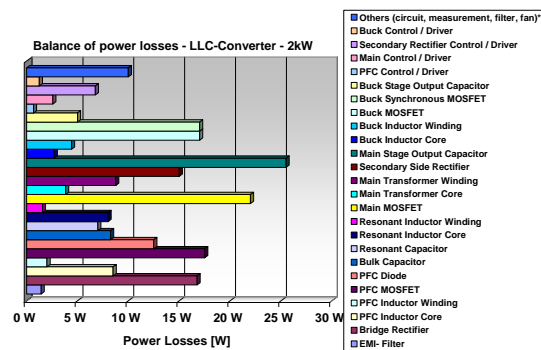


Abb. 6.15 Skalierte Verlustleistungsbilanz des dreistufigen 2 kW LLC-Konverters mit sekundärseitigem Tiefsetzsteller @  $V_{IN,RMS}=230\text{ V}$ ;  $P_{OUT}=2000\text{ W}$ ;  $\eta=89,85\%$

Die Effizienz der 2 kW und der 800 W Systeme ist nach diesem Ansatz identisch. Diese nicht ganz realistische Aussage wird verwendet, um die Hauptverlustquellen des Konverters aufzuzeigen und mögliches Verbesserungspotential zu prüfen. Die Hauptverlustquellen sind:

- Eingangsgleichrichter
- PFC-MOSFET und PFC-Diode
- primärseitige Hauptstufen-MOSFETs
- sekundärseitige Gleichrichter-MOSFETs
- Ausgangskondensatoren der Hauptstufe (sinusförmige Strombelastung)
- MOSFETs im sekundärseitigen Tiefsetzsteller

Die praktische Auslegung des Post-Regulated LLC-Konverters für 2 kW Ausgangsleistung wird nach anderen Gesichtspunkten erfolgen als bei dem System mit 800 W Ausgangsleistung. Bei einer hohen Ausgangsleistung steht die Optimierung auf hohen Wirkungsgrad und die Erzielung geringer Verluste im Vordergrund. Die Verlustreduktion kann mittels größerer Chip-Flächen (größere Anzahl an MOSFETs) und geringerer Schaltfrequenzen erreicht werden.

Besonders in den sekundärseitigen Gleichrichtern und im leistungsstellenden Tiefsetzsteller macht sich mehr Chip-Fläche positiv bemerkbar.

Die Verluste in der Resonanzdrossel können durch die Verwendung von Ferritmaterial anstelle von Pulvermaterial weiter verringert werden, weil Ferritdrosseln auf geringere Verluste ausgelegt werden können. Resonanzdrosseln gehören in der Regel zu den kernverlustlimitierten Anwendungen.

Der Wirkungsgrad der PFC-Stufe kann durch die Verwendung des Bridgeless-PFC-Konzeptes, das ohne Eingangsgleichrichter auskommt, um mindestens 1 % erhöht werden (siehe 2.5.3).

Die Erzielung einer höheren Effizienz im System führt zu Einsparungen am Kühlsystem (Kühlkörper), was sich wieder positiv auf die Leistungsdichte und letztendlich auf die Kosten auswirkt.

Die zahlenmäßige Abschätzung des Wirkungsgrades für einen 2 kW Post-Regulated LLC-Konverter ist ohne genaue Dimensionierung des Systems und ohne Einbeziehung erneuter Topologiebetrachtungen nicht möglich.

Zusammenfassend lässt sich aber sagen, dass infolge technisch-wirtschaftlicher Sachverhalte der Wirkungsgrad eines Schaltnetzteils in der Regel mit steigender Ausgangsleistung steigt.

*Die praktische Auslegung des Post-Regulated LLC-Konverters für hohe Ausgangsleistungen wird nach anderen Gesichtspunkten erfolgen als bei dem betrachteten System mit 800 W Ausgangsleistung. Bei einer hohen Ausgangsleistung steht die Optimierung auf hohen Wirkungsgrad und die Erzielung geringer Verluste im Vordergrund. Die Verlustreduktion kann durch größere Chip-Flächen und geringere Schaltfrequenzen erreicht werden. Die Verluste in der Resonanzdrossel können durch die Verwendung von Ferritmaterial anstelle von Pulvermaterial weiter verringert werden. Der Wirkungsgrad der PFC-Stufe kann durch die Verwendung des Bridgeless-PFC-Konzeptes signifikant erhöht werden.*

*Die Erzielung einer höheren Effizienz im System führt zu Einsparungen am Kühlsystem, was sich wieder positiv auf die Leistungsdichte und letztendlich auf die Kosten auswirkt.*

*Aufgrund der technisch-wirtschaftlichen Sachverhalte steigt der Wirkungsgrad eines Schaltnetzteils in der Regel mit steigender Ausgangsleistung.*

## 6.5 Diskussion eines Pre-Regulated LLC-Konverters

Die Ergebnisse zu den sekundärseitig geregelten Schaltnetzteilen wurden im Kapitel 5.3.10 zusammengefasst. In der Auswertung dieser Betrachtungen kristallisierte sich der Post-Regulated LLC-Konverter als die beste Lösung heraus.

Für die Weiterführung der Untersuchungen könnte deshalb ein primärseitig geregelter LLC-Konverter gewählt werden (Abb. 6.16). Dieser Wandler ist nach dem Pre-Regulated Konzept aufgebaut (Abb. 5.1).

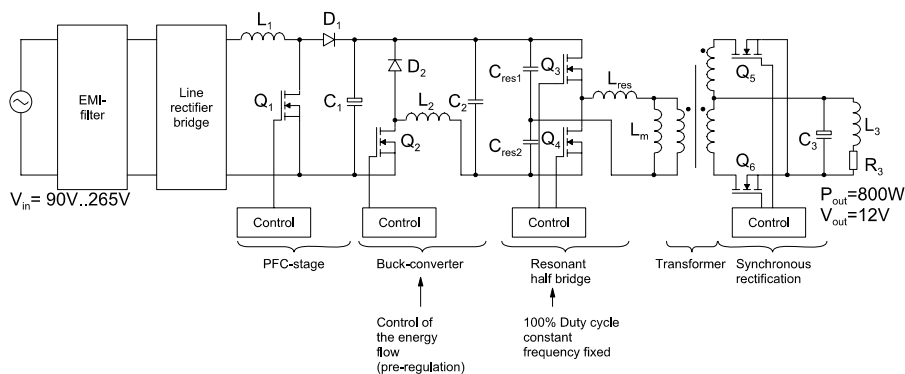


Abb. 6.16 Schaltplan des dreistufigen LLC-Konverters (Pre-Regulated Topologie)

Der Vorteil dieser Lösung liegt in dem primärseitig angeordneten Tiefsetzsteller, der die LLC-Stufe mit einer konstanten Spannung versorgt. Der Tiefsetzsteller ist nur einer geringen Strombelastung ausgesetzt, weshalb die Tiefsetzsteller-Anordnung auf eine einphasige Lösung reduziert werden kann. Probleme mit der Strombalance zwischen mehreren Phasen können also nicht auftreten.

Die Auswahl eines geeigneten Ansteuerschaltkreises gestaltet sich für einen Hochvolt-Tiefsetzsteller einfacher als für den Steller in der Niedervolt-Anordnung (24 V Eingangsspannung). Die Strommessung, die beim sekundärseitig angeordneten Tiefsetzsteller problematisch war, lässt sich in einem primärseitig angeordneten Tiefsetzsteller einfach über Messwiderstände realisieren.

Der LLC-Konverter wird immer mit einer konstanten Eingangsspannung versorgt und muss am Ausgang die spezifizierten 12 V zur Verfügung stellen. Die Strombelastung der sekundärseitigen Gleichrichter im LLC-Konverter steigt gegenüber der Post-Regulated Lösung, da die Ausgangsspannung des LLC-Konverters bei gleicher Ausgangsleistung von 24 V auf 12 V reduziert wird. Für die Realisierung muss mehr Chip-Fläche in der Sekundärseite des LLC-Konverters verbaut werden. Weiterhin muss ein zweiter Hochvolt-Zwischenkreis  $C_2$  zwischen Tiefsetzsteller und LLC-Konverter angeordnet werden, um die primärseitige Spannungseinpprägung für den LLC-Konverter zu gewährleisten. Dieser Zwischenkreiskondensator kann als Folien- oder Keramikkondensator ausgeführt werden, da die hold-up time Anforderung schon durch den Haupt-Zwischenkreis  $C_1$  erfüllt wird (Abb. 6.16).

Der Wirkungsgrad des Pre-Regulated LLC-Konverters wurde aus den Einzelwirkungsgraden von LLC-Konverter, PFC-Stufe und Tiefsetzsteller berechnet. Faktoren, wie die höhere sekundärseitige Strombelastung im LLC-Konverter und die geringere Strombelastung des Tiefsetzstellers wurden berücksichtigt. Das Ergebnis ist in Abb. 6.17 zu sehen.

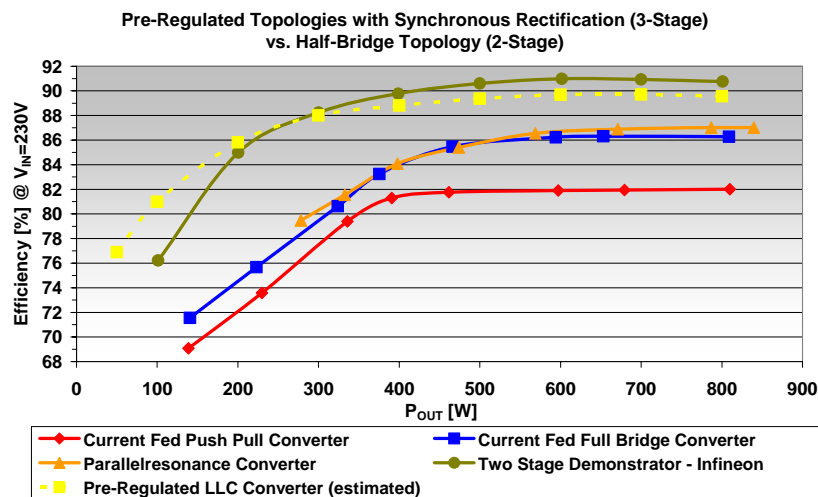


Abb. 6.17 Abgeschätzter Wirkungsgrad-Verlauf des Pre-Regulated LLC-Konverters im Vergleich zu den untersuchten Pre-Regulated SMPS und zum zweistufigen Demonstrator @  $V_{IN\_RMS}=230$  V

Der Wirkungsgrad des Pre-Regulated LLC-Konverters wird in etwa auf dem Niveau des Post-Regulated LLC-Konverters liegen. Die praktische Umsetzung gestaltet sich aufgrund des primärseitig angeordneten Tiefsetzstellers aber einfacher.

*Der Wirkungsgrad des Pre-Regulated LLC-Konverters wird in etwa auf dem Niveau des Post-Regulated LLC-Konverters liegen. Die praktische Umsetzung gestaltet sich aber durch den primärseitig angeordneten Tiefsetzsteller einfacher als in der Post-Regulated Topologie.*

## 6.6 Ergebnisse der Untersuchungen zu dreistufigen Schaltnetzteiltopologien

Die dreistufigen Schaltnetzteiltopologien, die auch als Three-Stage-Lösungen bezeichnet werden, stellen den zentralen Teil dieser Arbeit dar. Diese Topologien wurden vor dem Hintergrund von Verbesserungen im Vergleich zu den derzeitig vorherrschenden zweistufigen Topologien untersucht. Die angestrebten Verbesserungen waren die Reduktion der Zwischenkapazität und die damit verbundene Leistungsdichte-Erhöhung. Die Verbesserung des Systemwirkungsgrades mittels Aufteilung der Leistungsstellung und der galvanischen Trennung auf verschiedene Wandlerstufen. Die Erhöhung der Freiheitsgrade zur Beeinflussung von Schaltungsparametern und eine bessere Anpassung der dreistufigen Topologien an die jeweilige Anwendung.

Der im Abschnitt 3.4.3 beschriebene Kompromiss zwischen Bauvolumen für den Zwischenkreis und Eingangsspannungsbereich des Hauptwandlers kann mit dreistufigen Lösungen überwunden werden. Dreistufige Topologien sind tatsächlich in der Lage, Zwischenkreiskapazität einzusparen und damit positiv auf die Kosten und die Leistungsdichte zu wirken.

Der zusätzliche Wandler, der Schwankungen der Zwischenkreisspannung ausgleicht, ist in den untersuchten Topologien ein Tiefsetzsteller.

Der Hauptwandler arbeitet als ungesteuertes Übertragungsglied in Form eines „DC-Transformators“. Als bester Wandler für diese Anwendung hat sich der LLC-Konverter herauskristallisiert. Er operiert über den gesamten Arbeitsbereich im verlustarmen ZVS-Betrieb mit 100 % Konvertertastverhältnis bzw. konstantem Steuerwinkel.

Der LLC-Konverter ist sowohl mit einem primärseitig als auch mit einem sekundärseitig angeordneten Tiefsetzsteller kombinierbar. Die praktische Umsetzung gestaltet sich mit einem primärseitig angeordneten Tiefsetzsteller einfacher.

Die einzelnen Stufen eines dreistufigen Schaltnetzteils lassen sich separat ansteuern, so dass eine einfache Ansteuerstrategie umgesetzt werden kann.

Der Vergleich der Wirkungsgrade zwischen den dreistufigen Lösungen und dem zweistufigen Vergleichsnetzteil lieferte das Ergebnis, dass ein dreistufiges Schaltnetzteil mit LLC-Konverter im Vollastbetrieb den Wirkungsgrad des zweistufigen Konzeptes erreichen kann. Im Arbeitsbereich von 0 % bis 30 % der Ausgangsleistung ist das dreistufige LLC-Konzept sogar überlegen, da der LLC-Konverter über einen weiten Bereich Nullspannungsschalten gewährleistet.

Der LLC-Konverter kann so eingestellt werden, dass man entweder einen hohen Vollastwirkungsgrad erreicht oder einen durchschnittlichen Wirkungsgrad über den gesamten Arbeitsbereich. Es besteht ein Zielkonflikt zwischen Verlustentstehung und Arbeitsbereich mit hohem Wirkungsgrad.

Die Bauelementanzahl der dreistufigen Demonstratoren liegt aufgrund der zusätzlichen Stufe über der Anzahl der zweistufigen Lösung. Eine Betrachtung der Kosten hat gezeigt, dass alle untersuchten zwei- und dreistufigen Topologien eine ähnliche Kostenstruktur ausweisen (Abb. A. 61, Abb. A. 64, Abb. A. 66, Abb. A. 68, Abb. A. 74 und Abb. A. 77). Signifikante Unterschiede existieren nicht.

Der Einfluss der Schaltfrequenz auf die passiven Bauelemente wurde am Beispiel eines Resonanzwandlers eingehend untersucht. Aus Sicht des Transformators ergab sich bei Verwendung von Ferritmaterial eine maximale Schaltfrequenz von 500 kHz, ab der keine weitere signifikante Volumenreduktion möglich war.

Aufgrund der stark reduzierten Schaltverluste im LLC-Konverter kann dieser Wandler in Hinsicht auf Volumenreduktion der passiven Bauelemente (Resonanzdrossel, Haupttransformator) mit hohen Schaltfrequenzen (100 kHz...500 kHz) betrieben werden.

Ein weiteres Ergebnis dieser Arbeit ist, dass ein hoher Wirkungsgrad nicht automatisch mit hohen Schaltfrequenzen erreicht werden kann. Hohe Schaltfrequenzen können, in Abhängigkeit von den verwendeten passiven Bauelementen, positiv auf die Leistungsdichte des Schaltnetzteils wirken.

Die Leistungsdichte eines Schaltnetzteils wird, neben den passiven Komponenten, massiv durch den Kühlkörper bestimmt. Ein System mit schlechtem Wirkungsgrad benötigt einen großen Kühlkörper, um die anfallenden Verluste abzuführen. Die Erzielung einer hohen Leistungsdichte ist somit direkt mit der Forderung nach einem hohen Wirkungsgrad verknüpft.

In Grenzbereichen höchster Wirkungsgrade bzw. höchster Leistungsdichte kann es dazu kommen, dass eine hohe Leistungsdichte und ein hoher Wirkungsgrad nicht gleichzeitig erreicht werden können. Dies gilt besonders dann, wenn der sehr hohe Wirkungsgrad nur mit geringen Schaltfrequenzen erlangt werden kann. Geringe Schaltfrequenzen bewirken, dass passive Bauelemente mit großem Volumen verwendet werden müssen.

Die Synchronisation von mehreren Schaltnetzteilstufen wurde im Rahmen dieser Arbeit auch untersucht. Bei der Synchronisation von PFC-Stufe und Hauptwandler ist die Reduktion des Stromeffektivwertes durch den Zwischenkreiskondensator deutlich vom Tastverhältnis des Hauptwandlers abhängig. Bei einem großen Hauptwandler-Tastverhältnis (90 %) kann nur eine kleine Effektivwertreduktion (5 %) erreicht werden, wobei hingegen bei kleinem Tastverhältnis (35 %) im Hauptwandler der Zwischenkreisstromeffektivwert um bis zu 40 % reduziert werden kann. Da diese Arbeit auf Server-Applikationen abzielt, in denen der Zwischenkreis nach hold-up time ausgelegt wird, kann man mithilfe der Synchronisation keine Reduktion der Zwischenkreiskapazität erreichen. Vielmehr wirkt sich der verkleinerte Stromeffektivwert positiv auf die Lebensdauer der Kondensatoren aus.

Die Auswirkung der Synchronisation auf das EMV-Spektrum ist nicht positiv, da die Schaltfrequenzen im System auf einen Wert konzentriert werden und damit das gesamte Störspektrum angehoben wird.

Die Synchronisation eines Hauptwandlers mit einem zweiphasigen Tiefsetzsteller in einer dreistufigen Topologie wurde anhand von zwei Beispielen (Serienresonanzkonverter + Tiefsetzsteller bzw. partiell hart schaltende Halbbrücke + Tiefsetzsteller) simulativ untersucht. Im Ergebnis dieser Analysen ergab sich im synchronen Betrieb keine Reduktion der Effektivwertstrombelastung für den Kondensator zwischen beiden Stufen.

Der nicht synchrone Betrieb, bei dem die Schaltfrequenzen und Schaltzeitpunkte vom Hauptwandler und Tiefsetzsteller leicht verschieden sind, brachte die geringste Belastung für den Kondensator zwischen beiden Stufen.

Die Synchronisation des Hauptwandlers und des sekundärseitigen Tiefsetzstellers bringt für die untersuchten Schaltungen keine Vorteile.

In den untersuchten Schaltnetzteiltopologien wurden Schaltfrequenzen bis hin zu 500 kHz verwendet. Da bei Verwendung hart schaltender Gate-Ansteuerungen enorme Ansteuerungsverluste auftreten, wurde die Verwendung einer resonanten Gate-Ansteuerung geprüft. Bei einer resonanten Ansteuerung wird die Energie, die zum Schalten des MOSFETs benötigt wird, beim Ein- und Ausschalten nicht in Wärme umgesetzt. Die Energie wird für den nächsten Einschalt- oder Ausschaltvorgang in einem Schwingkreis zwischengespeichert.

Die Verwendung der resonanten Lösung führt zur Verringerung der Ansteuerungsverluste und zu einer Verbesserung des Gesamtsystemwirkungsgrades. Nachteilig sind die komplexe Ansteuerung bei Applikationen mit variablem Tastverhältnis, der Bedarf von Zusatzelementen im

Ansteuerkreis sowie der Konflikt zwischen Ansteuerdynamik und Verlustreduktion. Die in dieser Arbeit vorgestellte Lösung erzeugt mittels eines Parallelschwingkreises eine sinusförmige Gate-Spannung am MOSFET. Diese Lösung ist für ungesteuerte Konverter mit sinusförmigem Laststromfluss durch die angesteuerten Synchrongleichrichter-MOSFETs einsetzbar. Praktische Untersuchungen haben eine Reduktion der Ansteuerverluste um 40 % gegenüber der unidirektionalen Ansteuerung mit 12 V Treiberspannung gezeigt.

Zusammenfassend lässt sich sagen. Das Ziel dieser Arbeit mit einer dreistufigen Topologie einen höheren Wirkungsgrad zu erreichen, als mit einem zweistufigen Ansatz wurde nur bedingt erfüllt. Als Grund für dieses Ergebnis lassen sich die hohen Schaltfrequenzen in den einzelnen Stufen benennen. Die hohen Schaltfrequenzen führen zur Entstehung beachtlicher Schaltverluste.

Im Vollastbetrieb wird mit dem dreistufigen LLC-Konverter eine geringere Effizienz als mit der zweistufigen Topologie erreicht. Im Teillastbetrieb hingegen war der LLC-Konverter dem zweistufigen System überlegen.

Die Steigerung der Leistungsdichte gegenüber der zweistufigen Lösung wurde mit den dreistufigen Lösungen erreicht, da das Bauvolumen für den Zwischenkreis signifikant verkleinert werden konnte.

### 6.7 Entwurfssystematik für ein Schaltnetzteil

Dieses Kapitel stellt eine Entwurfssystematik für ein komplettes Schaltnetzteil vor. Es wird der Entwicklungsablauf von der Aufgabenstellung bis zum fertigen Produkt abgebildet. Im betrachteten Leistungsbereich ist eine PFC-Stufe erforderlich (siehe 2.5), deren Auslegung Berücksichtigung findet.

Einstufige Konzepte und kaskadierte Lösungen wurden nicht in die Betrachtungen einbezogen. Einstufige Konzepte verbieten sich in dem untersuchten Anwendungsfeld, da hohe Anforderungen an die Welligkeit der Ausgangsspannung gestellt werden (siehe 2.4.2). Kaskadierte Lösungen sind in dem betrachteten Anwendungsfeld denkbar, sie ändern am prinzipiellen Entwicklungsablauf aber nichts.

Abb. 6.18 stellt das Vorgehen beim Entwurf des Schaltnetzteils als Komplettsystem dar. Die Auslegung der einzelnen Schaltnetzteilstufen bzw. Teiltopologien ist in Abb. 6.19 dargestellt.

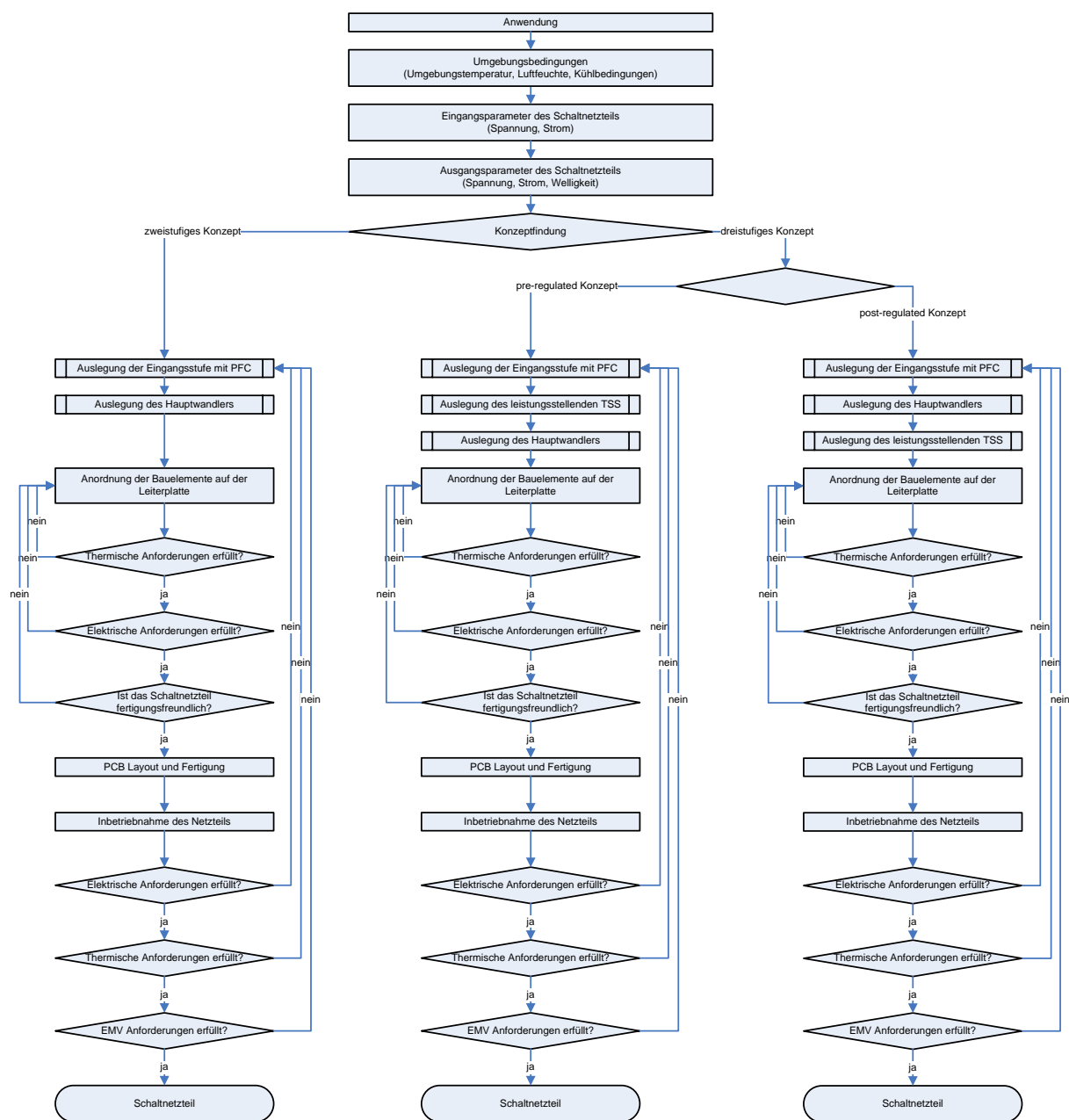


Abb. 6.18 Entwurfssystematik für das Komplettsystem eines Schaltnetzteils

Die Entwurfssystematik sollte im Hinblick auf drei verschiedene Designkriterien durchlaufen werden:

- hoher Wirkungsgrad
- hohe Leistungsdichte
- minimale Kosten

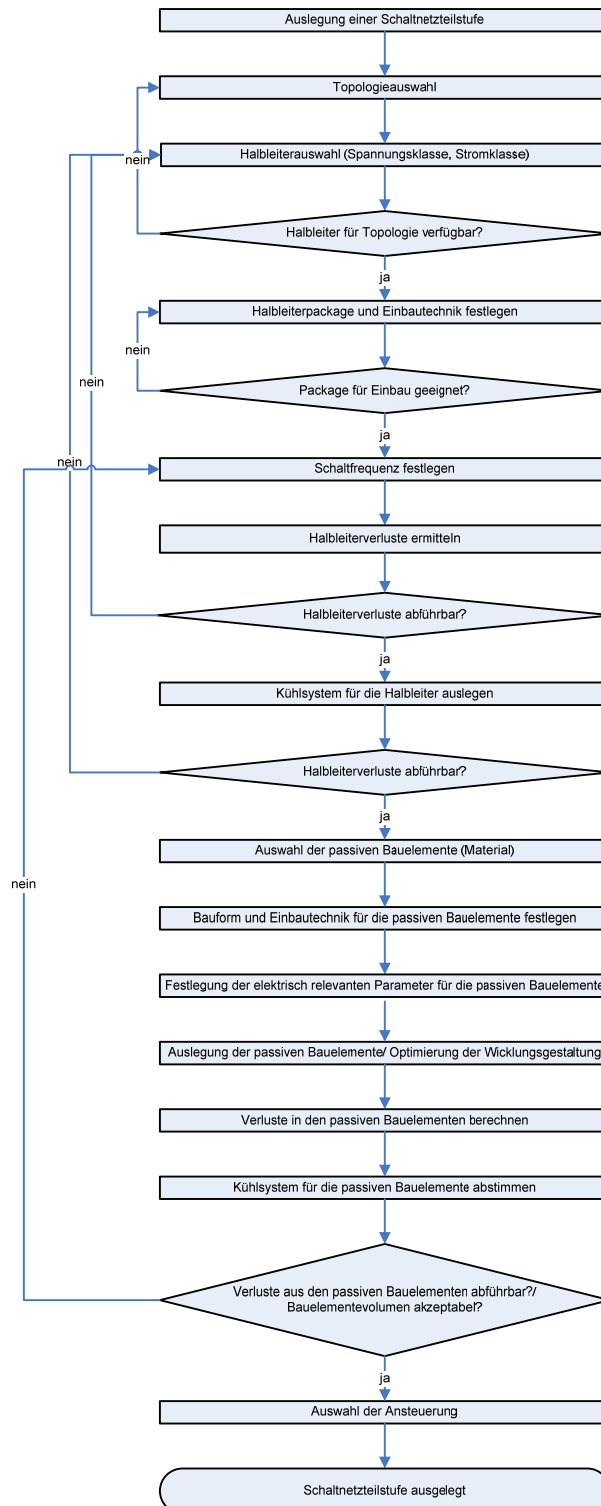


Abb. 6.19 Entwurfssystematik für eine Stufe eines Schaltnetzteils



Die vorgestellte Systematik soll einen Einblick in die komplexe Entwicklung eines Schaltteils geben. Sie soll mögliche Problemstellen aufzeigen und das Zusammenspiel elektrischer, thermischer und mechanischer Gesichtspunkte verdeutlichen. Die Benutzung der Entwurfssystematik ist ohne Kenntnisse auf dem Gebiet der Schaltnetzteiltechnik nicht möglich. Insbesondere die Entscheidungen, mit welchen Mitteln ein Verlustbeitrag an die Umgebung abgeführt werden kann, beruht auf orientierenden Berechnungen und Erfahrungen.

## 7. Zusammenfassung und Ausblick

Basierend auf dem Stand der Technik konzentriert sich diese Arbeit auf die Analyse von zweistufigen und dreistufigen Schaltnetzteiltopologien für die Erzeugung niedriger Ausgangsspannungen und hoher Ausgangsströme. Dabei sollten Möglichkeiten zur Verbesserung ihrer technischen und sonstigen Parameter erschlossen werden.

Die gewonnenen Aussagen beziehen sich auf Systeme mit einer Eingangsleistung von maximal 3680 W, da diese Leistung von einem einphasigen Hausanschluss, der mit 16 A abgesichert ist, bei 230 V bereitgestellt werden kann. Die Anwendungen, die hinter diesen Schaltnetzteilen stehen, sind sowohl Stromversorgungen für Server als auch für Telekommunikationsanlagen.

Die Untersuchungen im Rahmen dieser Arbeit sind weitgehend experimenteller Natur, da im Hinblick auf die hohe Komplexität eines Schaltnetzteils eine theoretische Beschreibung und Berechnung nur unter erheblichen Vernachlässigungen und damit Abweichungen von der Realität möglich wäre.

Simulationen und Berechnung wurden als unterstützendes Hilfsmittel während der praktischen Umsetzung verwendet.

Die sechs verschiedenen dreistufigen Schaltnetzteile, die im Rahmen dieser Dissertation entstanden, wurden nach einer einheitlichen Designphilosophie entwickelt. Alle Systeme wurden für die Erzeugung von 12 V DC-Ausgangsspannung bei einer Ausgangsleistung von 800 W dimensioniert. Als Vergleichsobjekt wurde ein zweistufiger Demonstrator der Firma Infineon gewählt, der ebenfalls 12 V DC-Ausgangsspannung liefert.

Der bei zweistufigen Topologien gegenwärtig erforderliche Kompromiss zwischen Bauvolumen für den Zwischenkreis und Eingangsspannungsbereich des Hauptwandlers kann mit dreistufigen Lösungen nachweislich überwunden werden. Bei diesen Konzepten wird ein zusätzlicher Wandler in den Leistungspfad eingebunden, der die Leistungsstellung übernimmt. Der Hauptwandler arbeitet nun als ungesteuertes Übertragungsglied in Form eines „DC-Transformators“. Das bedeutet er kann mit Volllaststeuerung, d.h. 100 % Konvertertastverhältnis operieren und auf ZVS-Betrieb bzw. für resonantes Schalten ausgelegt werden. Als Glied für die Leistungsstellung bietet sich ein Tiefsetzsteller an, da er einen einfachen Aufbau besitzt, sehr gut in einem weiten Eingangsspannungsbereich arbeiten kann und einfach zu steuern ist. Der Tiefsetzsteller kann auf der Primärseite des Transformators angeordnet werden, wo er die Hauptstufe mit einer konstanten Spannung versorgt (Pre-Regulated Konzept). Die andere Variante ist die Anordnung auf der Sekundärseite des galvanisch isolierenden Wandlers (Post-Regulated Konzept). Bei dieser Lösung überträgt der „DC-Transformator“ die Zwischenkreisspannung in einem festen Verhältnis, mit all ihren Schwankungen. Der nachfolgende Tiefsetzsteller muss die Schwankungen ausgleichen und die DC-Ausgangsspannung an der Last konstant regeln.

Der zweistufige Demonstrator ist eine spannungsgespeiste, partiell hart schaltende Halbbrücke mit PFC-Stufe.

Die untersuchten dreistufigen, primärseitig geregelten Schaltnetzteile (Pre-Regulated) waren: ein Current Fed Push Pull-Konverter; ein Current Fed Full Bridge-Konverter und ein Parallelresonanzkonverter, jeweils mit primärseitigem Tiefsetzsteller.

Die betrachteten Netzteile mit sekundärseitiger Regelung (Post-Regulated) waren: eine partiell hart schaltende Halbbrücke, ein Serienresonanzkonverter und ein LLC-Konverter, immer

mit sekundärseitigem Tiefsetzsteller. Alle dreistufigen Netzteile verfügen ebenfalls über eine PFC-Stufe.

Die nachstehenden Teile dieses Kapitels rekapitulieren die wichtigsten Ergebnisse dieser Dissertation.

Folgende charakteristische Aussagen lassen sich zu den Pre-Regulated SMPS treffen:

Die primärseitigen Hauptstufen-MOSFETs des Current Fed Push Pull-Konverters und des Current Fed Full Bridge-Konverters sind einer sehr starken Spannungsbelastung ausgesetzt. Die sekundärseitigen Gleichrichter-MOSFETs werden in den primärseitig stromeingeprägten Systemen hingegen nur mit geringen Überspannungen belastet.

Der Parallelresonanzkonverter ist eine Abwandlung des Current Fed Full Bridge-Konverters, um bewusst resonantes Schalten zu erreichen und Schaltverluste zu reduzieren. Die Belastung der Schaltelemente liegt in der Größenordnung des Vollbrückenwandlers. Nachteilig an diesem Konzept ist die Lastabhängigkeit der Resonanz aufgrund der seriellen Lastauskopplung im Schwingkreis.

Die Realisierung eines sekundärseitigen Synchrongleichrichters lässt sich in allen stromgespeisten Topologien nur mit erhöhtem Aufwand umsetzen.

Zusammenfassend lässt sich sagen, dass ein stromgespeicherter Wandler nicht für die Erzeugung hoher Ströme in Kombination mit niedrigen Ausgangsspannungen geeignet ist. Der Hauptgrund dafür ist die negative Wirkung der Streuinduktivität auf die aktiven Bauelemente.

Die Post-Regulated Stromversorgungen sind durch nachfolgende Aussagen gekennzeichnet:

Die Untersuchungen der partiell hart schaltenden Halbbrücke, bei einer hohen Schaltfrequenz von 500 kHz, haben gezeigt, dass dieser Wandler in keinem Betriebszustand als „DC-Transformator“ geeignet ist, da sein Verhalten sehr lastabhängig ist. Eine Drossel zur Begrenzung der Stromsteilheiten sowie Clampingdioden sind nötig, um ein arbeitspunktabhängiges Nullspannungsschalten und gleichzeitig zulässige Spannungsbelastungen der sekundärseitigen Gleichrichter zu erreichen.

Die Begrenzungsdrossel limitiert aufgrund ihres Spannungsabfalls aber auch die Ausgangsleistung des Wandlers.

Der Serienresonanzkonverter ist sehr gut als „DC-Transformator“ geeignet, solange genügend Strom (Laststrom) abgeschaltet werden kann, der die Ausgangskapazitäten der MOSFETs umlädt, um ZVS-Betrieb zu erreichen. Im Teillastbetrieb kommt es in Abhängigkeit von Schaltfrequenz, Zweigverriegelungszeit und Steuerwinkel (Grad der Überresonanz) zum Verlust der ZVS-Bedingung. Ab diesem Zeitpunkt schalten die primärseitigen Halbbrücken-MOSFETs hart auf die Zwischenkreisspannung ein und verursachen große Schaltverluste.

Als Problemlösung kann eine Abwandlung des Serienresonanzwandlers betrachtet werden, der LLC-Konverter. Dieser Konverter besitzt eine definiert reduzierte Hauptinduktivität im Transformator, so dass lastunabhängig immer ein ausreichender Magnetisierungsstrom fließt, um die Ausgangskapazitäten der MOSFETs umzuladen. Die Untersuchungen des LLC-Konverters haben gezeigt, dass mit diesem Wandler über den gesamten Lastbereich ein Nullspannungsschalten möglich ist. Der LLC-Konverter ist daher sehr gut als lastunabhängiger „DC-Transformator“ geeignet. Das ist eine wichtige Erkenntnis der vorliegenden Arbeit.

Der wesentliche Vorteil der dreistufigen Lösungen gegenüber den zweistufigen Konzepten ist die Einsparung von Zwischenkreiskapazität und der Ausgleich von Spannungsschwankungen (z.B. brown-out) am Zwischenkreis über das Regelspiel des Tiefsetzstellers. Die reduzierte Zwischenkreiskapazität wirkt sich positiv auf die Systemkosten und die Leistungsdichte aus. Jede einzelne Stufe des SMPS kann separat arbeiten. Die damit verbundene Erhöhung der Freiheitsgrade dient zur Beeinflussung von Schaltungsparametern und bewirkt eine bessere Anpassung der dreistufigen Topologien an die jeweilige Anwendung.

Bei Bedarf kann auch eine Synchronisation zwischen den Stufen erfolgen. Im höheren Leistungsbereich ist eine Synchronisation zwischen PFC-Stufe und der folgenden Stufe sinnvoll, um den Zwischenkreiskondensator zu entlasten.

Die Auslegung der einzelnen Stufen eines dreistufigen Schaltnetzteils lässt sich in der Regel recht einfach realisieren, da die Aufgaben Leistungsstellung und galvanische Trennung durch zwei unterschiedliche Wandler vollzogen werden. Diese klare Trennung kann in einem dreistufigen Konzept mit LLC-Konverter zu einer Verbesserung des Systemwirkungsgrades gegenüber der zweistufigen Lösung genutzt werden.

Die getrennte Optimierbarkeit der einzelnen Stufen eines Schaltnetzteils führt zu einem optimalen Gesamtsystem.

Nachteilig bei einer dreistufigen Lösung ist die höhere Bauelementanzahl gegenüber dem zweistufigen Ansatz. Die höhere Bauelementanzahl muss sich nicht direkt in den Systemkosten widerspiegeln. Der Vergleich der experimentell untersuchten Netzteile, hat bei ausschließlicher Betrachtung der Bauelementekosten, ein ähnliches Kostenniveau für die zwei- und dreistufigen Lösungen gezeigt.

Das Ziel dieser Arbeit, mit einer dreistufigen Topologie einen höheren Wirkungsgrad zu erreichen, als mit einem zweistufigen Ansatz, wurde nur bedingt erfüllt. Als Grund für dieses Ergebnis lassen sich die hohen Schaltfrequenzen in den einzelnen Stufen benennen. Die hohen Schaltfrequenzen führen zur Entstehung beachtlicher Schaltverluste.

Im Vollastbetrieb wird mit dem dreistufigen LLC-Konverter eine geringere Effizienz als mit der zweistufigen Topologie erreicht. Im Teillastbetrieb hingegen war der LLC-Konverter dem zweistufigen System überlegen.

Die Steigerung der Leistungsdichte gegenüber der zweistufigen Lösung wurde mit den dreistufigen Lösungen erreicht, da das Bauvolumen für den Zwischenkreis signifikant verkleinert werden konnte.

Die Arbeit stellt die qualitativen Eigenschaften der einzelnen Topologien dar. Die getroffenen quantitativen Aussagen basieren auf dem derzeitigen Stand der Technik bei Halbleitern und passiven Bauelementen. Aufgrund der ständigen Weiterentwicklung auf den Sektoren Halbleiter und passive Bauelemente haben die vorgelegten Untersuchungsergebnisse nur einen, aber dennoch sehr nützlichen, Orientierungscharakter.

Diese Arbeit wurde auch zur Auslotung von aktuell relevanten Schaltfrequenzen genutzt, so dass die vorgestellten Wirkungsgrade nicht die maximal möglichen Werte darstellen. Die Benutzung hoher Schaltfrequenzen wirkt sich negativ auf den Wirkungsgrad aus. Die Erhöhung des Wirkungsgrades gegenüber den gemessenen Werten, lässt sich durch eine Absenkung der Schaltfrequenzen erreichen. Aus dem heutigen Stand der Technik bei Halbleitern und Magnetmaterialien lässt sich schließen, dass dreistufige Topologien mit Schaltfrequenzen im Bereich von 70 kHz bis 130 kHz optimal für die Erzielung eines hohen Systemwirkungsgrades geeignet sind.

Für hohe Ausgangsleistung ist die Verwendung von kaskadierten (Interleaved) Konzepten, in Kombination mit niedrigen Schaltfrequenzen (70 kHz bis 130 kHz) sinnvoll. Dabei können Auslöschungseffekte aufgrund versetzter Pulsung ausgenutzt werden, um passive Bauelemente zu entlasten. Die Leistungsgrenzen für den Einsatz von kaskadierten Konzepten sind nicht klar abgesteckt und von der jeweiligen Anwendung abhängig.

Der LLC-Konverter mit sekundärseitigem Tiefsetzsteller hat sich als beste dreistufige Topologie herauskristallisiert. Aufgrund der sehr guten Eigenschaften des LLC-Konverters in einer dreistufigen Topologie ist es sinnvoll, in einer weiterführenden Arbeit den LLC-Wandler mit einem primärseitig angeordneten Tiefsetzsteller zu paaren. Diese Konfiguration würde weitere Vorteile bezüglich der Auslegung des Tiefsetzstellers bringen. Eine Wirkungsgrad-Abschätzung wurde im Rahmen dieser Arbeit bereits durchgeführt.

Es wird empfohlen, die dreistufigen Schaltnetzteile in einer weiterführenden Arbeit konstruktiv zu optimieren. Dabei sollte die bestmögliche Aufbau- und Verbindungstechnik zum Einsatz kommen. Ein virtuelles 3D-Prototyping des Netzteiles mit Gehäuse, unter Einbeziehung aller elektrischen und thermischen Aspekte, kann zu einer weiteren Erhöhung der Leistungsdichte von dreistufigen Topologien führen.

# Literaturverzeichnis

## 1. Grundlagen

- [1.1] **Bogner, T.:**  
Energieeffizienzpotentiale im Bereich energiebetriebener Geräte und Anlagen-international und in Österreich; Die EuP-Richtlinie-Expertenrunde mit Workshops; Oktober 2007; Wien;  
URL: [http://www.eup-richtlinie.at/download/events/Effpotentiale\\_Bogner.pdf](http://www.eup-richtlinie.at/download/events/Effpotentiale_Bogner.pdf)  
(abgerufen am 20.03.2008)
- [1.2] **Erickson, R. W.; Maksimovic, D.:**  
Fundamentals of Power Electronics Second Edition;  
Kluwer Academic Publishers; 2004; Massachusetts; ISBN 0-7923-7270-0
- [1.3] **Infineon Technology Media:**  
Infineon Helps Power Supply Manufacturers Achieve Efficiency Goals; Introduces Next-Generation of Energy-Saving MOSFET Devices;  
Infineon Press News Archive; [www.infineon.com](http://www.infineon.com); 24. Oktober 2006  
URL: <http://www.infineon.com/cms/en/corporate/press/news/releases/2006/209084.html>  
(abgerufen am 20.03.2008)
- [1.4] **Nicolai, U.; Reimann, T.; Petzoldt, J.; Lutz, J.:**  
Applikationshandbuch IGBT- und MOSFET-Leistungshalbleiter;  
ISLE Verlag; 1998; Ilmenau; ISBN 3-932633-24-5
- [1.5] **Schlenk, M.:**  
Leistungselektronik- Der Schlüssel zu energieeffizienten Systemen;  
Die EuP-Richtlinie-Expertenrunde mit Workshops; Oktober 2007; Wien;  
URL: [http://www.eup-richtlinie.at/download/events/Beitrag\\_DrSchlenk.pdf](http://www.eup-richtlinie.at/download/events/Beitrag_DrSchlenk.pdf) (abgerufen am 20.03.2008)

## 2. Leistungshalbleiter

- [2.1] **Bjoerk, F.; Hancock, J.; Deboy, G.:**  
Application Note AN-CoolMOS-CP-01; Version 1.1; Februar 2007;  
URL: <http://www.infineon.com>  
(abgerufen am 14.04.2008)
- [2.2] **Dahlquist, F.:**  
Junction Barrier Schottky Rectifiers in Silicon Carbide;  
PhD Theses; 2002; Stockholm  
URL: <http://www.diva-portal.org/kth/theses/abstract.xsql?dbid=3367>  
(abgerufen: 14.06.2008)
- [2.3] **Deboy, G.; Udrea, F.:**  
Superjunction Devices & Technologies – Benefits and Limitations of a Revolutionary Step in Power Electronics; Tutorial Book; EPE 2007; Aalborg
- [2.4] **Friedrichs, P.; Rupp, R.:**  
Silicon Carbide Power Devices – Current Development and Potential Applications; EPE 2005, Dresden
- [2.5] **Halbleiter:**  
Halbleiter; Wikipedia-Die freie Enzyklopädie;  
URL: <http://de.wikipedia.org/w/index.php?title=Halbleiter&oldid=44637170>  
(abgerufen am 11.04.2008)

- [2.6] **Infineon Technologies AG:**  
Power Management and Supply Selection Guide; Februar 2008;  
URL: <http://www.infineon.com>  
(abgerufen am 15.04.2008)
- [2.7] **Infineon Technologies:**  
Halbleiter Technische Erläuterung, Technologien und Kenndaten;  
Publicis Corporate Publishing; 2004; München; ISBN 3-89578-205-X
- [2.8] **Infineon Technologies:**  
Datenblatt: 2<sup>nd</sup> Generation thinQ!<sup>TM</sup> SiC Schottky Diode IDT08S60C; Rev. 2.0;  
06.03.2006;  
URL: <http://www.infineon.com>  
(abgerufen: 22.04.2008)
- [2.9] **Infineon Technologies:**  
Datenblatt: CoolMOS Power Transistor IPP60R299CP; Rev. 2.2;  
URL: <http://www.infineon.com>  
(abgerufen: 14.08.2008)
- [2.10] **López, T.; Elferich, R.:**  
Quantification of Power MOSFET Losses in a Synchronous Buck Converter;  
APEC 2007; Anaheim
- [2.11] **Schröder, D.:**  
Elektrische Antriebe 3; Springer Verlag; 1996; ISBN 3-540576-08-8
- [2.12] **Schwalbe, U.; Deboy, G.; Friedrichs, P.; Reimann, T.:**  
Systemvorteile durch SiC-Bauelemente in Schaltnetzteilapplikationen;  
ETG Fachtagung 2006; Bad Nauheim
- [2.13] **STMicroelectronics:**  
Datenblatt: Turbo 2 Ultrafast High Voltage Rectifier STTH8R06D/FP/G/R; Ed.  
2C; Januar 2002;  
URL: <http://www.st.com>  
(abgerufen: 22.04.2008)
- [2.14] **STMicroelectronics:**  
Datenblatt: FDmesh Power Transistor with fast diode STP20NM60FD; Rev. 4;  
August 2006  
URL: <http://www.st.com/stonline/products/literature/ds/9548/stp20nm60fd.pdf>  
(abgerufen: 14.08.2008)
- [2.15] **Tihanyi, J.; Stengl, J. P.:**  
Leistungs-MOS-FET-Praxis;  
Pflaum Verlag; 1992; München; ISBN 3-7905-0619-2

### 3. PFC-Stufe

- [3.1] **Dalal, D.:**  
Die Wahl der richtigen Leistungsfaktorkorrekturschaltung; elektroniknet.de;  
URL: <http://www.elektroniknet.de/home/stromversorgung/fachwissen/uebersicht/uebersicht/netzgeraete/die-wahl-der-richtigen-leistungsfaktorkorrekturschaltung/>  
(abgerufen am 21.04.2008)
- [3.2] **Frisch, M.; Ernö, T.; Jinghui, Y.:**  
2<sup>nd</sup> Generation of PFC Solutions; EDN 2005; China;  
URL: <http://www.em.tycoelectronics.com/news/2ndgenerationPFCcoloured.pdf>  
(abgerufen am 15.06.2008)

- [3.3] **Lu, B.; Brown, R.; Soldano, M.:**  
Bridgeless PFC Implementation Using One Cycle Control Technique;  
APEC 2005; Busan
- [3.4] **Redding, M.; Schlenk, M.:**  
High efficient PFC-stage without input rectification;  
PCIM 2003; Nürnberg
- [3.5] **Todd, P.C.:**  
UC3854 Controlled Power Factor Correction Circuit Design;  
Unitrode Application Note U-134; 1999;  
URL: <http://focus.ti.com/lit/an/slua144/slua144.pdf>  
(abgerufen am 22.04.2008)
- [3.6] **Wang, C.:**  
High Frequency Power Factor Correction (PFC) in Front-End Converter;  
CPES; 14.03.2006

#### 4. Hauptwandler-Stufe

- [4.1] **Björk, F.:**  
800 W Evaluation Server Board; AN-CoolMOS-08; Juni 2006  
URL: <http://www.infineon.com/CoolMOS>  
(abgerufen: 15.07.2008)
- [4.2] **Blum, A.:**  
Untersuchung des Potenzials zur Erhöhung des Wirkungsgrades einfacher  
Schaltnetzteiltopologien und Ableitung von Designrichtlinien; Dissertation;  
2008; TU Ilmenau
- [4.3] **Divan, D.M.:**  
Design Considerations for Very High Frequency Resonant Mode DC/DC Con-  
verters; IEEE Transactions on Power Electronics (ISSN 0885-8993); vol. PE-2,  
Jan. 1987, p. 45-54
- [4.4] **Fernandez, A.; Lamar, D.G.; Hernando, M.M.; Sebastian, J.**  
A Hybrid Solution to Meet IEC 61000-3-2 Regulations Reprocessing a Small  
Part of the Total Power; PESC 2006; Jeju
- [4.5] **Fu, D.; Lu, B.; Lee, F.C.:**  
1MHz High Efficiency LLC Resonant Converters with Synchronous Rectifier;  
PESC 2007; Orlando
- [4.6] **Hiller, M.:**  
Simulative Untersuchungen zu Serienresonanzkonvertern für post-regulated Ser-  
ver Applikationen; Studienarbeit; 2007; TU Ilmenau
- [4.7] **Hsieh, G.C.; Tsai, C.Y.; Hsu, W.L.:**  
Synchronous Rectification LLC Series-Resonant Converter;  
APEC 2007; Anaheim
- [4.8] **Jin, C.F.; Ishihara, Y.; Totaka, T.**  
High Efficiency Single Stage AC-DC Converter by Hybrid Parallel Structure;  
PESC 2006; Jeju
- [4.9] **Li, H.Y.; Chang, L.K.**  
A Single Stage Single Switch Parallel AC/DC Converter Based on Two Output  
Boost-Flyback Converter; PESC 2006; Jeju
- [4.10] **Lu, B.; Lui, W.; Liang, Y.; Lee, F.C.; van Wyk, J. D.:**  
Optimal Design Methodology for LLC Resonant Converter; APEC 2006; Dallas



- [4.11] **Mao, M.; Tchobanov, D.; Li, D.; Maerz, M.; Gerber, T.; Deboy, G.; Lorenz, L.:**  
Analysis and Design of a 1MHz LLC Resonant Converter with Coreless Transformer Driver; PCIM China 2007; Shanghai
- [4.12] **Scherf, M.:**  
Untersuchungen an Resonanzstromrichtern VII / Parallelresonanzkonverter; Diplomarbeit; 1996; TU Ilmenau
- [4.13] **Scherf, M.:**  
Untersuchungen an Resonanzstromrichtern V-Parallelresonanzkonverter; Studienarbeit; 1995; TU Ilmenau
- [4.14] **Yang, B.:**  
Topology Investigation for Front End DC/DC Power Conversion for Distributed Power System; PhD Theses; 2003; Blacksburg  
URL: <http://www.scribd.com/doc/2624799/Topology-Investigation-for-Front-End-DCDC-Power-Conversion-for-Distributed-Power-System>  
(abgerufen am 04.08.2008)

## 5. Synchrongleichrichter

- [5.1] **Adam, J.; Müller, H.; Schlenk, M.; Reddig, M.:**  
Current driven Synchronous Rectifiers for the use in push-pull Converters; PCIM 2002; Nürnberg
- [5.2] **López, T.; Elferich, R.:**  
Quantification of Power MOSFET Losses in a Synchronous Buck Converter; APEC 2007; Anaheim
- [5.3] **STMicroelectronics:**  
Datenblatt: TURBOSWITCH ULTRA-FAST HIGH VOLTAGE DIODE; STTA406; November 1999  
URL: <http://www.ortodoxism.ro/datasheets/stmicroelectronics/6073.pdf>  
(abgerufen: 23.06.2008)
- [5.4] **Vishay:**  
Datenblatt: Dual Common Cathode Ultrafast Rectifier; BYQ28E(F,B)-100 thru BYQ28E(F,B)-200, UG(F,B)10BCT; 07.01.2008  
URL: <http://www.vishay.com/docs/88549/88549.pdf>  
(abgerufen: 23.06.2008)
- [5.5] **Vishay:**  
Datenblatt: Dual Common-Cathode High-Voltage Schottky Rectifier; MBR1090CT & MBR10100CT; 07.05.2008  
URL: <http://www.vishay.com/docs/88666/88666.pdf>  
(abgerufen: 23.06.2008)

## 6. Resonante Gate-Ansteuerung

- [6.1] **Chen, Y.:**  
Resonant Gate Drive Techniques for Power MOSFETs; Master Degree; 2000; Virginia Tech
- [6.2] **López, T.; Elferich, R.:**  
Quality Factor in Resonant Gate Drivers; PESC 2007; Orlando

## 7. Dreistufige Schaltnetzteile

- [7.1] **Hiller, M.:**  
Simulative Untersuchungen zu Serienresonanzkonvertern für post-regulated Server Applikationen; Studienarbeit; 2007; TU Ilmenau
- [7.2] **Peyerl, S.:**  
Untersuchung, Dimensionierung und praktische Realisierung eines Hochfrequenz-Tiefsetzstellers als Regelstufe für ein dreistufiges Serverschaltnetzteilkonzept; Diplomarbeit; 2007; TU Ilmenau
- [7.3] **Peyerl, S.:**  
Simulative Untersuchung und Auslegung von ausgewählten mehrstufigen Schaltnetzteiltonologien für Serverapplikationen; Projektarbeit; 2006; TU Ilmenau
- [7.4] **Popa, A. R.:**  
Investigation of Current Fed Push Pull Converter and Current Fed Full Bridge Converter; Diplomarbeit; 2006; TU Ilmenau
- [7.5] **Schwalbe, U.; Reimann, T.:**  
Einsatz von SiC-Bauelementen in der elektronischen Stromversorgungstechnik; IWK 2006; Ilmenau
- [7.6] **Schwalbe, U.; Scherf, M.; Reimann, T.; Deboy, G.:**  
Advantages of 3-stage-DC/DC-converters for Server Switch Mode Power Supply (SMPS) applications; EPE 2007; Aalborg
- [7.7] **Schwalbe, U.; Scherf, M.; Reimann, T.; Deboy, G.:**  
System advantages and semiconductor requirements of 3-stage DC/DC-converters for Server Switch Mode Power Supply (SMPS) applications; PCIM 2007; Nürnberg
- [7.8] **Schwalbe, U.; Scherf, M.; Reimann, T.; Deboy, G.:**  
Comparison of different three-stage DC-DC converter solutions for SMPS applications; ISIE 2008; Cambridge
- [7.9] **Schwalbe, U.; Scherf, M.; Reimann, T.; Deboy, G.:**  
Comparative study of different three-stage DC-DC converter solutions in the power range up to 3kW; PCIM 2008; Nürnberg
- [7.10] **Tomlins, G.:**  
Driving the Efficiency Curve; Commergy; Juni 2006; Irland;  
URL: <http://www.commergy.com/presentation.pdf>  
(abgerufen am 10.04.2008)
- [7.11] **Wetzel, H.; Fröhleke, N.; Böcker, J.; Ide, P.:**  
High Efficient 3kW Three-Stage Power Supply; APEC 2006; Dallas

## 8. Passive Bauelemente

- [8.1] **Drechsler, E.:**  
Entwicklung induktiver Bauelemente für Schaltnetzteil-Software zur Berechnung von Kern- und Wicklungsverlusten; Drechsler Magnetics Seminar 2006; Ilmenau
- [8.2] **EPCOS:**  
Ferrites – Innovations in Power Materials; Datenblatt;  
Ordering No. EPC:50113-7600; 2001
- [8.3] **MAGNETICS:**  
Powder Cores Design Manual and Catalog; Datenblatt;  
URL: [http://www.mag-inc.com/pdf/2006\\_Powder%20Core\\_Catalog\\_Technical\\_Data.pdf](http://www.mag-inc.com/pdf/2006_Powder%20Core_Catalog_Technical_Data.pdf)  
(abgerufen am 09.07.2008)
- [8.4] **MAGNETICS:**  
Magnetics Powder Core Presentation; Präsentation;  
URL: <http://www.mag-inc.com/FlashPresentations/PowderCorePresentation.asp>  
(abgerufen am 09.07.2008)
- [8.5] **Panasonic:**  
Large Can Aluminum Electrolytic Capacitors ED-TS Series; Datenblatt;  
URL: [http://www.panasonic.com/industrial/components/pdf/ee163\\_ed\\_ts\\_dne.pdf](http://www.panasonic.com/industrial/components/pdf/ee163_ed_ts_dne.pdf)  
(abgerufen am 03.07.2008)

## 9. Ansteuerung in Schaltnetzteilen

- [9.1] **Balogh, L.:**  
A Practical Introduction to Digital Power Supply Control;  
Texas Instruments Power Supply Design Seminar; SEM1600; 2004/ 2005;  
URL: <http://focus.ti.com/lit/ml/slup224/slup224.pdf>  
(abgerufen am 29.04.2008)
- [9.2] **Duvenhage, F.:**  
The Role of Digital Control in Power Supplies;  
Power Electronics Technology; 01.08.2004;  
URL: [http://powerelectronics.com/mag/power\\_role\\_digital\\_control/](http://powerelectronics.com/mag/power_role_digital_control/)  
(abgerufen am 30.04.2008)
- [9.3] **Unitrode:**  
Modelling, Analysis and Compensation of the Current-Mode Converter;  
Application Note U-97; 1999  
URL: <http://focus.ti.com/lit/an/slua101/slua101.pdf>  
(abgerufen am 21.05.2008)
- [9.4] **Unitrode:**  
Synchronizing a PFC Controller from a Downstream Converter's Gate Drive;  
Application Note SLUA245; Juli 2000  
URL: <http://focus.ti.com/lit/an/slua245/slua245.pdf>  
(abgerufen am 27.06.2008)

# Verzeichnis der Formelzeichen, Abkürzungen, Begriffe und Indizes

## 1. Formelzeichen

$\alpha$	Steuerwinkel, Resonanzwandler
$\Delta B$	Änderung der Magnetflussdichte; AC Anteil der Magnetflussdichte
$\Delta I_{pp}$	Stromwelligkeit, Spitze-Spitze
$\Delta T$	Übertemperatur
A	Fläche, allgemein
B	Magnetflussdichte
$B_{DC}$	DC Anteil der Magnetflussdichte
C	Kapazität, allgemein
$C_{DS}$	Drain-Source-Kapazität
$C_{GD}$	Gate-Drain-Kapazität
$C_{GS}$	Gate-Source-Kapazität
$C_{ISS}$	Eingangskapazität, MOSFET
$C_{O(tr)}$	Effektive, zeitbezogene Ausgangskapazität, MOSFET (Diese Kapazität benötigt die gleiche Ladezeit, wie die Kapazität $C_{OSS}$ eines MOSFETs, während die Spannung von 0 auf 80 % der Zwischenkreisspannung ansteigt)
$C_{OSS}$	Ausgangskapazität, MOSFET
$C_p$	parasitäre Kapazität
$C_{para}$	Parasitäre Kapazität; primärseitige MOSFET $C_{OSS}$ + Trafokapazität
$C_{RES}$	Resonanzkapazität
$C_{RSS}$	Rückwirkungskapazität, MOSFET
$C_Z$	Zwischenkreiskapazität
D	Tastverhältnis
D	Dämpfung
D	Dämpfung, Schwingkreis
di/dt	Stromanstieg, allgemein
dv/dt	Spannungsanstieg, allgemein
$E_C$	Energie die in einer Kapazität gespeichert ist
$E_L$	Energie die in einer Induktivität gespeichert ist
$f_0$	ideale Resonanzfrequenz
$f_{Main}$	Schaltfrequenz der Hauptstufe
$f_{PFC}$	Schaltfrequenz der PFC-Stufe
$f_{RES}$	Reale Resonanzfrequenz
$f_{SW}$	Schaltfrequenz
$f_{ZVRS}$	Frequenz bei der sich der Schwingkreis wie ein ohmscher Widerstand verhält
H	Magnetische Feldstärke
I	Strom, allgemein
$I_D$	Drain-Strom
$I_{D\_RMS}$	Drain-Strom (Effektivwert)
$I_F$	Vorwärtsstrom, Diode
$I_{F\_AVG}$	Diodenstrom (Mittelwert)
$I_{F\_RMS}$	Diodenstrom (Effektivwert)
$I_G$	Gate-Strom
$i_{IN}$	Eingangsstrom (Momentanwert)

$I_{IN\_RMS}$	Eingangsstrom (RMS-Wert)
$i_m$	Magnetisierungsstrom
$L$	Induktivität, allgemein
$L_m$	Magnetisierungsinduktivität, Hauptinduktivität
$L_{OUT}$	Ausgangsinduktivität
$L_{RES}$	Resonanzinduktivität
$L_{Sigma\_External}$	Streuinduktivität, externes Bauelement
$L_{Sigma\_Pri}$	Streuinduktivität, primärseitig
$L_{Sigma\_Sek}$	Streuinduktivität, sekundärseitig
$L_{\sigma\_ext}$	Streuinduktivität, externes Bauelement
$L_{\sigma}$	Streuinduktivität
$n_1$	Primärwindungszahl
$n_2$	Sekundärwindungszahl
$P_{CON}$	Ansteuerungsverluste, MOSFET
$PF$	Power Factor, Leistungsfaktor
$P_{FE}$	Kernverlustleistung
$P_{FW}$	Durchlassverluste, MOSFET
$P_{FW\_D}$	Durchlassverluste, Diode
$P_{IN}$	Eingangsleistung
$P_{OUT}$	Ausgangsleistung
$P_W$	Wirkleistung
$P_{WI}$	Wicklungsverlustleistung
$Q_C$	kapazitive Ladung, Schottky-Diode
$Q_g$	Gate-Ladung, MOSFET
$Q_{g10}$	Gate-Ladung bei $V_{GS}=10\text{ V}$ , MOSFET
$Q_{gd}$	Ladung in der Gate-Drain-Kapazität, MOSFET
$Q_{oss}$	Ladung der Ausgangskapazität, MOSFET
$Q_{rr}$	Speicherladung, Diode, Body-Diode
$R_a$	Akkumulationswiderstand
$R_{ch}$	Kanalwiderstand
$R_d$	Diodenwiderstand, Bahnwiderstand
$R_{DSon}$	Drain-Source-Kanalwiderstand im eingeschalteten Zustand, MOSFET
$R_{DSon,max}$	Maximaler Drain-Source-Kanalwiderstand im eingeschalteten Zustand, MOSFET
$R_{DSon,typ}$	Typischer Drain-Source-Kanalwiderstand im eingeschalteten Zustand, MOSFET
$R_{epi}$	Widerstand der Epitaxieschicht
$R_G$	Gate-Vorwiderstand, allgemein
$R_{Goff}$	Gate-Vorwiderstand für den Ausschaltvorgang
$R_{Gon}$	Gate-Vorwiderstand für den Einschaltvorgang
$R_I$	Innenwiderstand
$R_{JFET}$	Widerstand des intrinsischen JunctionFET
$R_L$	Lastwiderstand
$R_L^*$	primärseitig wirksamer Lastwiderstand
$R_n^+$	Widerstand der Source-Ankopplung an die p-Wanne
$R_{on10}$	Drain-Source-Kanalwiderstand im eingeschalteten Zustand bei $V_{GS}=10\text{ V}$ , MOSFET
$R_S$	Widerstand des Source-Kontaktes
$R_{sub}$	Substratwiderstand, Wafer

$R_{thJC}$	Thermischer Widerstand zwischen Halbleiter-Chip und Gehäuse
S	Scheinleistung
T	Temperatur
$t_d$	Zweigverriegelungszeit
$T_{FE}$	Kerntemperatur
$T_{FE\_Ü}$	Kernübertemperatur
$T_J$	Sperrschichttemperatur
$T_P$	Periodendauer
$T_{WI}$	Wicklungstemperatur
$T_{WI\_Ü}$	Wicklungsübertemperatur
U	Spannung, allgemein
V	Spannung, allgemein
$V_C$	Steuerspannung
$V_{DB}$	Durchbruchspannung, MOSFET
$V_{Dr}$	Treiberspannung, MOSFET
$V_{DS}$	Drain-Source-Spannung
$V_F$	Flussspannung, Diode
$V_{GS}$	Gate-Source-Spannung
$V_{iL}$	Strommesssignal
$V_{IN}$	Eingangsspannung (Momentanwert)
$V_{IN\_Peak}$	Eingangsspannung (Spitzenwert-Wert)
$V_{IN\_RMS}$	Eingangsspannung (RMS-Wert)
$V_{KA}$	Kathoden Anoden Spannung, Diode
$V_{OUT}$	Ausgangsspannung
$V_{Ref}$	Referenzspannung
$V_t$	Tastverhältnis
$V_Z$	Zwischenkreisspannung
w	Transformator-Übersetzungsverhältnis
$Z_W$	Wellenwiderstand
$\delta$	Abklingkonstante
$\omega_0$	ideale Resonanzkreisfrequenz
$\omega_{Im=0}$	Kreisfrequenz bei der sich der Schwingkreis wie ein ohmscher Widerstand verhält
$\omega_{RES}$	reale Resonanzkreisfrequenz
$\eta$	Wirkungsgrad

## 2. Abkürzungen

1 U	Formfaktor; 1 U=1,75 Zoll
2D	Zweidimensional
3D	Dreidimensional
Abb.	Abbildung
Abb. A.	Abbildung im Anhang dieser Arbeit
AC	Alternating Current; Wechselgröße
ADC	Analog Digital Converter
BIFET	Bipolar Injection Field Effect Transistor
BOM	Bill of material
CCM	Continous Conduction Mode; Betrieb mit nichtlückendem Strom
CFFB	Current Fed Full Bridge; stromgespeiste Vollbrücke
CFPP	Current Fed Push Pull
Ch	Kanal
CO <sub>2</sub>	Kohlendioxid
CPES	Center for Power Electronics Systems
Crest	Crest-Faktor; Scheitelfaktor; Verhältnis von Spitzenwert zu Effektivwert einer Größe
CRM	Critical Conduction Mode; Betrieb an der Lückgrenze
D	Diode
DC	Direct Current; Gleichgröße
DCM	Discontinous Conduction Mode; Betrieb mit lückendem Strom
DSP	Digital Signal Processor
EA	Error Amplifier
Emerson	Emerson Network Power; Firma
EMV	Elektromagnetische Verträglichkeit
Engl.	Englisch
Epcos	Epcos AG; Firma
ETD 34	Kernformbezeichnung
ETD 39	Kernformbezeichnung
Fairchild	Fairchild Semiconductor; Firma
Finepower	Finepower GmbH, Firma
FOM	Figure of Merit
FPGA	Field Programmable Gate Array
Gl.	Gleichung
HSHB	Hard Switching Half Bridge; hart schaltende Halbbrücke
IC	Integrated Circuit
IGBT	Insulated Gate Bipolar Transistor
Infineon	Infineon Technologies AG; Firma
ITTF	Interleaved Two Transistor Forward Converter
JFET	Junction Field Effect Transistor
KoolM $\mu$	Magnetics Kernmaterial
LLC	L-L-C Resonant Converter; Induktivität-Induktivität-Kapazität Resonant Converter
Mio.	Millionen
MOS	Metal Oxide Semiconductor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor

MPP	Molypermalloy Powder; Magnetkernmaterial
N 49	Magnetkernmaterial; EPCOS
N 92	Magnetkernmaterial; EPCOS
N 97	Magnetkernmaterial; EPCOS
NTC-Widerstand	Negative Temperature Coefficient Thermistor; Heißleiter
OR-ing-MOSFET	MOSFET um den Ausgang des SMPS im Fehlerfall von der Ausgangsströmschiene zu isolieren; wichtig in einem redundanten System
para.	parasitär
PC	Personal Computer
PCB	Printed Circuit Board
PCMC	Peak Current Mode Control
PE	Schutzleiterkontakt; Erde
PF	Power Factor
PFC	Power Factor Correction
PLL	Phase Locked Loop; Phasenregelkreis
PP	Push Pull
PRC	Parallel Resonant-Converter; Parallelresonanzkonverter
PWM	Pulsweitenmodulation
Qspeed	Qspeed Power Semiconductors; Firma
REM	Rasterelektronenmikroskop
RLZ	Raumladungszone
RMS	Root Mean Square
SBD	Schottky-Barrieren-Diode
Si	Silizium
SiC	Siliziumkarbid
SiCED	Kooperation der Siemens AG und der Infineon AG
SMPS	Switch Mode Power Supply
SOA	Safe Operating Area
SRC	Serial Resonant Converter; Serienresonanzkonverter
ST	STMicroelectronics; Firma
T	Transistor
Tab.	Tabelle
THD	Total Harmonic Distortion
TM	Transition Mode; Betrieb an der Lückgrenze
TTF	Two Transistor Forward Konverter
US	United States
USV	unterbrechungsfreie Stromversorgung
v.l.n.r	von links nach rechts
v.o.n.u.	von oben nach unten
VMC	Voltage Mode Control
ZCRS	Zero Current Resonant Switching; resonantes Nullstromschalten
ZCS	Zero Current Switching; Nullstromschalten
ZVRS	Zero Voltage Resonant Switching; resonantes Nullspannungsschalten
ZVS	Zero Voltage Switching; Nullspannungsschalten



### 3. Begriffe

1. Generation Kompensationsbauelemente	Hochvolt-MOSFET; CoolMOS C3 von Firma Infineon; MDmesh I von Firma ST
2. Generation Kompensationsbauelemente	Hochvolt-MOSFET; CoolMOS CP von Firma Infineon; MDmesh II von Firma ST
alternating current	Wechselstrom
Analog Digital Converter	Analog Digital Wandler
avalanche	Lawinendurchbruch
best-in-class	Klassenbester MOSFET; MOSFET mit dem niedrigstem $R_{DSon}$ in der jeweiligen Spannungsklasse
bill of material	Materialpreisliste
black out	Blackout; Verdunkelung; Netzausfall
Body-Diode	Intrinsisch Diode eines MOSFETs
boost converter	Hochsetzsteller
boost-PFC	Hochsetzsteller-PFC
bridgeless	Eingangsgleichrichterlos; PFC
brown-out	Netzspannungsabsenkung; Netzspannungsschwankung
Buck converter	Tiefsetzsteller
Chip	Halbleiterplättchen
Clampingdiode	Spannungsbegrenzungsdiode
consumer market	Konsumgütermarkt
CoolMOS	Hochvolt-MOSFET von Firma Infineon; Kompensationsprinzip
cost per function	Kosten pro Funktion
current doubler	Stromverdopplerschaltung; DC-Mittelpunkt
current fed	stromgespeist
DC-Transformator	Gleichspannungstransformator; ungesteuerter DC-DC Wandler
derating	Herabsetzung der Betriebswerte
device	Bauelement
Digital Signal Processor	Prozessor zur kontinuierlichen digitalen Bearbeitung von analogen Signalen
direct current	Gleichstrom
Drechsler magnetics	Software zur Berechnung von Kern- und Wicklungsverlusten
Dual-Stage-SMPS	zweistufiges Schaltnetzteil
error amplifier	Fehlerverstärker
feedback loop	Rückführung im Regelkreis
Field Programmable Gate Array	programmierbarer integrierter Schaltkreis
Figure of Merit	Bewertungskriterium; Gütefaktor
flyback converter	Sperrwandler
forced	erzwungen
forward converter	Durchflussflusswandler
Gate-Bounce	Aufsteuerung des MOSFET Gates durch ein $du/dt$
geclamped	festgehalten; festgeklemmt
high	hoch; logisch 1
high-end product	Hochleistungsprodukt
high-line condition	Spannung in europäischen Energieversorgungsnetz; 230 V

high-side-MOSFET	MOSFET mit Drain-Anschluss an der Zwischenkreisspannung
hold-up time	Verweilzeit während Netzspannungsschwankungen
hotspot	Heißpunkt
interleaved	verschachtelt
interleaved boost-PFC	verschachtelte Hochsetzsteller-PFC
interleaving	Verschachtelung
interlock time	Zweigverriegelungszeit
Konvertertastverhältnis	Übertragungsverhältnis des gesamten Konverters; 50 % Signaltastverhältnis $\hat{=}$ 100 % Konvertertastverhältnis
layout	Entwurf; Auslegung
low	niedrig; logisch 0
low-end product	einfaches, preisgünstiges Produkt
low-line condition	Spannung im amerikanischen (US) Energieversorgungsnetz; 100 V
low-side-MOSFET	MOSFET mit Source-Anschluss auf Massepotential
management	Führung; Leitung; Handhabung
master	Meister; Taktgeber
MDmesh	Hochvolt-MOSFET von Firma ST; Kompensationsprinzip
Merged-Pin-Schottky-Struktur	Verflechtung einer pn-Dioden Struktur mit einer Schottky-Dioden Struktur
normally-off	ausgeschalteter Zustand ohne Steuerspannung; MOSFET
normally-on	eingeschalteter Zustand ohne Steuerspannung; JFET
offset	Verschiebung; Versatz
OptiMOS	Niedervolt-MOSFET von Firma Infineon; Trench-Feldplatten-Prinzip
package	Gehäuse; Bauelementegehäuse
peak	Spitzenwert
Peak Current Mode	Abschaltung beim Spitzenwert des Stromes; Ansteuerverfahren
peak current mode control	Regelverfahren mit stromabhängiger Komparatorrampe
peak-peak	Spitze-Spitze
performance factor	Leistungsfaktor
pinch-off	Abschnürung; JFET
pin-diode	positive intrinsic negative diode
pitch	Zellenabstand; MOSFET
Post-Regulated SMPS	sekundärseitig geregeltes dreistufiges Schaltnetzteil
post-regulation	sekundärseitige Leistungsstellung
postregulator	sekundärseitige Stufe zur Leistungsstellung
power density	Leistungsdichte
power factor	Leistungsfaktor
power factor correction	Leistungsfaktorkorrektur
power factor correction	Leistungsfaktorkorrektur
Pre-Regulated SMPS	primärseitig geregeltes dreistufiges Schaltnetzteil
pre-regulation	primärseitige Leistungsstellung
preregulator	primärseitige Stufe zur Leistungsstellung
printed circuit board	Leiterplatte
PSpice	Simulationsprogramm für elektrische Schaltungen
rating	Auslegung; Belastbarkeit
reverse recovery charge	Speicherladung; Diode
ripple	Welligkeit

ripple current	Stromwelligkeit
Safe Operating Area	sicher Arbeitsbereich
samples	Muster
shrink	schrumpfen, verkleinern
Signaltastverhältnis	Tastverhältnis eines Ansteuersignals für einen Schalter; 50 % Signaltastverhältnis $\hat{=}$ 100 % Konvertertastverhältnis
Single-Stage-SMPS	einstufiges Schaltnetzteil
SIPMOS	Niedervolt-MOSFET von Firma Infineon
slave	Sklave; arbeitet mit dem Takt des Masters
slope compensation	Rampenkompensation; Peak Current Mode Control
soft-start	sanftanlauf
sperrfähiger Schalter	Schalter für unidirektionale Stromführung und bidirektionale Spannungsaufnahme
standby	Bereitschaft
surge pulse	Stoßimpulse
switch mode power supply	Schaltnetzteil
Three-Stage-SMPS	dreistufiges Schaltnetzteil
tool	Werkzeug
Total Harmonic Distortion	Oberschwingungsgehalt
trade-off	Zielkonflikt
trench	Graben
virtuelle Spannung	Spannung am Ausgang eines Tiefsetzstellers
voltage fed	spannungsgespeist
voltage mode control	Regelverfahren mit konstanter Komparatorrampe
wafer	Halbleiterscheibe

#### 4. Indizes

^	Spitzenwert
–	Kennzeichnung einer komplexen Größe (z.B. $\underline{Z}$ )
AC	Alternating Current
AVG	Average; Mittelwert
Buck	Tiefsetzsteller
Bulk	Zwischenkreiskondensator
D	Drain
D	Diode
DC	Direct Current
Full Bridge	Vollbrückenkonverter
G	Gate
max	maximal
min	minimal
p	Peak; Spitzenwert
Peak	Peak
pp	Peak-Peak; Spitze-Spitze
Push Pull	Push Pull Konverter
Q	MOSFET
RMS	Root Mean Square; Effektivwert
S	Source
SMPS	Schaltnetzteil
TSS	Tiefsetzsteller

## Anhang

### Grundlagen und Stand der Technik

## Delta Electronics 500W SMPS- DPS- 500EB A plug- in cage

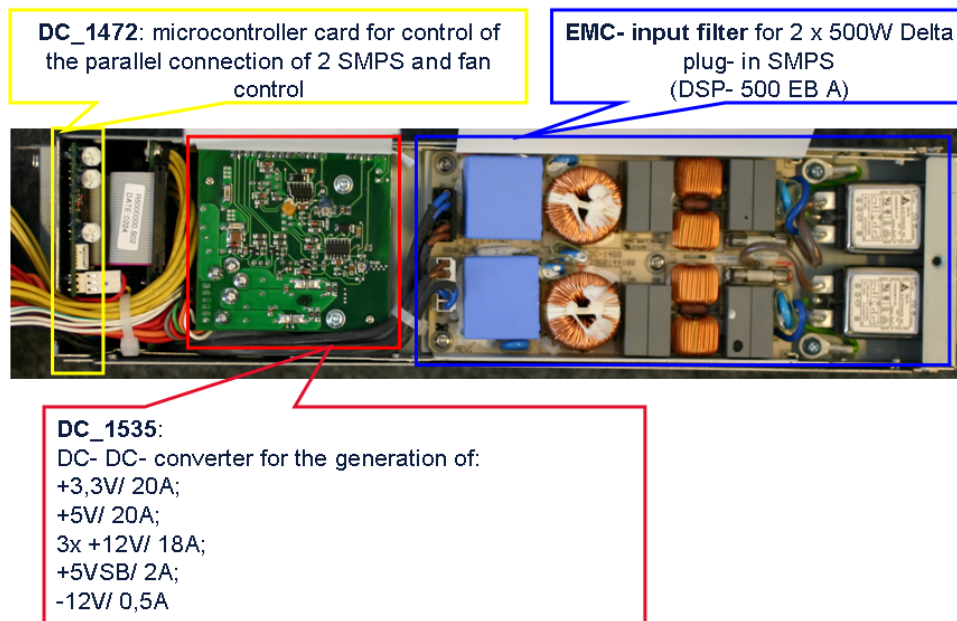


Abb. A. 1 Platinenansicht des Delta DPS-500 EB A Netzteils (Gehäuseansicht)

## Delta Electronics 500W SMPS- DPS- 500EB A input filter

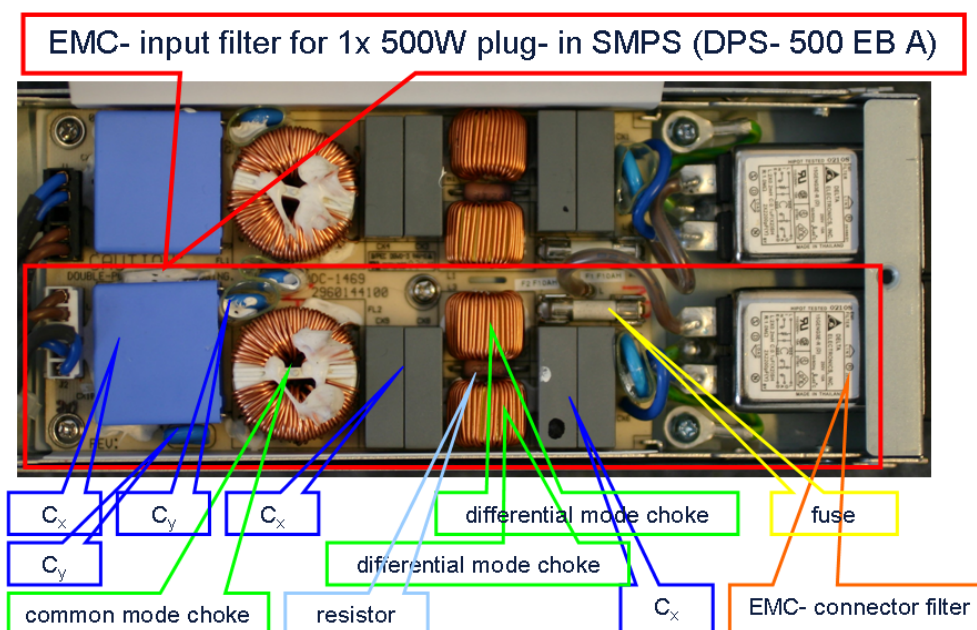


Abb. A. 2 Platinenansicht des Delta DPS-500 EB A Netzteils (EingangsfILTER)

## Delta Electronics 500W SMPS- DPS- 500EB A main PCB

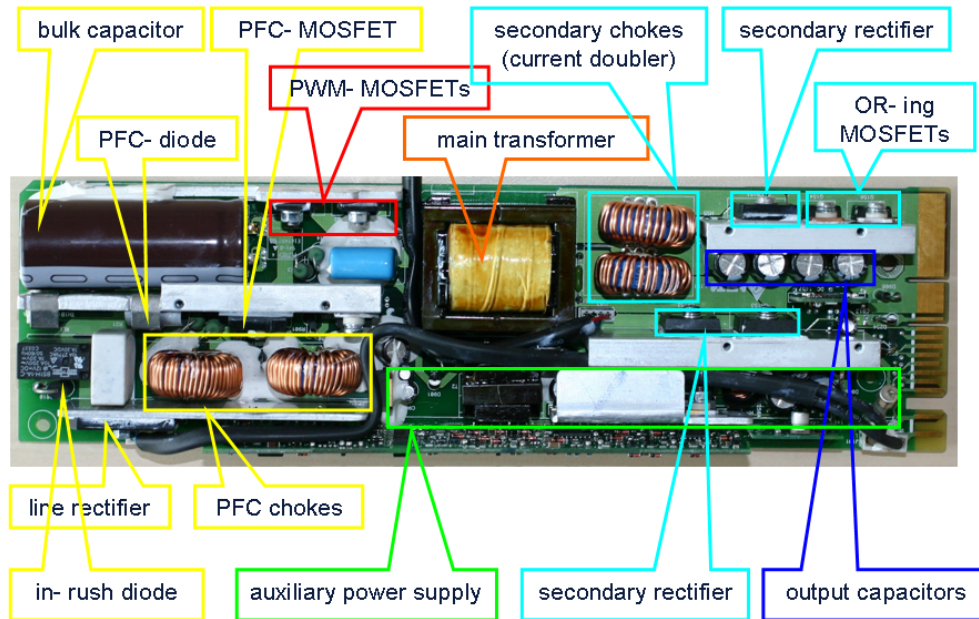


Abb. A. 3 Platinenansicht des Delta DPS-500 EB A Netzteils (Hauptplatine)

## Lite- ON Power 600W SMPS- PS- 3601- 1F

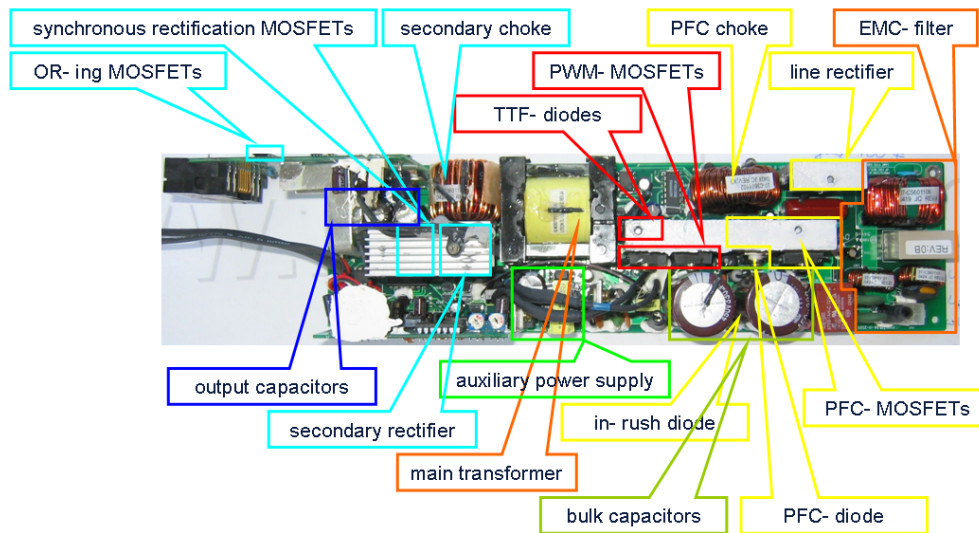


Abb. A. 4 Platinenansicht des Lite-ON PS-3601-1F Netzteils (Hauptplatine)

## Valere Power 2000W SMPS- V2000A- VVII main PCB- I

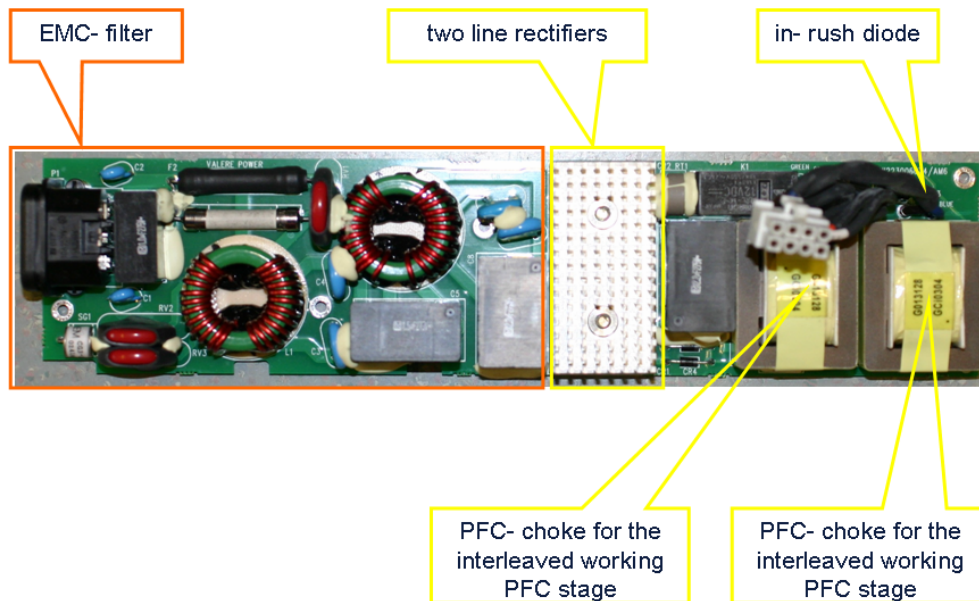


Abb. A. 5 Platinenansicht des Valere V2000A-VVII Netzteils (Hauptplatine Teil 1)

## Valere Power 2000W SMPS- V2000A- VVII main PCB- II

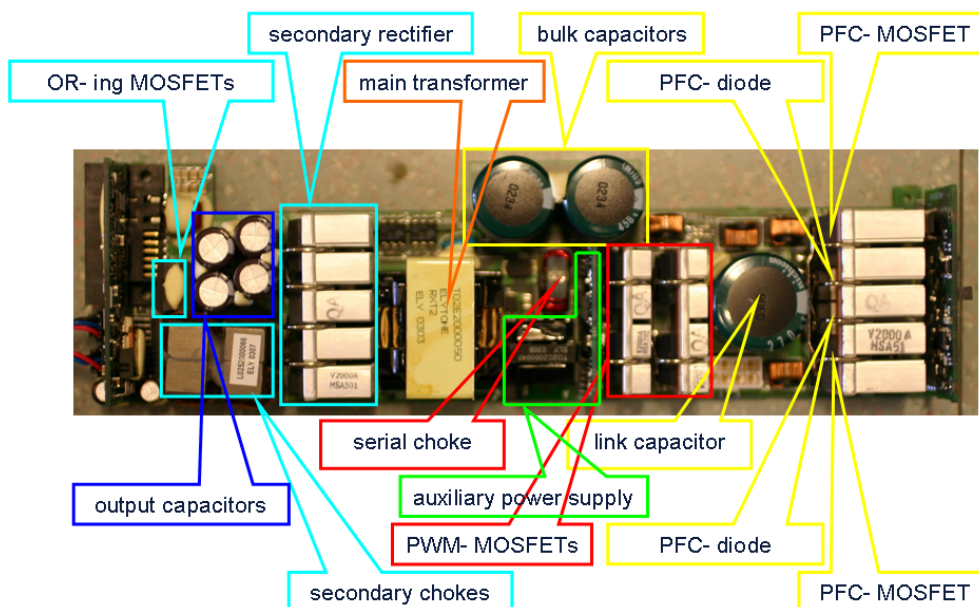


Abb. A. 6 Platinenansicht des Valere V2000A-VVII Netzteils (Hauptplatine Teil 2)

Temperature rise @ Pout= 500W; Vin= 230V Delta DPS-500 EB A

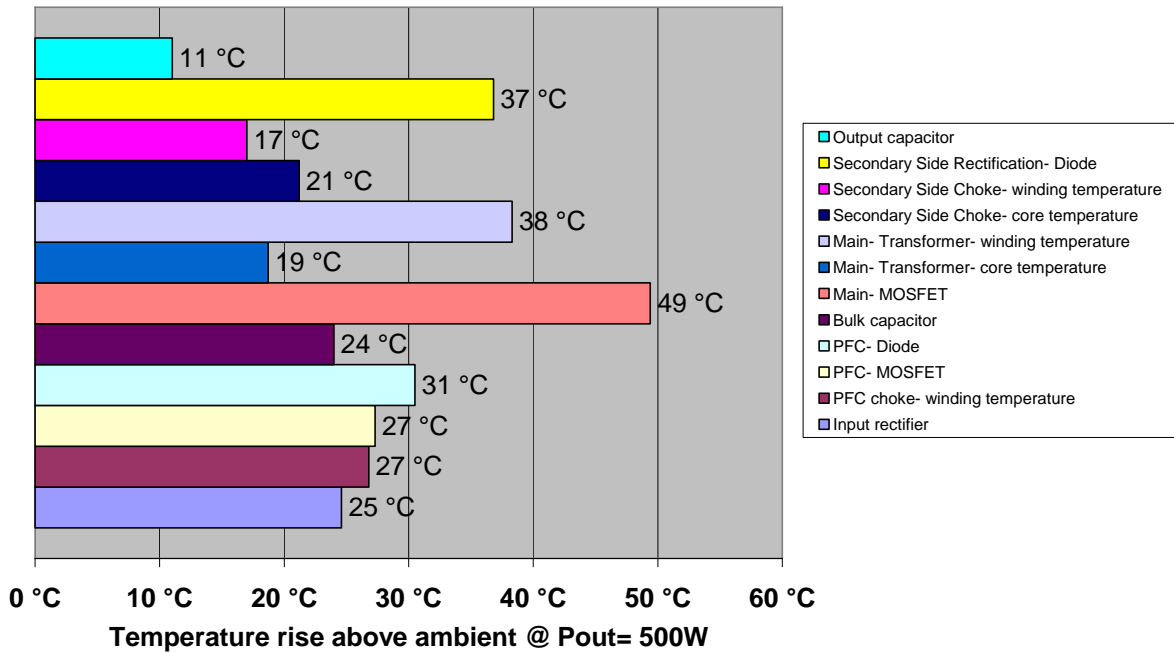


Abb. A. 7 Bauelemente-Übertemperatur im Delta-SMPS  
@ high-line  $V_{IN\_RMS}=230\text{ V}$ ;  $P_{OUT}=500\text{ W}$ ; eingeschwungener Zustand

Temperature rise @ Pout= 500W; Vin= 100V Delta DPS-500 EB A

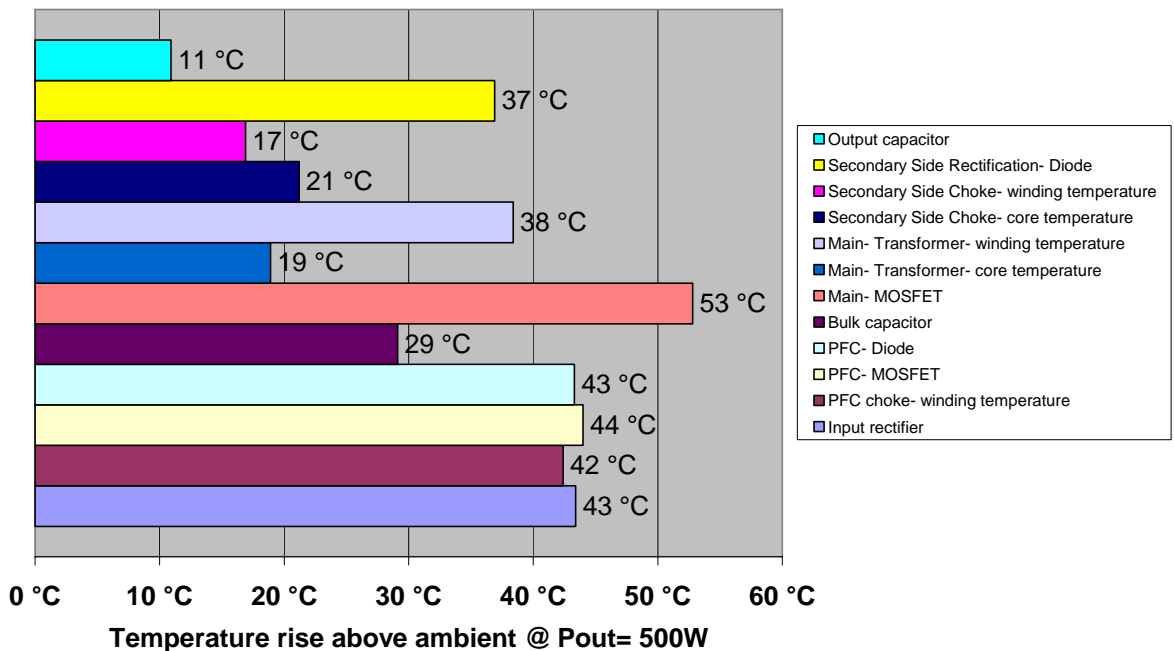


Abb. A. 8 Bauelemente-Übertemperatur im Delta-SMPS  
@ low-line  $V_{IN\_RMS}=100\text{ V}$ ;  $P_{OUT}=500\text{ W}$ ; eingeschwungener Zustand



Balances of power losses @ Pout= 500W; Vin= 230V Delta DPS-500 EB A

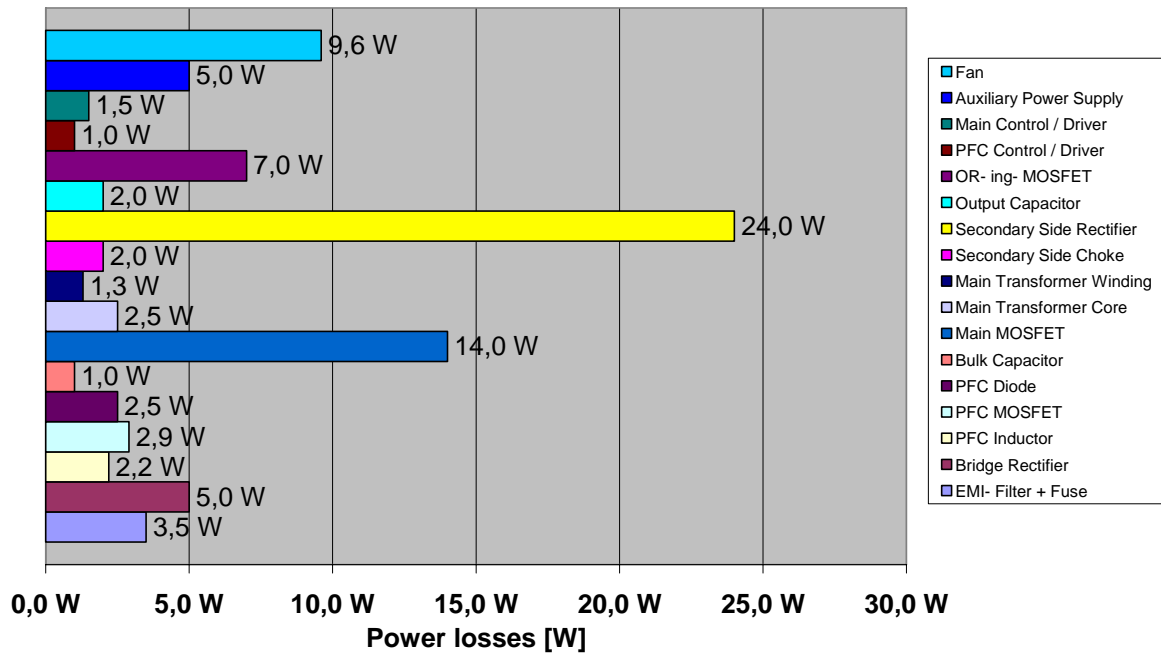


Abb. A.9 Verlustleistungsbilanz des Delta-SMPS  
 @  $V_{IN,RMS}=230\text{ V}$ ;  $P_{OUT}=500\text{ W}$ ;  $V_{OUT}=12\text{ V}$ ;  $\eta=81,1\%$

Temperature rise @ Pout= 600W; Vin= 230V Lite-ON PS-3601-1F

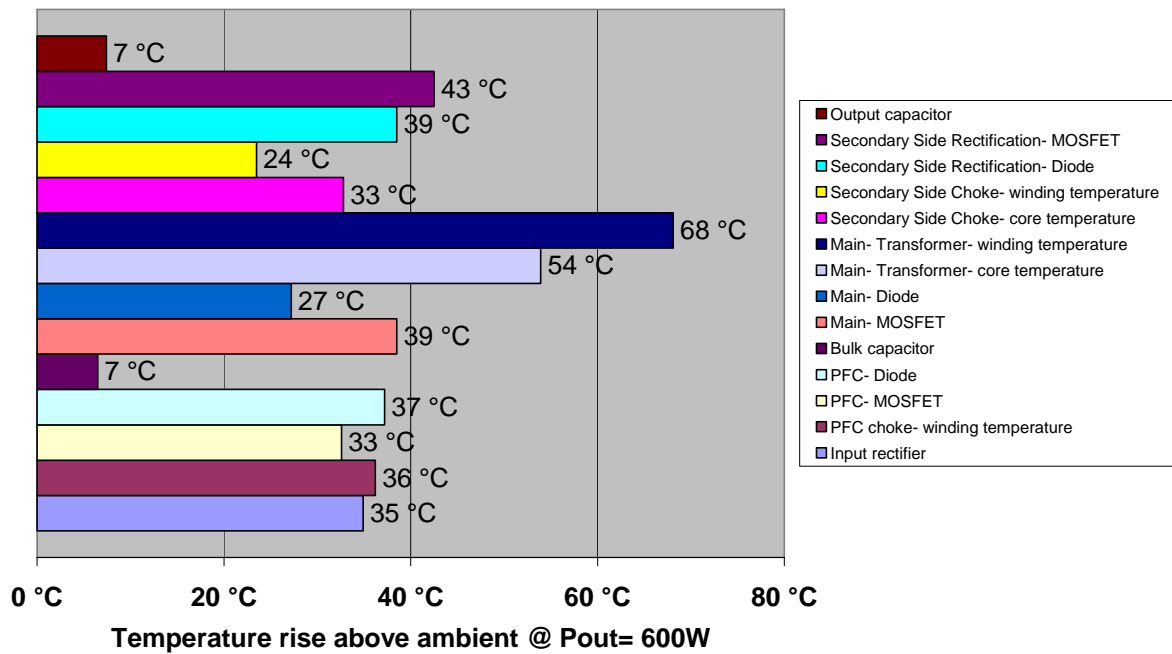


Abb. A.10 Bauelemente-Übertemperatur im Lite-ON-SMPS  
 @ high-line  $V_{IN,RMS}=230\text{ V}$ ;  $P_{OUT}=600\text{ W}$ ; eingeschwungener Zustand

Temperature rise @ Pout= 600W; Vin= 100V Lite-ON PS-3601-1F

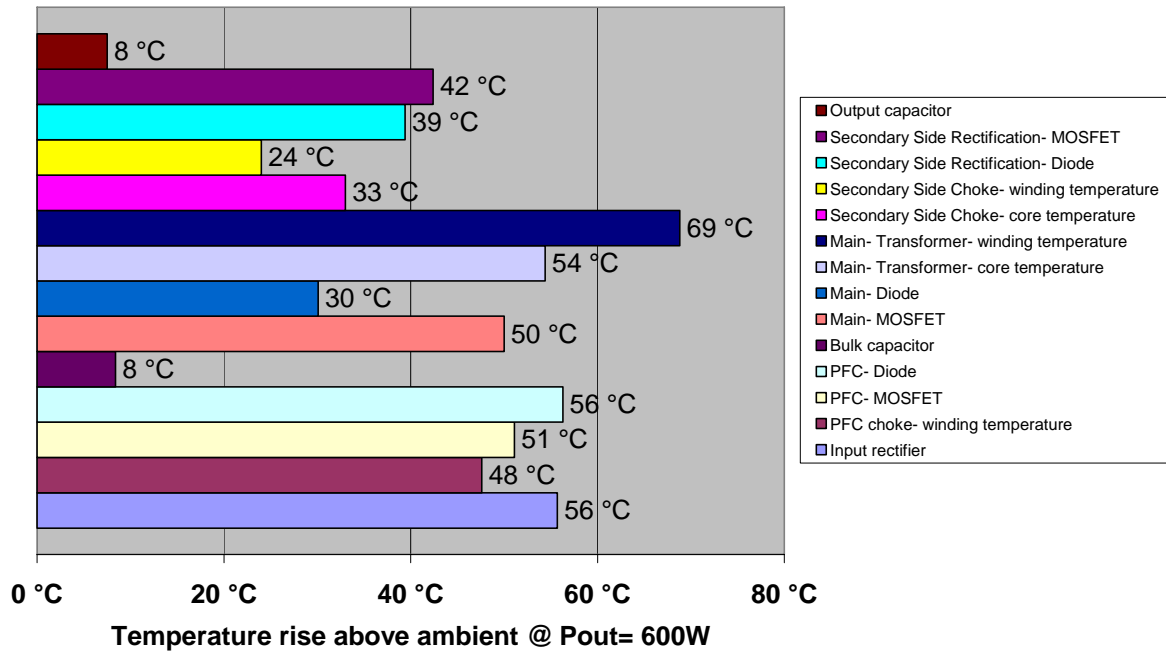


Abb. A. 11 Bauelemente-Übertemperatur im Lite-ON-SMPS  
 @ low-line  $V_{IN\_RMS}=100\text{ V}$ ;  $P_{OUT}=600\text{ W}$ ; eingeschwungener Zustand

Balances of power losses @ Pout= 600W; Vin= 230V Lite-ON PS-3601-1F

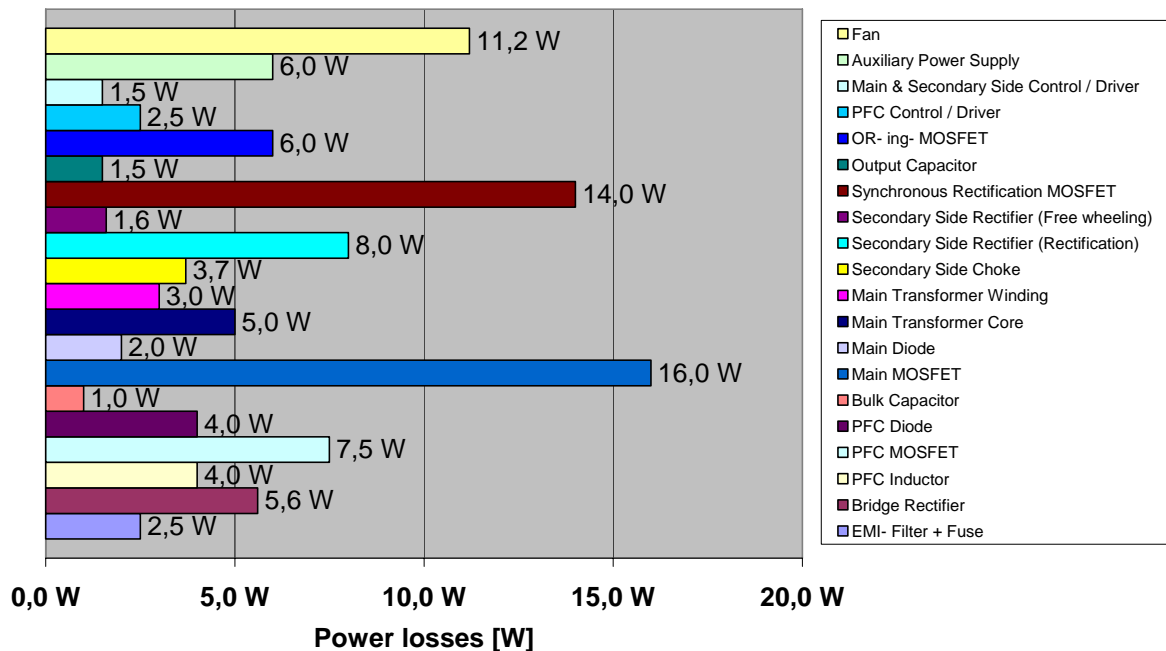


Abb. A. 12 Verlustleistungsbilanz des Lite-ON-SMPS  
 @  $V_{IN\_RMS}=230\text{ V}$ ;  $P_{OUT}=600\text{ W}$ ;  $V_{OUT}=12\text{ V}$ ;  $\eta=81,59\%$

Temperature rise @ Pout= 2000W; Vin= 230V Valere V2000A-VVII

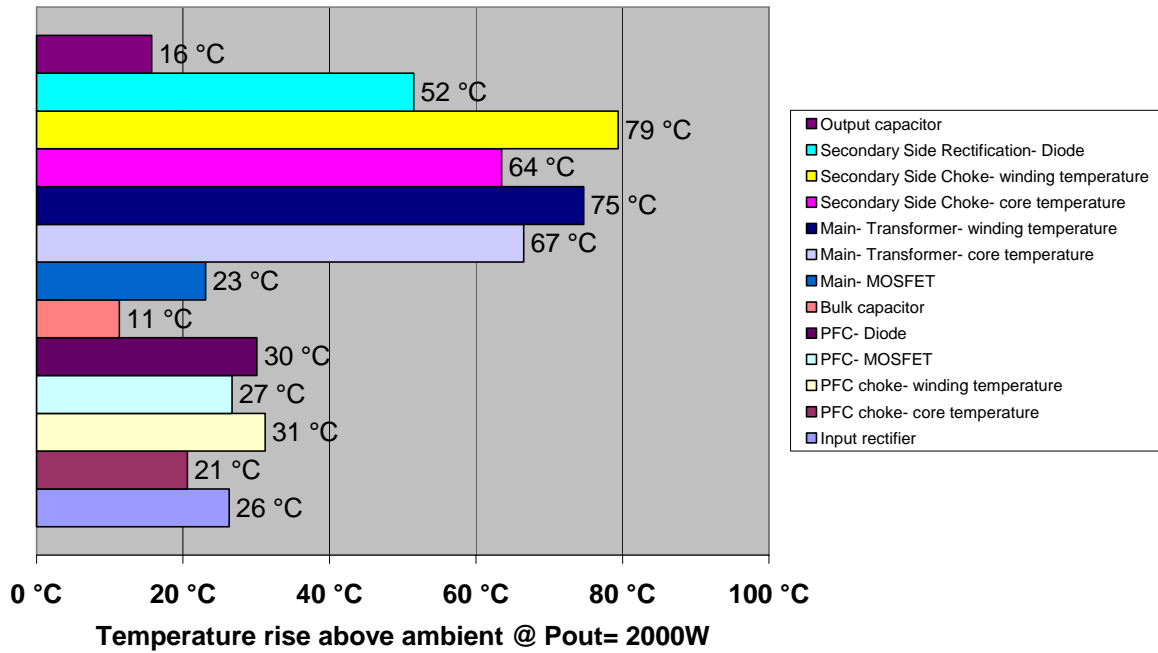


Abb. A. 13 Bauelemente-Übertemperatur im Valere-SMPS  
 @ high-line  $V_{IN,RMS}=230\text{ V}$ ;  $P_{OUT}=2000\text{ W}$ ; eingeschwungener Zustand

Temperature rise @ Pout= 2000W; Vin= 200V Valere V2000A-VVII

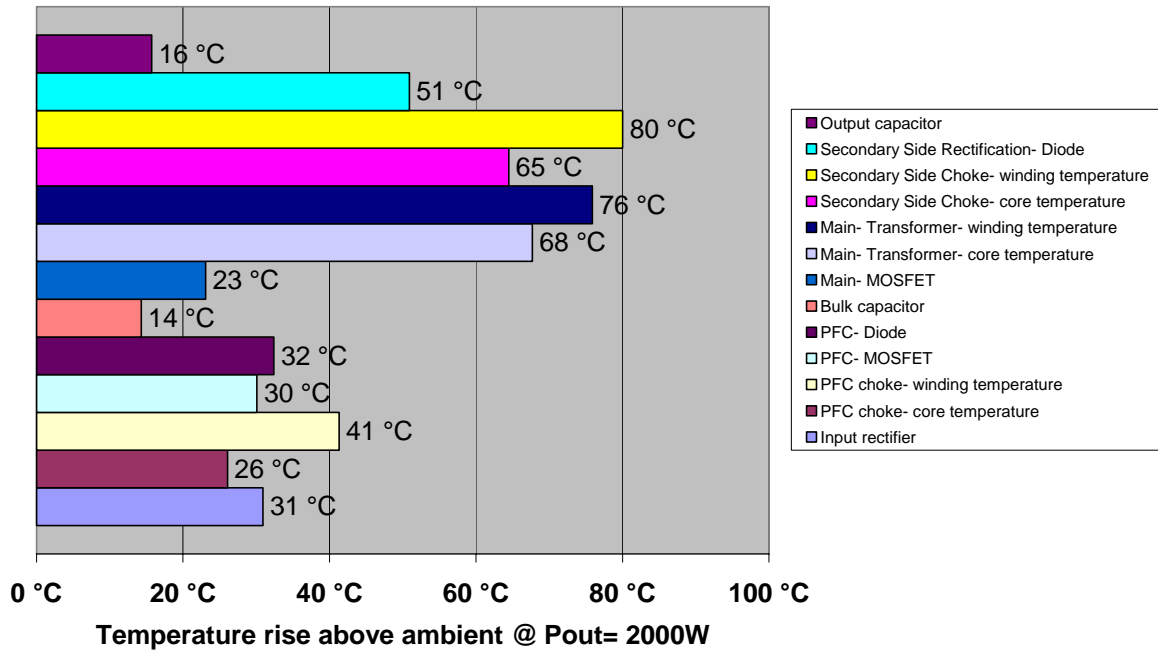


Abb. A. 14 Bauelemente-Übertemperatur im Valere-SMPS  
 @ low-line  $V_{IN,RMS}=200\text{ V}$ ;  $P_{OUT}=2000\text{ W}$ ; eingeschwungener Zustand

Balance of power losses @ P<sub>out</sub>= 2000W; V<sub>in</sub>= 230V Valere V2000A-VVII

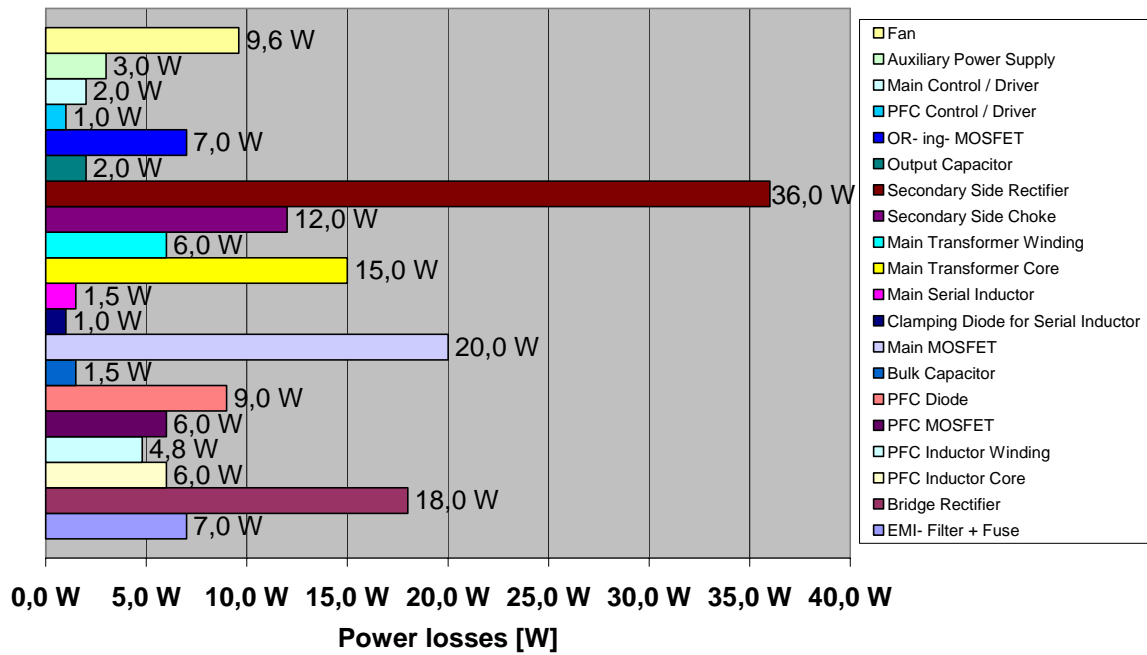


Abb. A. 15 Verlustleistungsbilanz des Valere-SMPS  
 @ V<sub>IN,RMS</sub>=230 V; P<sub>OUT</sub>=2000 W; V<sub>OUT</sub>=12 V; η=91,19 %

<b>Design Philosophy of the investigated SMPSs</b>				
	<b>Delta DPS- 500EB A</b>	<b>Lite- ON PS- 3601-1F</b>	<b>Valere V2000A- VVII</b>	
<b>Generally electrical parameters</b>	<b>Maximum output power</b>	500W	600W	2000W
	<b>Efficiency @ high line &amp; maximum output power</b>	81%	82%	91%
	<b>Efficiency @ low line &amp; maximum output power</b>	77%	77%	91%
	<b>Input voltage range</b>	100V... 240V wide input voltage range	100V... 240V wide input voltage range	200V... 240V small input voltage range
	<b>Power density</b>	2,94 W/ inch <sup>3</sup>	5,73 W/ inch <sup>3</sup>	17,65 W/ inch <sup>3</sup>
	<b>Standby power losses @ high line</b>	7,6W standby losses are 1,52% of maximum output power	10,8W standby losses are 1,8% of maximum output power	7,3W standby losses are 0,37% of maximum output power
	<b>Standby power losses @ low line</b>	9,4W standby losses are 1,88% of maximum output power	11W standby losses are 1,83% of maximum output power	7,4W standby losses are 0,37% of maximum output power
	<b>Total power losses @ high line &amp; maximum output power</b>	116,5W	136,5W	193W
	<b>Total power losses @ low line &amp; maximum output power</b>	148,4W	127,1W	207W
	<b>EMC- filter</b>	<b>EMC- filter</b>	EMC- filter is in a separate case of the SMPS is good for the EMC behaviour	EMC- filter is in the case of the SMPS
<b>EMC- filter</b>		2- stages EMC- filter the SMPS meets the EMC requirements (measurement of the conducted EMC in the range from 150kHz to 30MHz (industry norm))	2- stages EMC- filter the SMPS meets the EMC requirements (measurement of the conducted EMC in the range from 150kHz to 30MHz (industry norm))	2- stages EMC- filter the SMPS meets the EMC requirements (measurement of the conducted EMC in the range from 150kHz to 30MHz (industry norm))
<b>PFC stage</b>	<b>PFC stage topology</b>	boost PFC	boost PFC	interleaved boost PFC
	<b>PFC stage passive components</b>	PFC choke with toroid core 2 chokes in serial for low height of the SMPS use of a small inductor (FB801) in the gate driving circuit of the PFC MOSFET to damp oscillations in the driving circuit, to reduce di/ dt and hence over voltage in the power circuit; this arrangements are good to improve the EMC behaviour of the SMPS	PFC choke with toroid core 1 choke	PFC choke with EE- core 2 chokes because of the interleaved PFC stage
	<b>PFC stage active components</b>	Sic- diode used (Sic- diodes are Schottky diodes, they have no reverse recovery current and hence no snap off of the reverse recovery current; no snap off means steep di/ dt are avoided, this is good for the EMC behaviour) 1 MOSFET with low Rdson used	Stealth- diode used 3 MOSFET in parallel used for low Rdson	Sic- diode used (Sic- diodes are Schottky diodes, they have no reverse recovery current and hence no snap off of the reverse recovery current; no snap off means steep di/ dt are avoided, this is good for the EMC behaviour) 1 MOSFET with low Rdson in every PFC stage used
	<b>Driver for the MOSFET(s) in the PFC stage</b>	use of low side MOSFET driver IC	use of discrete bipolar transistor driver	use of discrete MOSFET driver
	<b>PFC stage control function</b>	continous conduction mode(CCM) PFC; average current controlled; leading edge controlled PFC & PWM combo controller synchronized PFC & PWM controller	continous conduction mode(CCM) PFC; average current controlled single PFC controller	continous conduction mode(CCM) PFC; average current controlled single PFC controller interleaved PFC stage
	<b>Switching frequency in PFC stage</b>	100kHz	90kHz	70kHz
	<b>Bulk capacitor voltage @ high line</b>	405V	406V	406V
	<b>Bulk capacitor voltage @ low line</b>	405V	409V	406V
	<b>Bulk capacitor</b>	1 capacitor with 390 uF available space in the SMPS fits for only 1 capacitor short hold over time, because of the small capacitor	2 capacitors in parallel with each 330uF 2 capacitors in parallel used because of the available space in the SMPS adequate hold over time, because of the capacitors	2 capacitors with each 180uF and 1 capacitor with 270 uF, all in parallel 3 capacitors in parallel used because of the available space in the SMPS adequate hold over time, because of the capacitors

Abb. A. 16 Design Philosophie der SMPS: Delta, Lite-ON, Valere (Teil 1)

<b>Design Philosophy of the investigated SMPSs</b>					
	<b>Delta DPS- 500EB A</b>	<b>Lite- ON PS- 3601-1F</b>	<b>Valere V2000A- VVII</b>		
<b>Main stage</b>	<b>Main stage topology</b>	half bridge	Two Transistor Forward (TTF)	full bridge	
	<b>Main stage passive components</b>	flux balancing capacitor C5 existing use of a small inductor (FB1 & FB2) in the gate driving circuit of the Main MOSFETs to damp oscillations in the driving circuit, to reduce di/dt and hence over voltage in the power circuit; this arrangements are good to improve the EMC behaviour of the SMPS		serial choke L101 to the transformer existing for the serial choke is used for di/dt limiting in the main stage and also used as a inductive voltage divider; this 2 functions realize a over voltage reduction at the secondary side rectifier (lower di/dt causes a lower over voltage at the secondary side rectifier ( $U = L \cdot di/dt$ ); the inductive voltage divider divides the voltage between the leakage inductance in the transformer and the serial choke outside of the transformer, lower voltage at the leakage inductance in the transformer means lower over voltage at the secondary side rectifier)	
	<b>Main stage active components</b>	two 500V MOSFETs used	two 600V MOSFETs and 2 clamping diodes used	four MOSFETs and two clamping diodes used	
	<b>Driver for the MOSFET(s) in the Main stage</b>	use of low & high side MOSFET driver IC	use of discrete bipolar transistor driver	use of discrete MOSFET driver	
	<b>Transmission system for the high side MOSFETs</b>	level shifter is used for driving the high side MOSFET in the half bridge	pulse transformer is used for driving the MOSFETs in the TTF	pulse transformer is used for driving the high side MOSFETs in the full bridge	
	<b>Main stage control function</b>	PWM control; trailing edge controlled trailing edge control need a triangle waveform of the oscillation signal in the control IC, to have the trailing edge PFC & PWM control are coupled, PFC stage works with the leading edge and Main stage with the trailing edge the coupling of both stages (PFC & Main) reduce the strain for the bulk capacitor the PFC transports, after the leading edge, energy to the bulk capacitor and the Main stage transports, after the trailing edge, energy to the output. current mode operation IC delivers one PWM output signal	PWM control; leading edge controlled leading edge control need only a sawtooth waveform of the oscillation signal in the control IC, to have the leading edge current mode operation IC delivers one PWM output signal	PWM control; leading edge controlled leading edge control need only a sawtooth waveform of the oscillation signal in the control IC, to have the leading edge TOP MOSFETs switching on with $V_{ds} = 0V$ BOT MOSFETs switching on with $V_{ds} = V_z = 406V$ asymmetric control of the MOSFETs caused an unbalanced heat distribution of the MOSFETs current mode operation IC delivers two PWM output signals	
	<b>Switching frequency in Main stage</b>	200kHz	110kHz	70kHz	
	<b>Transformer</b>	<b>Main Transformer</b>	transformer with EE- ferrite core 1 primary winding; 2 secondary windings primary power windings made from copper wires	transformer with EE- ferrite core 1 primary winding; 1 secondary winding primary power windings made from copper wires	transformer with EE- ferrite core 1 primary windings; 1 secondary windings primary power windings made from copper strips (in forward converter applications obtains: use of copper strips is better than copper wires, because copper strips reduces current repression)
			secondary power windings made from copper strips	secondary power windings made from copper strips	secondary power windings made from copper strips
			electrical field shield winding (made from copper strips) existing to reduce the capacitive coupling between primary and secondary side	electrical field shield winding existing to reduce the capacitive coupling between primary and secondary side	electrical field shield winding existing to reduce the capacitive coupling between primary and secondary side
			large leakage inductance caused flat current slopes, this is good for EMC behaviour		
		convoluted primary winding for a good magnetical coupling from primary to secondary side	convoluted primary winding for a good magnetical coupling from primary to secondary side	convoluted primary winding for a good magnetical coupling from primary to secondary side	

Abb. A. 17 Design Philosophie der SMPS: Delta, Lite-ON, Valere (Teil 2)

<b>Design Philosophy of the investigated SMPSs</b>				
	<b>Delta DPS- 500EB A</b>	<b>Lite- ON PS- 3601-1F</b>	<b>Valere V2000A- VVII</b>	
<b>Secondary side stage</b>	<b>Secondary Side stage topology</b>	current doubler with diode rectification	Single- cycle forward rectification with freewheeling MOSFET and diode (synchronous rectification) [Single- pulse rectification with freewheeling MOSFET and diode (synchronous rectification)]	current doubler with diode rectification
	<b>Secondary Side stage passive components</b>	2 Current doubler chokes with toroid core	1 storage choke with two stacked toroid cores	2 Current doubler chokes with UU- core
	<b>Secondary Side stage active components</b>	3 dual schottky rectifier diodes for the current doubler rectification used asymmetric use of the diodes in both current doubler legs (asymmetric voltage stress and current flow -> use of 60V diodes in one leg and 100V diodes in the other leg) because of the control scheme of the Main stage  the parallel connected diodes has a good thermal coupling to reduce the effect of the negative temperature coefficient in the forward voltage and to symmetric the current flow between the parallel connected diodes with changing temperature	2 dual schottky rectifier diodes for the single- cycle forward rectification used  1 dual schottky rectifier diode and 2 MOSFETs in parallel for the freewheeling path used  the parallel connected MOSFETs has a positive temperature coefficient of the R <sub>dson</sub> this is good to symmetric the current flow between the parallel connected MOSFETs with changing temperature	3 dual schottky rectifier diodes for the current doubler rectification used   the parallel connected diodes has a good thermal coupling to reduce the effect of the negative temperature coefficient in the forward voltage and to symmetric the current flow between the parallel connected diodes with changing temperature
	<b>Secondary Side stage control function</b>	no driving circuit for diodes needed	synchronous rectification principle generation of the freewheeling MOSFET control signal from the secondary side transformer  a short delay between the time where the transformer voltage becomes negative and the switching on of the freewheeling MOSFETs is present (dependent on the commutation between the both diodes on the secondary side, this commutation needs a time, after the commutation the freewheeling MOSFET can switch on; the control method for the freewheeling MOSFETs affects the delay time furthermore)	no driving circuit for diodes needed
	<b>OR- ing stage</b>	2 MOSFETs in parallel with low R <sub>dson</sub> used MOSFETs are static on; if a failure occurs the OR- ing MOSFETs disconnect the SMPS form the output voltage busbar	3 MOSFETs in parallel with low R <sub>dson</sub> used MOSFETs are static on; if a failure occurs the OR- ing MOSFETs disconnect the SMPS form the output voltage busbar	2 MOSFETs in parallel with low R <sub>dson</sub> used MOSFETs are static on; if a failure occurs the OR- ing MOSFETs disconnect the SMPS form the output voltage busbar
	<b>Output voltage</b>	12,26V	12,5V	48,2V
	<b>Output voltage ripple</b>	40mV	30mV	55mV
	<b>Output voltage ripple frequency</b>	200kHz	110kHz	140kHz
	<b>Output capacitor</b>	4 capacitors in parallel with each 1000uF 4 capacitors used because of the available space in the SMPS	3 capacitors in parallel with each 2200uF 3 capacitors used because of the available space in the SMPS	4 capacitors in parallel with each 560uF 4 capacitors used because of the available space in the SMPS
	<b>Auxiliary power supply</b>	flyback converter with a integrated switch (TOPSwitch from Power Integrations); chopper regulator; linear regulator	flyback converter with a integrated switch (TOPSwitch from Power Integrations); linear regulator	auxiliary converter with small transformer; linear regulator
<b>Current monitoring</b>	use of resistors for current sensing in all stages	use of resistors for current sensing in the PFC stage; use of a current transformer in the main stage	use of current transformer for current sensing in all stages	

Abb. A. 18 Design Philosophie der SMPS: Delta, Lite-ON, Valere (Teil 3)

<b>Design Philosophy of the investigated SMPSs</b>				
	<b>Delta DPS- 500EB A</b>	<b>Lite- ON PS- 3601-1F</b>	<b>Valere V2000A- VVII</b>	
<b>Thermal aspects</b>	<b>Cooling system/ Thermal design</b>	fan cooled SMPS; very good thermal design; use of silicone foil (e.g. "Gap Pad" from Bergquist ) for very good thermal conductivity between heatsink and case of the SMPS	fan cooled SMPS; leading of the air flow through the SMPS by guide plate	fan cooled SMPS; excellent thermal design; placing of all heat sources in the air flow of the 2 fans
		use of aluminium plates as heatsink	use of conventional aluminium heatsinks	use of high-value aluminium heatsinks
	<b>Thermal connection between the active components in the PFC stage and the heatsink</b>	use of thermal interface material	use of thermal interface material	use of thermal interface material
	<b>Thermal connection between the active components in the Main stage and the heatsink</b>	no thermal interface material used, because of the use of fully isolated MOSFETs (the thermal resistance $R_{th}$ between the junction and the heatsink by using a fully isolated MOSFET(TO-220) mounted with thermally conductive paste is about 25% higher than the thermal resistance $R_{th}$ between the junction and the heatsink by using a unisolated MOSFET(TO-220) mounted with thermal interface material (e.g. Sil- Pad A1500)) (lower thermal resistance $R_{th}$ means "better" heat transportation from the junction to the heatsink and in the end a lower temperature at the junction than with a higher thermal resistance)	use of thermal interface material	use of thermal interface material
	<b>Thermal connection between the active components in the secondary side stage and the heatsink</b>	use of thermal interface material	use of thermal interface material	no thermal interface material used, because the mounted diodes has the same potential at the tab and at the heatsink (the thermal resistance $R_{th}$ between the junction and the heatsink by using a unisolated MOSFET(TO-220) mounted with thermal interface material (e.g. Sil- Pad A1500) is about 300% higher than the thermal resistance $R_{th}$ between the junction and the heatsink by using a unisolated MOSFET(TO-220) mounted only with thermally conductive paste) (lower thermal resistance $R_{th}$ means "better" heat transportation from the junction to the heatsink and in the end a lower temperature at the junction than with a higher thermal resistance)
	<b>Heatsink volume</b>	3,15 inch <sup>3</sup>	9,84 inch <sup>3</sup>	8,81 inch <sup>3</sup>
<b>PCB</b>	<b>Specials of the PCB</b>	4 layer PCB; power board and control board are separated; control board put on the power board	2 layer PCB; parties of the control are on the power board and on a put on control board	4 layer PCB; the SMPS in built-on 2 PCBs, one for EMI- filter, input rectifier, PFC chokes and the other one for the rest of the SMPS
				power board and control board are separated; control board put on the power board
<b>Case</b>	<b>Specials of the box</b>	the case is a important part of the cooling system to get the heat out of the SMPS by thermal conduction the case is also used for guidance of the cooling air EMI- filter; fan; DC- DC- converter are in a separated plug- in case	the case includes all parts of the SMPS; the case is used for guidance of the cooling air	the case includes all parts of the SMPS; the case is used for guidance of the cooling air
	<b>Dimensions of the SMPS box (L x W x H)</b>	254 x 78,8 x 36,8 mm (only the SMPS) 329 x 80 x 106 mm (dimensions of the case for the plug- in of 2 SMPS)	331 x 81 x 64 mm	273 x 85 x 80 mm
	<b>Structural shape of the SMPS</b>	flat structural shape	longish structural shape	longish structural shape
<b>Misc.</b>	<b>Miscellaneous</b>	1 microcontroller is used	none microcontroller is used	2 microcontroller are used packing density is very high

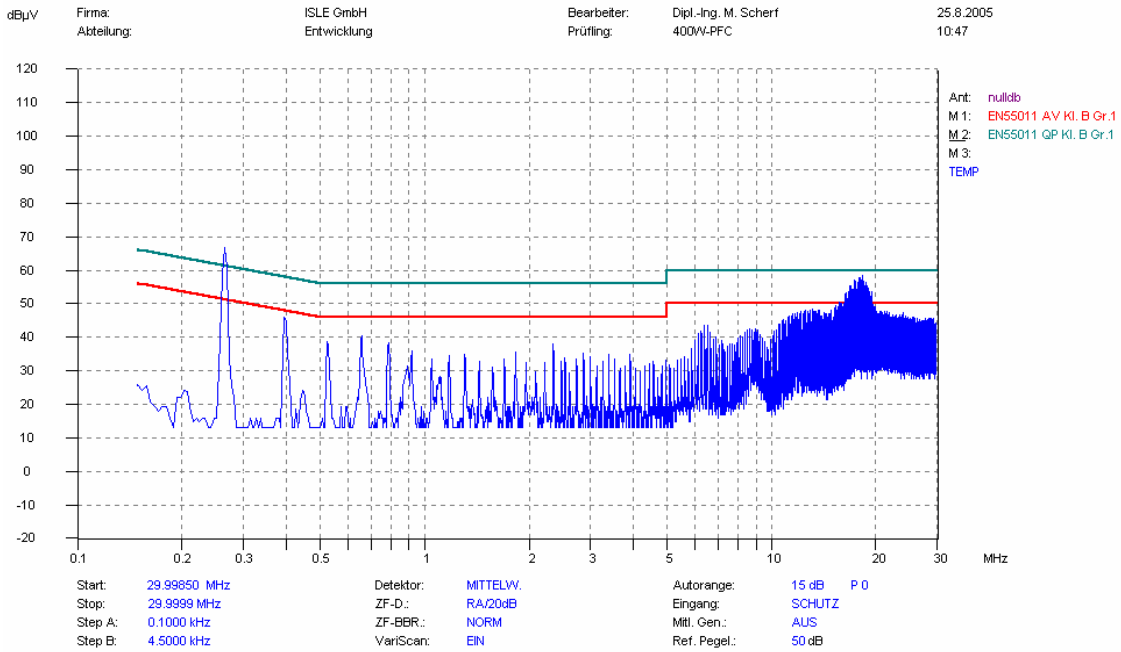
Abb. A. 19 Design Philosophie der SMPS: Delta, Lite-ON, Valere (Teil 4)



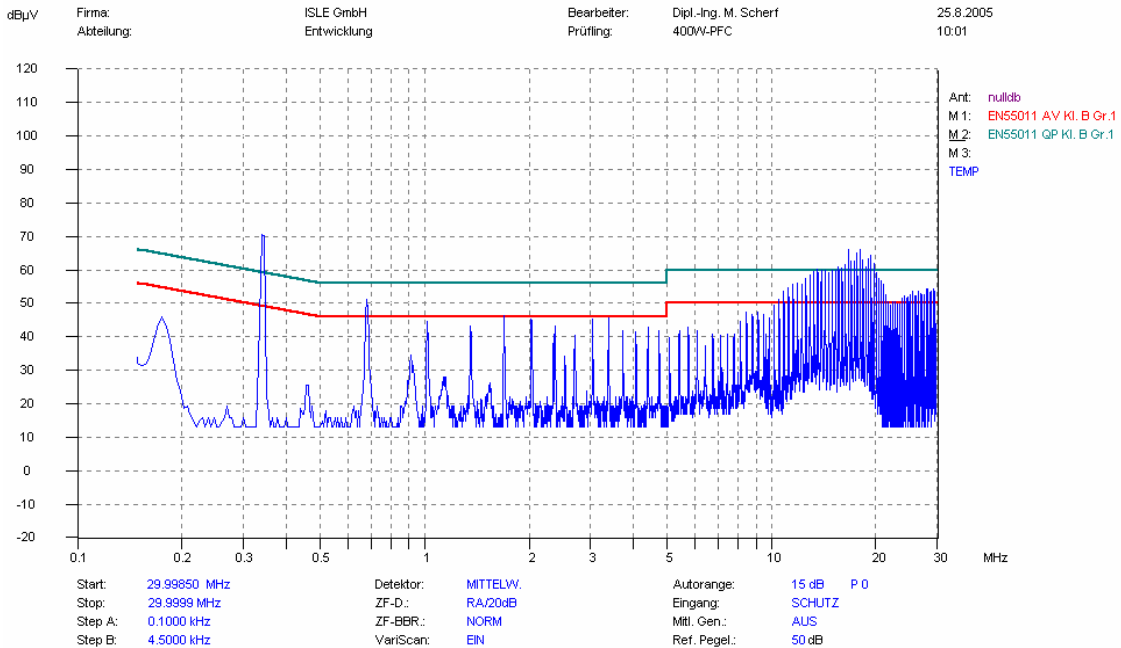
	Delta DPS- 500EB A	Lite- ON PS- 3601-1F	Valere V2000A- VVII
<b>Topology of PFC stage</b>	Boost PFC	Boost PFC	Interleaved Boost PFC
<b>PFC stage control function</b>	continuous conduction mode(CCM) PFC; average current controlled; leading edge controlled; PFC & PWM combo controller	continuous conduction mode(CCM) PFC; Average current controlled; single PFC controller	continuous conduction mode(CCM) PFC; Average current controlled; single PFC controller
<b>Control IC</b>	Fairchild ML4824	Fairchild FAN4810	Unitrode UCC2818D
<b>Topology of Main stage</b>	Half Bridge	Two Transistor Forward (TTF)	Full Bridge
<b>Main stage control function</b>	PWM control; trailing edge controlled; current mode operation; PFC & PWM combo controller	PWM control; leading edge controlled; current mode operation	PWM control; leading edge controlled; current mode operation
<b>Control IC</b>	Fairchild ML4824	ST UC3845B	Unitrode UC2825ADW
<b>Topology of Secondary side stage</b>	Current doubler with diode rectification	Single- cycle forward rectification with freewheeling MOSFET and diode (synchronous rectification) [Single-pulse rectification with freewheeling MOSFET and diode (synchronous rectification)]	Current doubler with diode rectification
<b>Secondary Side stage control function</b>	no driving circuit for diodes needed	synchronous rectification principle; generation of the freewheeling MOSFET control signal from the secondary side transformer voltage	no driving circuit for diodes needed
<b>Control IC</b>	no control IC needed	no control IC used	no control IC needed

Abb. A. 20 Ansteuerprinzipien der SMPS: Delta, Lite-ON, Valere

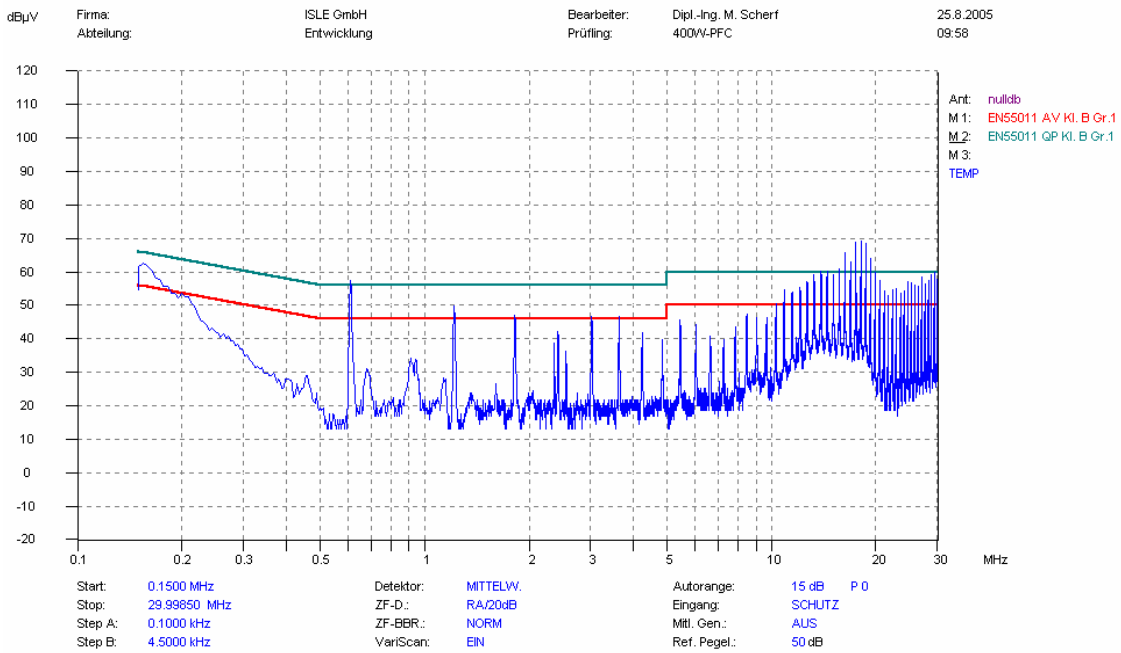
## Analyse des Optimierungspotentials und Zielstellung der Arbeit



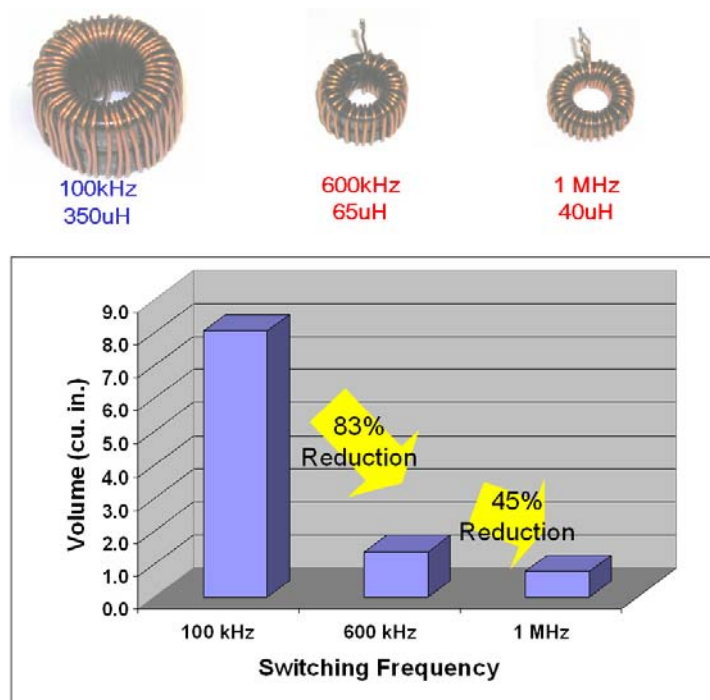
**Abb. A. 21** Leitungsgebundene EMV-Messung an einer Hochsetzsteller-PFC-Stufe  
 (Messung ohne Gehäuse), CCM-Betrieb  
 @  $P_{IN}=400\text{ W}$ ;  $V_{IN\_RMS}=180\text{ V}$ ;  $V_{OUT}=420\text{ V}$ ;  $f_{SW}=130\text{ kHz}$



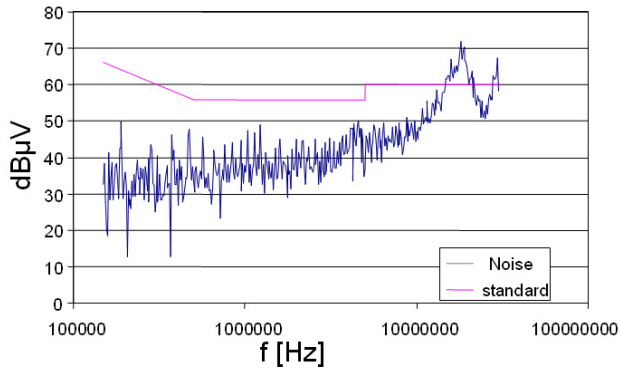
**Abb. A. 22** Leitungsgebundene EMV-Messung an einer Hochsetzsteller-PFC-Stufe  
 (Messung ohne Gehäuse), CCM-Betrieb  
 @  $P_{IN}=400\text{ W}$ ;  $V_{IN\_RMS}=180\text{ V}$ ;  $V_{OUT}=420\text{ V}$ ;  $f_{SW}=330\text{ kHz}$



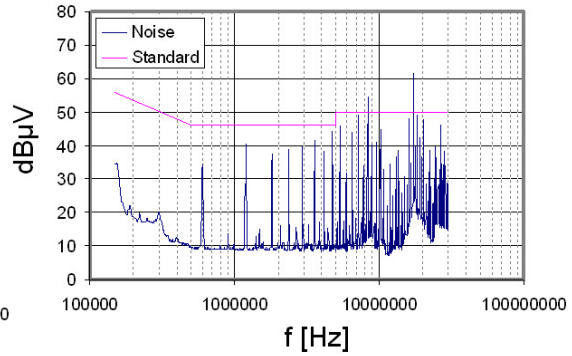
**Abb. A. 23 Leitungsgedundene EMV-Messung an einer Hochsetzsteller-PFC-Stufe (Messung ohne Gehäuse), CCM-Betrieb**  
 @  $P_{IN}=400\text{ W}$ ;  $V_{IN\_RMS}=180\text{ V}$ ;  $V_{OUT}=420\text{ V}$ ;  $f_{SW}=600\text{ kHz}$



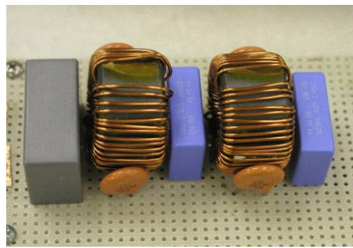
**Abb. A. 24 Einfluss der Schaltfrequenz auf das Kernvolumen der Drossel in einer Hochsetzsteller-PFC; CCM-Betrieb; Stromwelligkeit konstant**  
 @  $P_{OUT}=600\text{ W}$ ;  $V_{IN\_RMS}=90\text{ V}$ ;  $V_{OUT}=400\text{ V}$ ;  $f_{SW}=100\text{ kHz}, 600\text{ kHz}, 1\text{ MHz}$  [3.6]



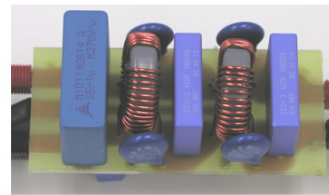
100 kHz PFC noise after filtering



600 kHz PFC noise after filtering



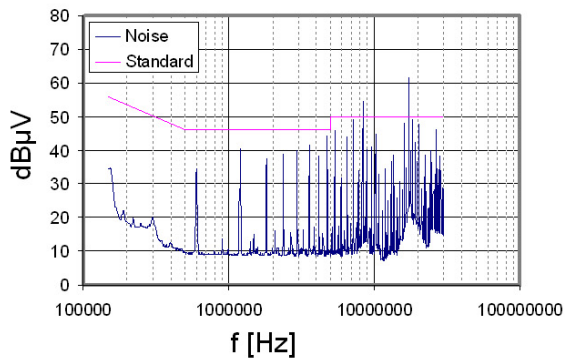
45% volume reduction



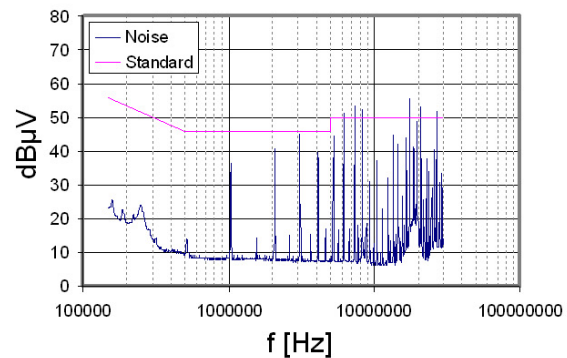
**100 kHz EMI Filter**

**600 kHz EMI Filter**

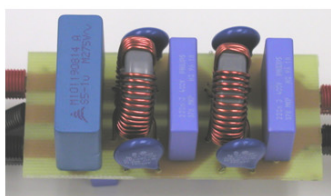
Abb. A. 25 Einfluss der Schaltfrequenz auf das EMV-Spektrum und das EMV-Filtervolumen in einer Hochsetzsteller-PFC; CCM-Betrieb; Stromwelligkeit konstant  
 @  $P_{OUT}=600\text{ W}$ ;  $V_{IN\_RMS}=90\text{ V}$ ;  $V_{OUT}=400\text{ V}$ ;  $f_{SW}=100\text{ kHz}, 600\text{ kHz}$  [3.6]



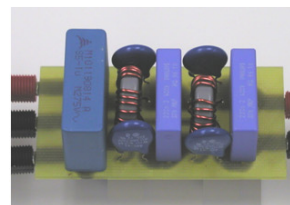
600 kHz PFC noise after filtering



1 MHz PFC noise after filtering



28% volume reduction



**600 kHz EMI Filter**

**1 MHz EMI Filter**

Abb. A. 26 Einfluss der Schaltfrequenz auf das EMV-Spektrum und das EMV-Filtervolumen in einer Hochsetzsteller-PFC; CCM-Betrieb; Stromwelligkeit konstant  
 @  $P_{OUT}=600\text{ W}$ ;  $V_{IN\_RMS}=90\text{ V}$ ;  $V_{OUT}=400\text{ V}$ ;  $f_{SW}=600\text{ kHz}, 1\text{ MHz}$  [3.6]

Balance of Power losses						
Model: PFC of Three Stage Topology			Test Conditions (Power Analyzer PM-300)			
Type: Boost PFC Stage			V in_RMS [V]: 100,00 V			
Version of Assembly: 1 x IPW60R045CP; 1 x IDT06S60C			PF: 0,996			
Input Voltage: 90...265V AC			P in [W]: 914,0 W			
Output Power: 410V / 2A DC			V out [V]: 412,00 V			
DC-Link Voltage: 410 V			I out [A]: 2,08 A			
Switching Frequency: 125kHz			$\eta$ [%]: 93,58			
			Power loss [W]: 58,7 W			
P	Name	Description	Count	Power Loss	Total	Remark
1	EMI Filter		1	2,7 W	2,7 W	Measured
2	Bridge Rectifier	GSIB2560	1	16,9 W	16,9 W	Measured
3	Boost Inductor Core	MPP 55090-A2	1	2,0 W	2,0 W	Calculated
4	Boost Inductor Winding		1	3,2 W	3,2 W	Calculated
5	PFC Transistor	IPW60R045CP	1	22,4 W	22,4 W	Estimated
6	PFC Diode	IDT06S60C	1	5,0 W	5,0 W	Calculated
7	PFC Shunt Resistor	25 mOhm	1	2,5 W	2,5 W	Calculated
8	Bulk Capacitor		2	2,0 W	4,0 W	Estimated
Total Amount of Power Losses:					58,7 W	

Abb. A. 27 Verlustleistungsbilanz der Hochsetzsteller-PFC-Stufe für die dreistufigen SMPS bei einer Schaltfrequenz von  $f_{SW}=125$  kHz @  $V_{IN\_RMS}=100$  V;  $P_{OUT}=855$  W

Balance of Power losses						
Model: PFC of Three Stage Topology			Test Conditions (Power Analyzer PM-300)			
Type: Boost PFC Stage			V in_RMS [V]: 100,00 V			
Version of Assembly: 1 x IPW60R045CP; 1 x IDT06S60C			PF: 0,996			
Input Voltage: 90...265V AC			P in [W]: 905,0 W			
Output Power: 410V / 2A DC			V out [V]: 408,00 V			
DC-Link Voltage: 410 V			I out [A]: 2,04 A			
Switching Frequency: 250kHz			$\eta$ [%]: 91,97			
			Power loss [W]: 72,7 W			
P	Name	Description	Count	Power Loss	Total	Remark
1	EMI Filter		1	2,7 W	2,7 W	Measured
2	Bridge Rectifier	GSIB2560	1	16,9 W	16,9 W	Measured
3	Boost Inductor Core	MPP 55090-A2	1	2,4 W	2,4 W	Calculated
4	Boost Inductor Winding		1	1,6 W	1,6 W	Calculated
5	PFC Transistor	IPW60R045CP	1	37,6 W	37,6 W	Estimated
6	PFC Diode	IDT06S60C	1	5,0 W	5,0 W	Calculated
7	PFC Shunt Resistor	25 mOhm	1	2,5 W	2,5 W	Calculated
8	Bulk Capacitor		2	2,0 W	4,0 W	Estimated
Total Amount of Power Losses:					72,7 W	

Abb. A. 28 Verlustleistungsbilanz der Hochsetzsteller-PFC-Stufe für die dreistufigen SMPS bei einer Schaltfrequenz von  $f_{SW}=250$  kHz @  $V_{IN\_RMS}=100$  V;  $P_{OUT}=832$  W

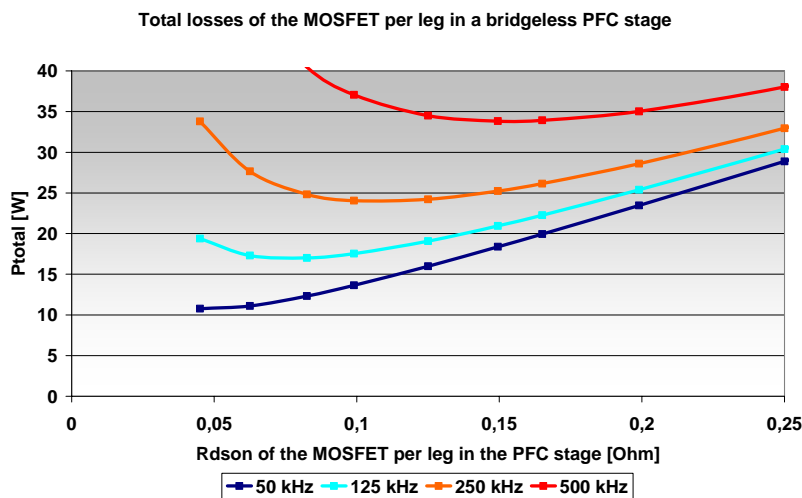


Abb. A. 29 Gesamtverluste eines MOSFETs ( $Q_1, Q_2$ ) in einer Bridgeless-PFC-Stufe in Abhängigkeit vom Durchlasswiderstand  $R_{DSon}$ ; Auswahl des optimalen PFC-MOSFETs (CoolMOS CP-Serie) in Abhängigkeit von der Schaltfrequenz @  $P_{IN}=900$  W;  $V_{IN\_RMS}=90$  V;  $V_{OUT}=400$  V,  $T_J=150$  °C

Balance of Power losses							
Model: High Efficiency PFC stage							
Type: rectifierless PFC stage							
Version of Assembly: 0							
Input Voltage: 230V -10%/ +15%							
Output Power: 1500 W							
DC-Link Voltage: 380 V							
Switching Frequency: 130kHz							
P	Name	Description	Count	Power Loss	Total	Remark	
1	Common Mode Choke		2	0,4 W	0,7 W	Measured / Calculated	
2	Boost Inductor Core	core 55439- A2; 40 windings	1	1,4 W	1,4 W	Calculated	
3	Boost Inductor Winding		1	1,5 W	1,5 W		
4	PFC Transistor	CoolMOS CP; IPB60R099CP	2	2,9 W	5,8 W	Calculated/Estimated	
5	PFC Diode	SiC-Diode; JDT16S60C	2	2,8 W	5,5 W	Calculated/Estimated	
6	Bulk Capacitor	EPCOS B43504	2	0,8 W	1,6 W	Measured / Calculated	
7	PFC Control / Driver		1	1,2 W	1,2 W	Measured / Calculated	
8	Others		1	0,5 W	0,5 W	Estimated	
<b>Total Amount of Power Losses:</b>					<b>18,2 W</b>		
Parallelschaltungen von 2 PFC Transistoren wird als Einzelbauelement betrachtet (Count=1)							

Abb. A. 30 Verlustleistungsbilanz der Bridgeless-PFC-Stufe @  $f_{SW}=130$  kHz;  $V_{IN,RMS}=230$  V;  $P_{OUT}=1500$  W

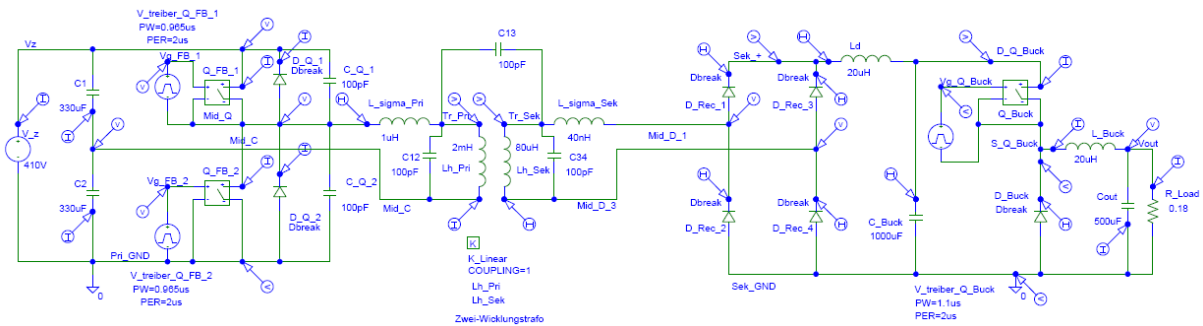


Abb. A. 31 PSpice Simulationsschaltplan; spannungseingprägtes System;  $V_{OUT}=12$  V;  $P_{OUT}=800$  W (PSpice Version 9.1; Schaltermodell: Sbreak; Diodenmodell: Dbreak)

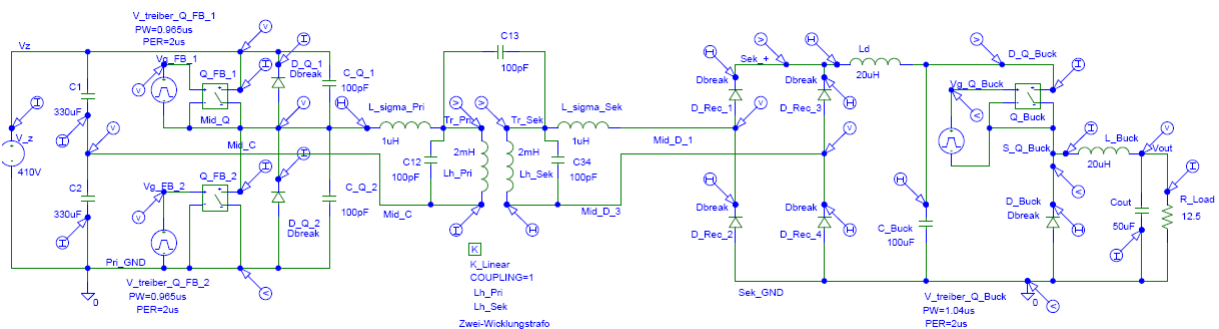
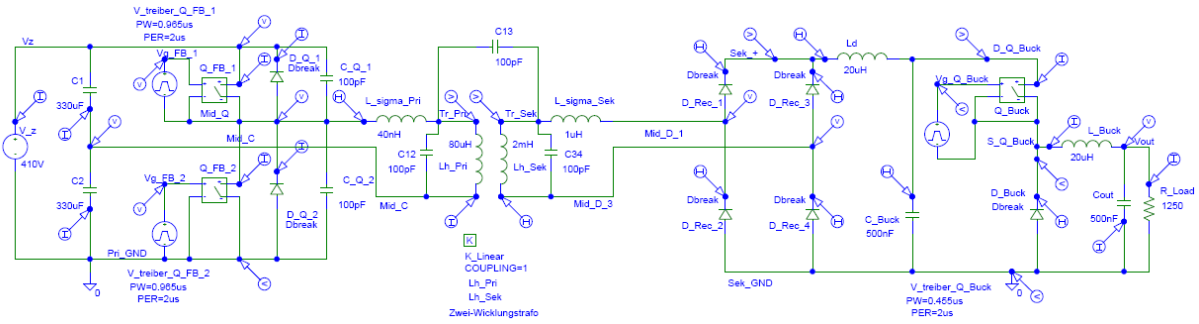
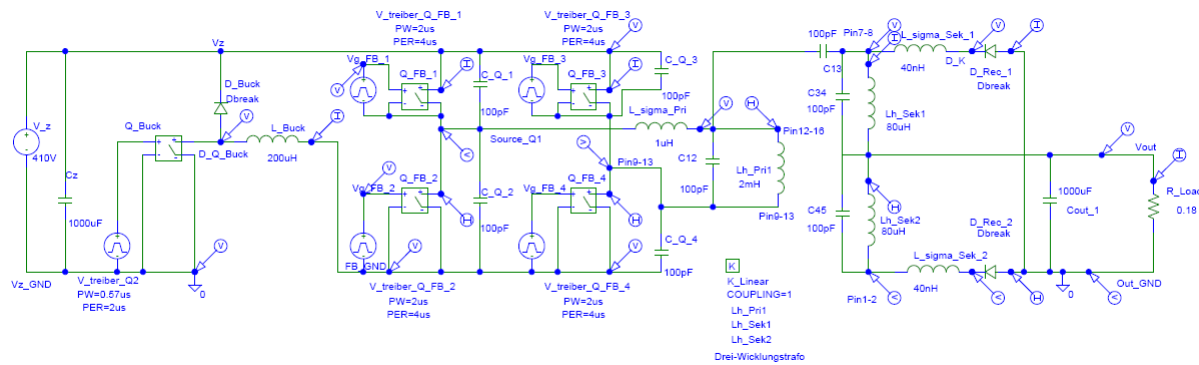


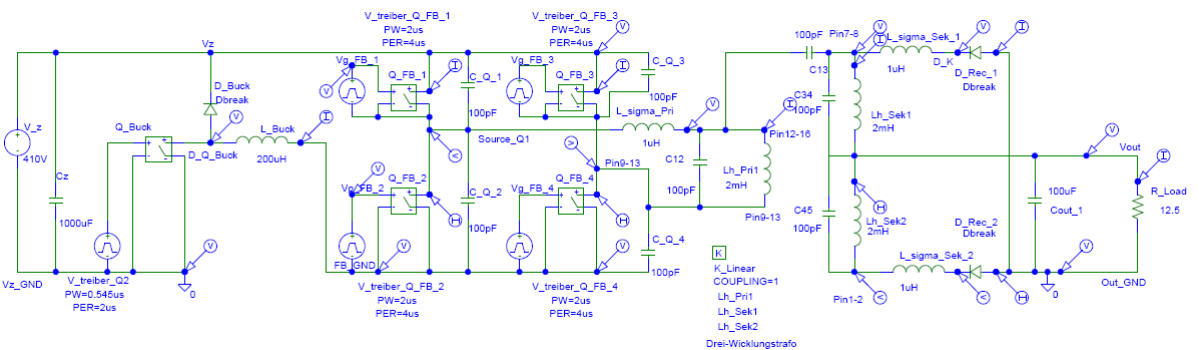
Abb. A. 32 PSpice Simulationsschaltplan; spannungseingprägtes System;  $V_{OUT}=100$  V;  $P_{OUT}=800$  W (PSpice Version 9.1; Schaltermodell: Sbreak; Diodenmodell: Dbreak)



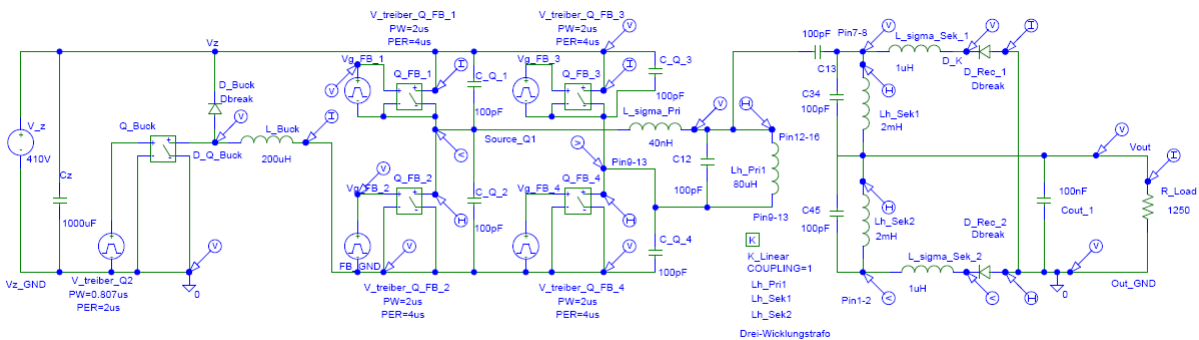
**Abb. A.33** PSpice Simulationsschaltplan; spannungseingprägtes System;  $V_{OUT}=1000\text{ V}$ ;  $P_{OUT}=800\text{ W}$  (PSpice Version 9.1; Schaltermodell: Sbreak; Diodenmodell: Dbreak)



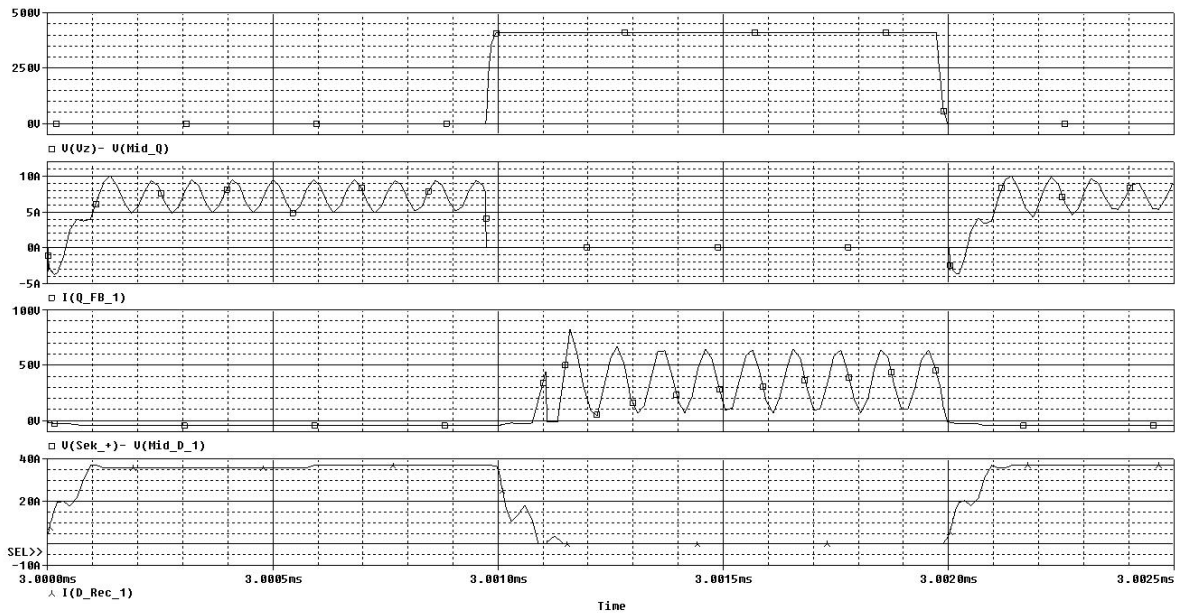
**Abb. A.34** PSpice Simulationsschaltplan; stromeingprägtes System;  $V_{OUT}=12\text{ V}$ ;  $P_{OUT}=800\text{ W}$  (PSpice Version 9.1; Schaltermodell: Sbreak; Diodenmodell: Dbreak)



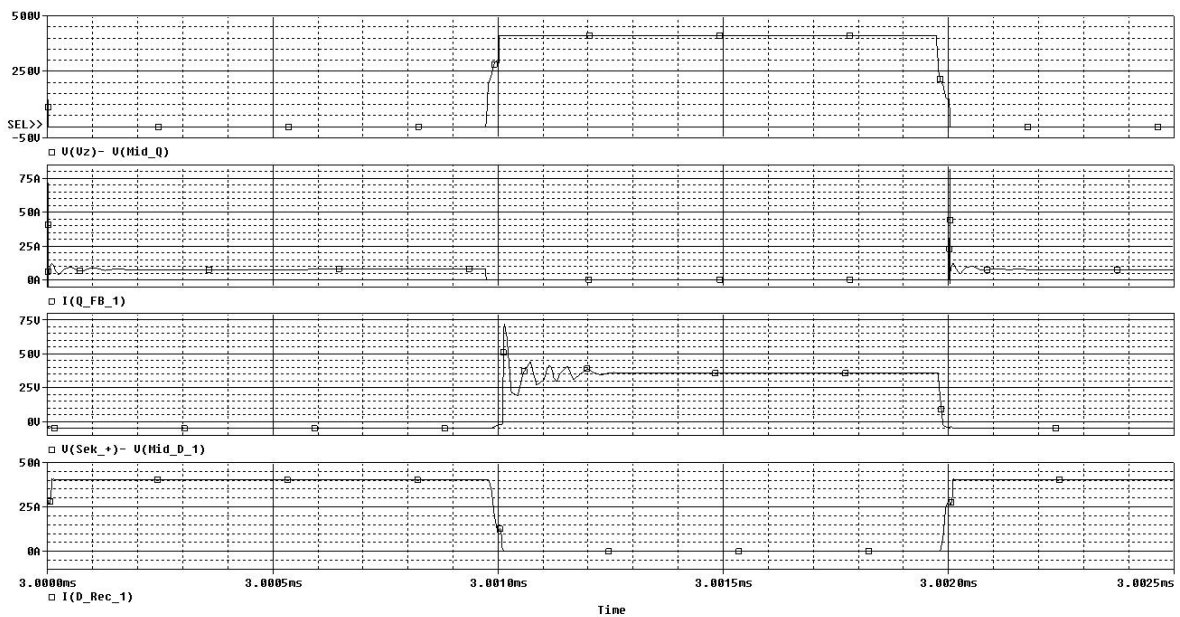
**Abb. A.35** PSpice Simulationsschaltplan; stromeingprägtes System;  $V_{OUT}=100\text{ V}$ ;  $P_{OUT}=800\text{ W}$  (PSpice Version 9.1; Schaltermodell: Sbreak; Diodenmodell: Dbreak)



**Abb. A.36** PSpice Simulationsschaltplan; stromeingprägtes System;  $V_{OUT}=1000\text{ V}$ ;  $P_{OUT}=800\text{ W}$  (PSpice Version 9.1; Schaltermodell: Sbreak; Diodenmodell: Dbreak)

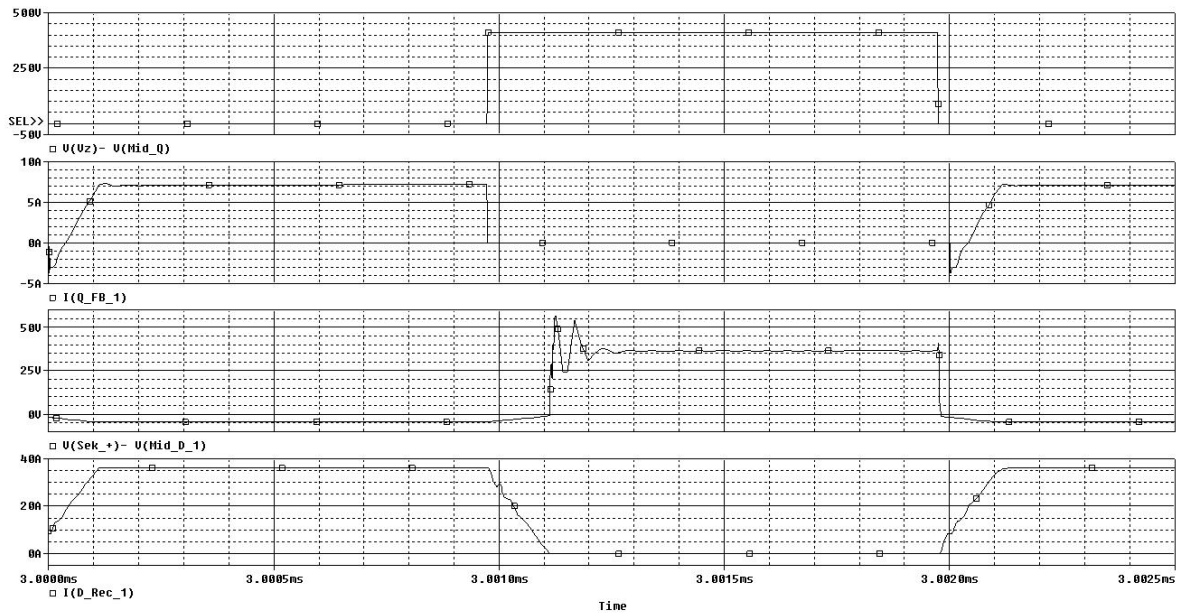


**Abb. A. 37** Simulierte Kurvenverläufe; spannungseingprägtes System;  
(v.o.n.u.: Primärseitiger MOSFET:  $V_{DS\_Q\_FB\_1}$ ;  $I_{D\_Q\_FB\_1}$ ;  
Sekundärseitige Diode:  $V_{KA\_D\_Rec\_1}$ ;  $I_{F\_D\_Rec\_1}$  (Abb. A. 31));  
 $V_{OUT}=12\text{ V}$ ;  $P_{OUT}=800\text{ W}$ ;  $L_{Sigma\_Pri}=1\text{ }\mu\text{H}$ ;  $L_{Sigma\_Sek}=40\text{ nH}$ ;  $C_P=100\text{ pF}$

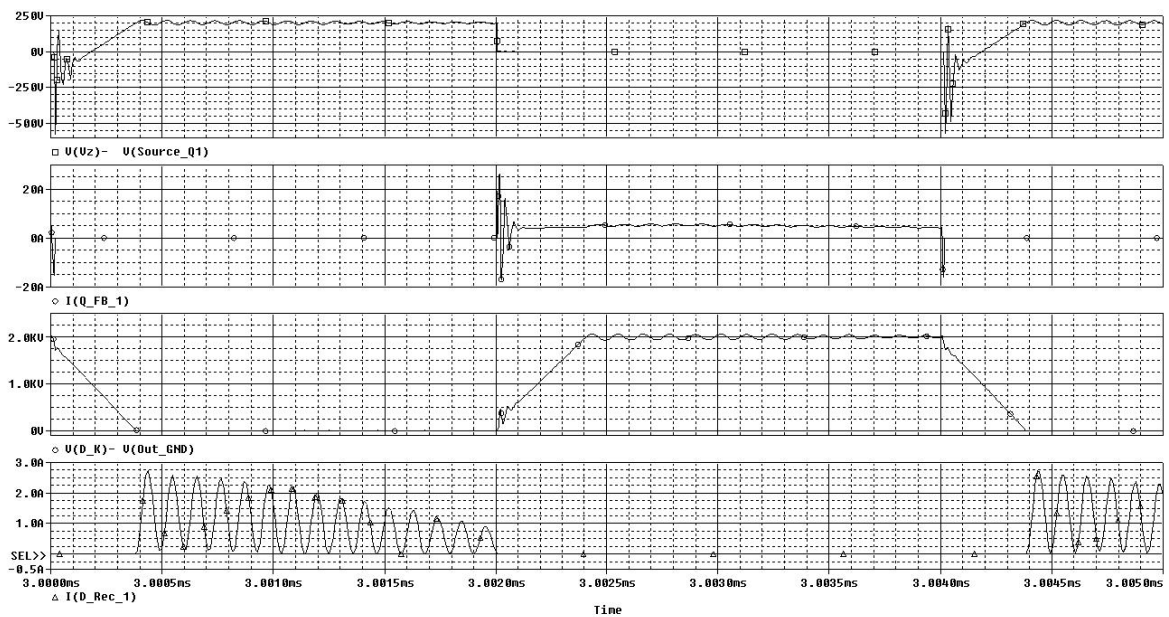


**Abb. A. 38** Simulierte Kurvenverläufe; spannungseingprägtes System; Variation der Streuung;  
(v.o.n.u.: Primärseitiger MOSFET:  $V_{DS\_Q\_FB\_1}$ ;  $I_{D\_Q\_FB\_1}$ ;  
Sekundärseitige Diode:  $V_{KA\_D\_Rec\_1}$ ;  $I_{F\_D\_Rec\_1}$  (Abb. A. 31));  
 $V_{OUT}=12\text{ V}$ ;  $P_{OUT}=800\text{ W}$ ;  $L_{Sigma\_Pri}=100\text{ nH}$ ;  $L_{Sigma\_Sek}=4\text{ nH}$ ;  $C_P=100\text{ pF}$

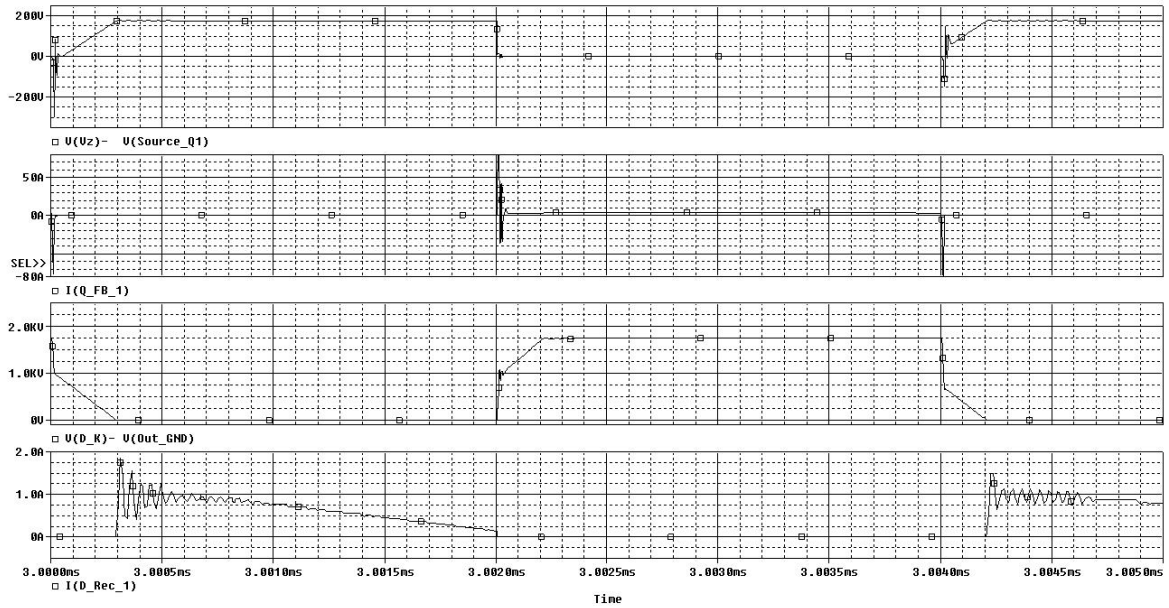




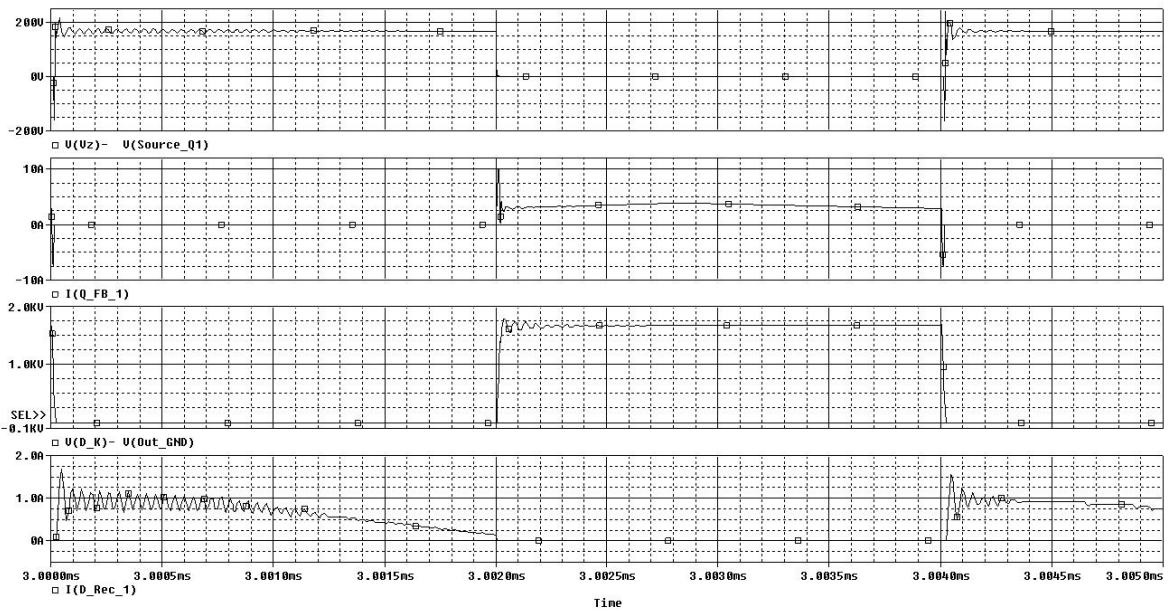
**Abb. A. 39** Simulierte Kurvenverläufe; spannungseingprägtes System; Variation der para. Kapazität;  
(v.o.n.u.: Primärseitiger MOSFET:  $V_{DS\_Q\_FB\_1}$ ;  $I_{D\_Q\_FB\_1}$ ;  
Sekundärseitige Diode:  $V_{KA\_D\_Rec\_1}$ ;  $I_{F\_D\_Rec\_1}$  (Abb. A. 31));  
 $V_{OUT}=12\text{ V}$ ;  $P_{OUT}=800\text{ W}$ ;  $L_{Sigma\_Pri}=1\text{ }\mu\text{H}$ ;  $L_{Sigma\_Sek}=40\text{ nH}$ ;  $C_P=10\text{ pF}$



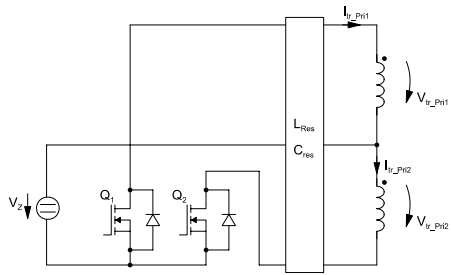
**Abb. A. 40** Simulierte Kurvenverläufe; stromeingprägtes System;  
(v.o.n.u.: Primärseitiger MOSFET:  $V_{DS\_Q\_FB\_1}$ ;  $I_{D\_Q\_FB\_1}$ ;  
Sekundärseitige Diode:  $V_{KA\_D\_Rec\_1}$ ;  $I_{F\_D\_Rec\_1}$  (Abb. A. 36));  
 $V_{OUT}=1000\text{ V}$ ;  $P_{OUT}=800\text{ W}$ ;  $L_{Sigma\_Pri}=40\text{ nH}$ ;  $L_{Sigma\_Sek}=1\text{ }\mu\text{H}$ ;  $C_P=100\text{ pF}$



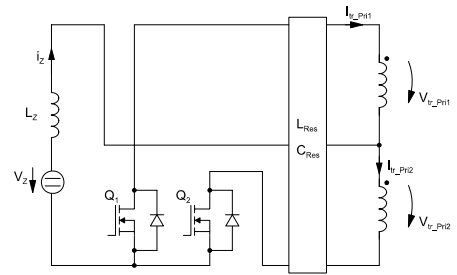
**Abb. A. 41** Simulierte Kurvenverläufe; stromeingprägtes System; Variation der Streuung;  
(v.o.n.u.: Primärseitiger MOSFET:  $V_{DS\_Q\_FB\_1}$ ;  $I_{D\_Q\_FB\_1}$ ;  
Sekundärseitige Diode:  $V_{KA\_D\_Rec\_1}$ ;  $I_{F\_D\_Rec\_1}$  (Abb. A. 36));  
 $V_{OUT}=1000\text{ V}$ ;  $P_{OUT}=800\text{ W}$ ;  $L_{Sigma\_Pri}=4\text{ nH}$ ;  $L_{Sigma\_Sek}=100\text{ nH}$ ;  $C_P=100\text{ pF}$



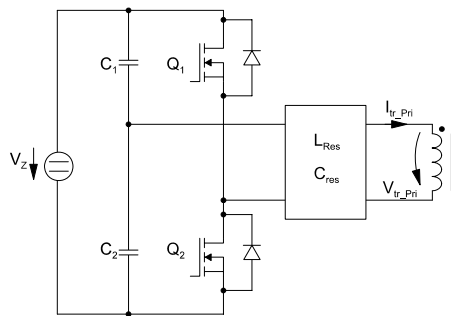
**Abb. A. 42** Simulierte Kurvenverläufe; stromeingprägtes System; Variation der para. Kapazität;  
(v.o.n.u.: Primärseitiger MOSFET:  $V_{DS\_Q\_FB\_1}$ ;  $I_{D\_Q\_FB\_1}$ ;  
Sekundärseitige Diode:  $V_{KA\_D\_Rec\_1}$ ;  $I_{F\_D\_Rec\_1}$  (Abb. A. 36));  
 $V_{OUT}=1000\text{ V}$ ;  $P_{OUT}=800\text{ W}$ ;  $L_{Sigma\_Pri}=40\text{ nH}$ ;  $L_{Sigma\_Sek}=1\text{ }\mu\text{H}$ ;  $C_P=10\text{ pF}$



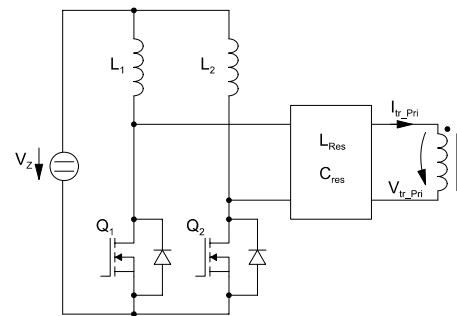
**Abb. A. 43 Primärseite des Resonanzwandlers mit Spannungseinprägung und AC-Mittelpunkt**



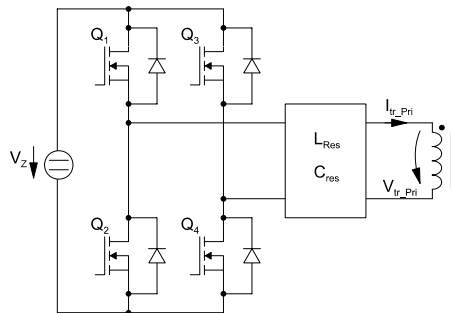
**Abb. A. 44 Primärseite des Resonanzwandlers mit Stromeinprägung und AC-Mittelpunkt**



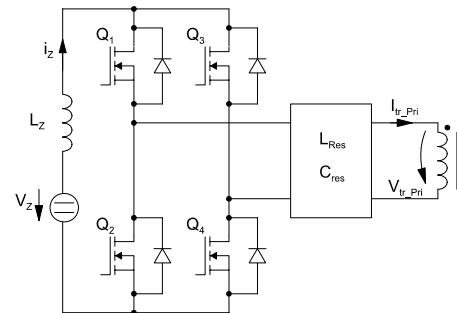
**Abb. A. 45 Primärseite des Resonanzwandlers mit Spannungseinprägung und DC-Mittelpunkt**



**Abb. A. 46 Primärseite des Resonanzwandlers mit Stromeinprägung und DC-Mittelpunkt**



**Abb. A. 47 Primärseite des Resonanzwandlers mit Spannungseinprägung und Vollbrücke**



**Abb. A. 48 Primärseite des Resonanzwandlers mit Stromeinprägung und Vollbrücke**

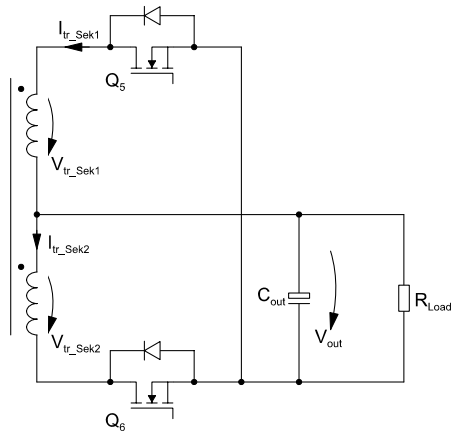


Abb. A. 49 Sekundärseite des Resonanzwandlers mit Spannungseinprägung und AC-Mittelpunkt

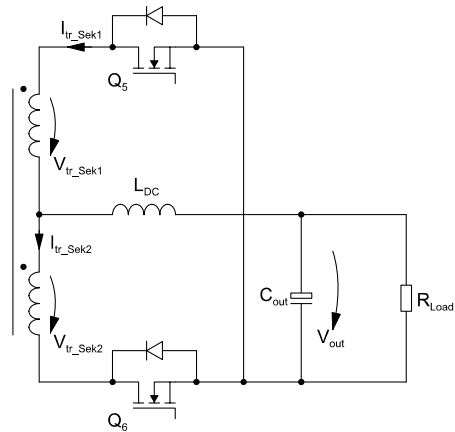


Abb. A. 50 Sekundärseite des Resonanzwandlers mit Stromeinprägung und AC-Mittelpunkt

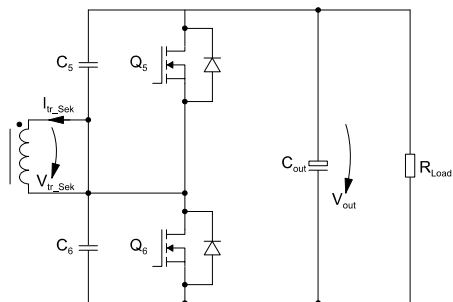


Abb. A. 51 Sekundärseite des Resonanzwandlers mit Spannungseinprägung und DC-Mittelpunkt

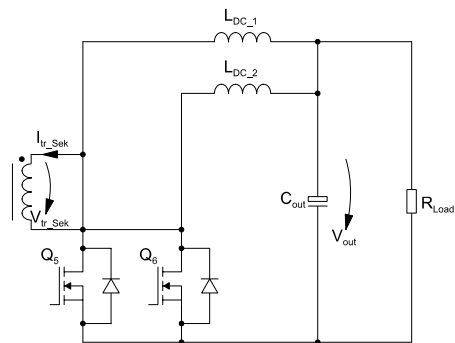


Abb. A. 52 Sekundärseite des Resonanzwandlers mit Stromeinprägung und DC-Mittelpunkt

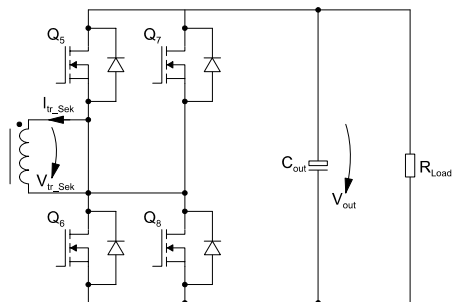


Abb. A. 53 Sekundärseite des Resonanzwandlers mit Spannungseinprägung und Vollbrücke

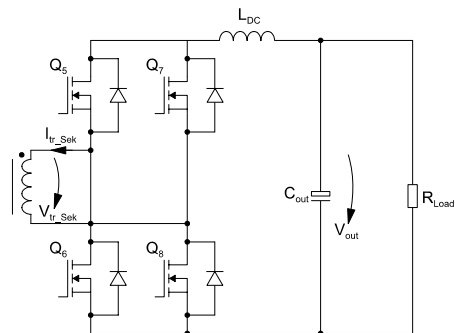


Abb. A. 54 Sekundärseite des Resonanzwandlers mit Stromeinprägung und Vollbrücke

Sekundärseite	Primärseite	AC-Mittelpunkt	DC-Mittelpunkt	Vollbrücke	
		(Spannungseinprägung)	(Spannungseinprägung)	(Spannungseinprägung)	
AC-Mittelpunkt (Spannungseinprägung)		+	+	o	Anzahl aktiver Bauelemente
		+	o	+	Anzahl passiver Bauelemente
		o	+	+	Belastung der aktiven Bauelemente (Primärseite)
		+	+	+	Belastung der aktiven Bauelemente (Sekundärseite)
		+	o	+	Belastung der passiven Bauelemente (Primärseite)
		o	o	o	Belastung der passiven Bauelemente (Sekundärseite)
		+	+	+	Verluste in den aktiven Bauelementen
		-	o	o	Wirkungsgrad des Transformators
		o	+	+	Gesamtwirkungsgrad
DC-Mittelpunkt (Spannungseinprägung)		+	+	o	Anzahl aktiver Bauelemente
		-	-	o	Anzahl passiver Bauelemente
		o	+	+	Belastung der aktiven Bauelemente (Primärseite)
		+	+	+	Belastung der aktiven Bauelemente (Sekundärseite)
		+	o	+	Belastung der passiven Bauelemente (Primärseite)
		-	-	-	Belastung der passiven Bauelemente (Sekundärseite)
		+	+	+	Verluste in den aktiven Bauelementen
		o	+	+	Wirkungsgrad des Transformators
		o	o	o	Gesamtwirkungsgrad
Vollbrücke (Spannungseinprägung)		o	o	-	Anzahl aktiver Bauelemente
		+	o	+	Anzahl passiver Bauelemente
		o	+	+	Belastung der aktiven Bauelemente (Primärseite)
		+	+	+	Belastung der aktiven Bauelemente (Sekundärseite)
		+	o	+	Belastung der passiven Bauelemente (Primärseite)
		o	o	o	Belastung der passiven Bauelemente (Sekundärseite)
		o	o	-	Verluste in den aktiven Bauelementen
		o	+	+	Wirkungsgrad des Transformators
		-	o	-	Gesamtwirkungsgrad

Abb. A. 55 Übersicht über die Eigenschaften der verschiedenen Topologien eines Serienresonanzkonverters mit serieller Lastauskopplung ( $V_{IN}=410\text{ V}$ ;  $V_{OUT}=12\text{ V}$ ;  $P_{OUT}=800\text{ W}$ ); (+ positiv; - negativ; o durchschnittlich)

Sekundärseite	Primärseite	AC-Mittelpunkt	DC-Mittelpunkt	Vollbrücke	
		(Stromeinprägung)	(Stromeinprägung)	(Stromeinprägung)	
AC-Mittelpunkt (Stromeinprägung)		+	+	o	Anzahl aktiver Bauelemente
		o	-	o	Anzahl passiver Bauelemente
		o	+	+	Belastung der aktiven Bauelemente (Primärseite)
		o	o	o	Belastung der aktiven Bauelemente (Sekundärseite)
		+	o	+	Belastung der passiven Bauelemente (Primärseite)
		+	+	+	Belastung der passiven Bauelemente (Sekundärseite)
		+	+	+	Verluste in den aktiven Bauelementen
		-	o	o	Wirkungsgrad des Transformators
		o	+	o	Gesamtwirkungsgrad
DC-Mittelpunkt (Stromeinprägung)		+	+	o	Anzahl aktiver Bauelemente
		-	-	-	Anzahl passiver Bauelemente
		o	+	+	Belastung der aktiven Bauelemente (Primärseite)
		o	o	o	Belastung der aktiven Bauelemente (Sekundärseite)
		+	o	+	Belastung der passiven Bauelemente (Primärseite)
		+	+	+	Belastung der passiven Bauelemente (Sekundärseite)
		+	+	+	Verluste in den aktiven Bauelementen
		o	+	+	Wirkungsgrad des Transformators
		o	+	+	Gesamtwirkungsgrad
Vollbrücke (Stromeinprägung)		o	o	-	Anzahl aktiver Bauelemente
		o	-	o	Anzahl passiver Bauelemente
		o	+	+	Belastung der aktiven Bauelemente (Primärseite)
		+	+	+	Belastung der aktiven Bauelemente (Sekundärseite)
		+	o	+	Belastung der passiven Bauelemente (Primärseite)
		+	+	+	Belastung der passiven Bauelemente (Sekundärseite)
		o	o	-	Verluste in den aktiven Bauelementen
		o	+	+	Wirkungsgrad des Transformators
		-	o	o	Gesamtwirkungsgrad

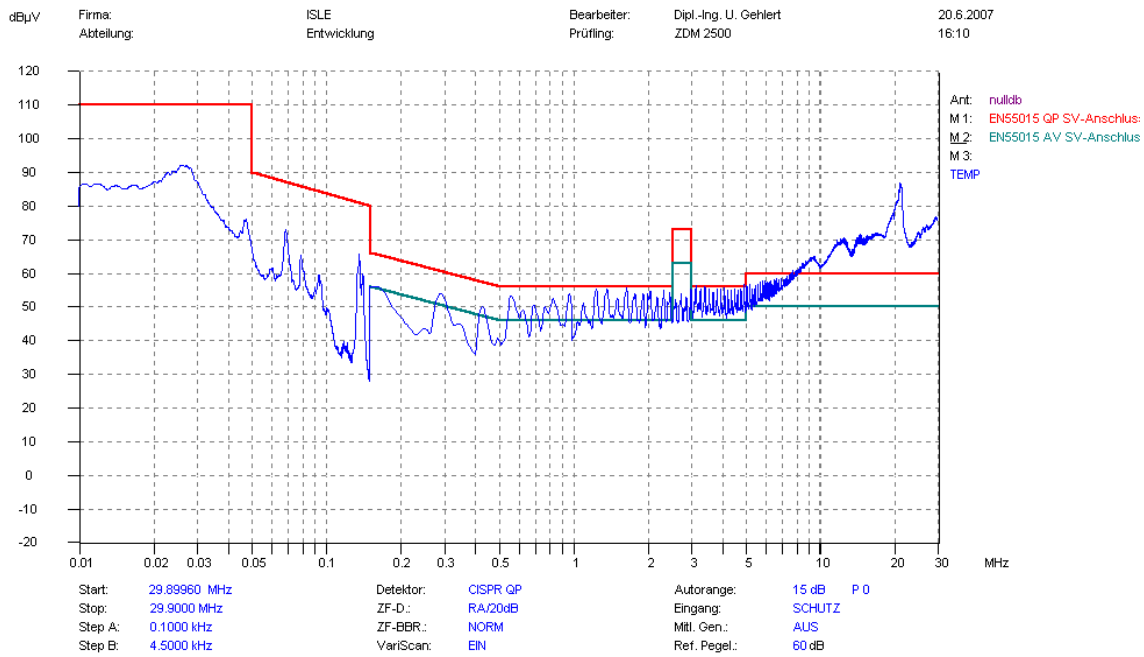
Abb. A. 56 Übersicht über die Eigenschaften der verschiedenen Topologien eines Serienresonanzkonverters mit paralleler Lastauskopplung ( $V_{IN}=410\text{ V}$ ;  $V_{OUT}=12\text{ V}$ ;  $P_{OUT}=800\text{ W}$ ); (+ positiv; - negativ; o durchschnittlich)

Sekundärseite	Primärseite	AC-Mittelpunkt	DC-Mittelpunkt	Vollbrücke	
		(Stromeinprägung)	(Stromeinprägung)	(Stromeinprägung)	
AC-Mittelpunkt (Spannungseinprägung)		+	+	o	Anzahl aktiver Bauelemente
		+	o	+	Anzahl passiver Bauelemente
		-	o	+	Belastung der aktiven Bauelemente (Primärseite)
		+	+	+	Belastung der aktiven Bauelemente (Sekundärseite)
		+	+	+	Belastung der passiven Bauelemente (Primärseite)
		o	o	o	Belastung der passiven Bauelemente (Sekundärseite)
		+	+	+	Verluste in den aktiven Bauelementen
		-	o	o	Wirkungsgrad des Transformators
		o	o	+	Gesamtwirkungsgrad
DC-Mittelpunkt (Spannungseinprägung)		+	+	o	Anzahl aktiver Bauelemente
		-	-	-	Anzahl passiver Bauelemente
		-	o	+	Belastung der aktiven Bauelemente (Primärseite)
		+	+	+	Belastung der aktiven Bauelemente (Sekundärseite)
		+	+	+	Belastung der passiven Bauelemente (Primärseite)
		-	-	-	Belastung der passiven Bauelemente (Sekundärseite)
		+	+	+	Verluste in den aktiven Bauelementen
		o	+	+	Wirkungsgrad des Transformators
		o	o	+	Gesamtwirkungsgrad
Vollbrücke (Spannungseinprägung)		o	o	-	Anzahl aktiver Bauelemente
		+	o	+	Anzahl passiver Bauelemente
		-	o	+	Belastung der aktiven Bauelemente (Primärseite)
		+	+	+	Belastung der aktiven Bauelemente (Sekundärseite)
		+	+	+	Belastung der passiven Bauelemente (Primärseite)
		o	+	+	Belastung der passiven Bauelemente (Sekundärseite)
		o	o	-	Verluste in den aktiven Bauelementen
		o	+	+	Wirkungsgrad des Transformators
		-	-	-	Gesamtwirkungsgrad

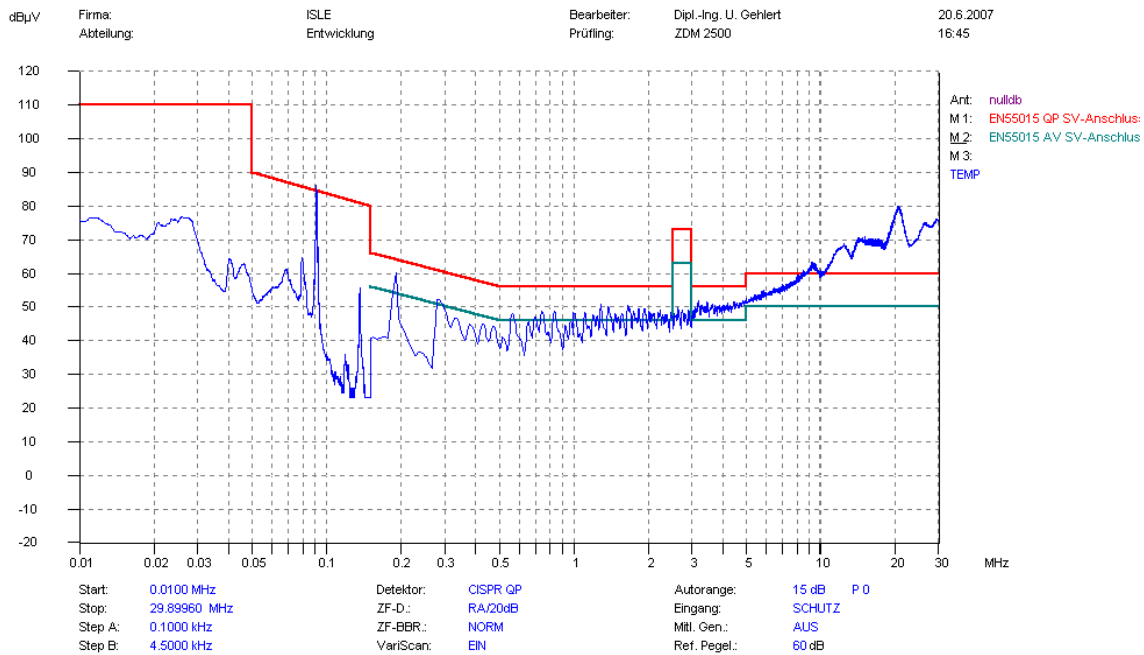
Abb. A. 57 Übersicht über die Eigenschaften der verschiedenen Topologien eines Parallelresonanzkonverters mit serieller Lastauskopplung ( $V_{IN}=410\text{ V}$ ;  $V_{OUT}=12\text{ V}$ ;  $P_{OUT}=800\text{ W}$ ); (+ positiv; - negativ; o durchschnittlich)

Sekundärseite	Primärseite	AC-Mittelpunkt	DC-Mittelpunkt	Vollbrücke	
		(Stromeinprägung)	(Stromeinprägung)	(Stromeinprägung)	
AC-Mittelpunkt (Stromeinprägung)		+	+	o	Anzahl aktiver Bauelemente
		+	o	+	Anzahl passiver Bauelemente
		-	-	+	Belastung der aktiven Bauelemente (Primärseite)
		o	o	o	Belastung der aktiven Bauelemente (Sekundärseite)
		+	+	+	Belastung der passiven Bauelemente (Primärseite)
		+	+	+	Belastung der passiven Bauelemente (Sekundärseite)
		+	+	o	Verluste in den aktiven Bauelementen
		-	o	o	Wirkungsgrad des Transformators
		o	o	o	Gesamtwirkungsgrad
DC-Mittelpunkt (Stromeinprägung)		+	+	o	Anzahl aktiver Bauelemente
		o	-	o	Anzahl passiver Bauelemente
		-	-	+	Belastung der aktiven Bauelemente (Primärseite)
		o	o	o	Belastung der aktiven Bauelemente (Sekundärseite)
		+	+	+	Belastung der passiven Bauelemente (Primärseite)
		+	+	+	Belastung der passiven Bauelemente (Sekundärseite)
		+	+	o	Verluste in den aktiven Bauelementen
		o	+	+	Wirkungsgrad des Transformators
		o	o	+	Gesamtwirkungsgrad
Vollbrücke (Stromeinprägung)		o	o	-	Anzahl aktiver Bauelemente
		+	o	+	Anzahl passiver Bauelemente
		-	-	+	Belastung der aktiven Bauelemente (Primärseite)
		+	+	+	Belastung der aktiven Bauelemente (Sekundärseite)
		+	+	+	Belastung der passiven Bauelemente (Primärseite)
		+	+	+	Belastung der passiven Bauelemente (Sekundärseite)
		o	o	-	Verluste in den aktiven Bauelementen
		o	+	+	Wirkungsgrad des Transformators
		-	-	-	Gesamtwirkungsgrad

Abb. A. 58 Übersicht über die Eigenschaften der verschiedenen Topologien eines Parallelresonanzkonverters mit paralleler Lastauskopplung ( $V_{IN}=410\text{ V}$ ;  $V_{OUT}=12\text{ V}$ ;  $P_{OUT}=800\text{ W}$ ); (+ positiv; - negativ; o durchschnittlich)



**Abb. A. 59** Leitungsgebundene EMV-Messung an einer Hochsetzsteller-PFC-Stufe mit belastetem Tiefsetzsteller (Abb. 3.96) (Messung ohne Gehäuse);  
**mit Synchronisation zwischen PFC und Tiefsetzsteller; CCM-Betrieb**  
**@  $P_{OUT}=1200$  W;  $V_{IN\_RMS}=230$  V;  $V_{Bulk\_C1}=385$  V;  $V_{Bulk\_C2}=240$  V;  $f_{SW\_PFC}=f_{SW\_TSS}=136$  kHz**



**Abb. A. 60** Leitungsgebundene EMV-Messung an einer Hochsetzsteller-PFC-Stufe mit belastetem Tiefsetzsteller (Abb. 3.96) (Messung ohne Gehäuse);  
**ohne Synchronisation zwischen PFC und Tiefsetzsteller; CCM-Betrieb**  
**@  $P_{OUT}=1200$  W;  $V_{IN\_RMS}=230$  V;  $V_{Bulk\_C1}=385$  V;  $V_{Bulk\_C2}=240$  V;  $f_{SW\_PFC}=90$  kHz;  
 $f_{SW\_TSS}=136$  kHz**

## Zweistufige Schaltnetzteiltopologien

Qty	Manufacturer	Value	Description	Package	Distribution of Prices [%] (Order Qty 1000)
1	Epcos	B82732-R2222-B30	Common Mode Choke 2.2A, 2x3.3mH		0,99
1	Delta	2806377500	PFC-Choke 250uH/10A (86T-6458)	CR-27-HP-3025	1,10
2	Lasslop	176650	Storage Choke 4,5uH/36A	RM10H	6,37
1	Würth, Multicomp	74270052	Ferrite Bead NiZn		0,65
1	Delta		Planar transformer 800W 5:1 / Magn 057_00 TR-M		8,32
1	Delta	2804400200	Current transformer 100:1 (6A)	ST-E10-02	0,71
1	Delta	D0115568	Driver transformer	E13	0,78
1		B-2506-W	Bridge rectifier	GBPC-W	1,56
2	Epcos	B81123C1472M	Capacitor Y2 4n7	RM10	0,74
1	WIMA	100nF/630VDC	Capacitor MKP4	RM10	0,13
1	WIMA	22nF/400V	Capacitor MKP-X2	RM7.5	0,06
2	WIMA	220pF/500V	Foil Capacitor FKP2	RM5	0,12
1	Epcos	B32529C1222K	Capacitor 2n2/100V	RM5	0,03
2	Epcos	B32520C6103K	Capacitor MKT 10nF/400V	RM7.5	0,08
3	Epcos	B32529D5335K	Capacitor MKT 3u3/50V	RM5	1,17
2	Epcos	B32529C1103K	Capacitor 10n/100V	RM5	0,04
1	Epcos	B43604C9227M	Electrolytic Capacitor 1uF/400V	RM10	4,16
1	Epcos	B32523-G6105-K	Capacitor MKP 1uF/400V	RM22.5	0,29
2	Epcos	B32923C3155M	Capacitor MKP X2 1u5/305VAC	RM22.5	0,49
2	Epcos	B81122A1103M	Capacitor 10nF/250V	RM10	0,62
1	Epcos	B32620J0222M	Capacitor 2n2/1000V	RM7.5	0,08
2	Epcos	B43604B9227M	Electrolytic Capacitor 220uF/400V	RM10	8,32
2	Epcos	B32522N3105K	Capacitor MKT 1uF/400V	RM15	0,26
1	Fischer elektronik	ICK S 29x29x20	Pin heatsink	29x29x20	1,75
1	Fischer elektronik	SK509	Heatsink l=80mm		0,33
1	Fischer elektronik	SK509	Heatsink l=100mm		0,40
1	Texas Instruments	UC3525ADWG4	PWM Controller	SO16	0,71
2	Texas Instruments	UCC27323D	Driver MOSFET	SO08	2,53
2	Texas Instruments	UCC27324D	Dual Driver	SO08	2,53
1	Epcos	S20K250	Varistor	RM7.5	0,40
1	Epcos	B57236-S100-M	NTC 10R/5A	RM7.5	0,35
2	Fukushima Futaba	MPC75	Metalplate ceramic resistor 0,05R	RM09	0,61
1	NAIS	JS1a-12V	Relay EER2	EER2	1,64
2	ebm-papst	412 JHH	Fan	40x40x25	23,52
1	Infineon	IDT06S60	PFC SiC-Diode	TO-220	0,39
2	Infineon	IPP60R199CP	Half bridge MOSFET	TO-220	0,78
10	Infineon	IPPO8CN10N	Synchronous rectifier MOSFET	TO-220	3,90
1	Infineon	IPW60R045CP	PFC MOSFET	TO-247	2,37
1	Infineon	ICE1PCS01	PFC Controller	DIP08	0,24
1	Infineon	CoolBIAS-Module	Aux power supply module	Module	13,00
2		50mm/0.75mm*2	Cord with isolated Faston-connector	6.3mm	1,04
2		50mm/0.75mm*2	Cord with isolated Faston-connector	2.8mm	1,04
1		RIA AST 03	Clamp connector		0,78
2	Jg	37 2525 0213 02 001	Power Pack Connector M4	10pin	1,17
Varied		Passive components	Resistors & capacitors	R1206, MPC75, R0204, R2512, R0207/10, R0414/15, C1206	1,56
Fairchild, Vishay, Diotec		Active components	Transistors & diodes	SOT23, miniMelf, SMB, DO213-AA	1,20
Varied		Others components	Others components	Varied	0,65

**Abb. A. 61** Materialliste und Preisverteilung (BOM) für den zweistufigen Demonstrator von Firma Infineon; Hersteller Finpower; die Preisverteilung bezieht sich auf die Gesamtkosten des Schaltnetzteils

Pos	Name	Description	Count	Power Loss	Total	Percentage of Total Power Loss	Percentage of Total Pin	Remark
1	EMI-Filter + Fuse + Inrush current protection		1	2,1 W	2,1 W	2,6%	0,24%	Measured / Calculated
2	Bridge Rectifier	B-2506-W	1	6,8 W	6,8 W	8,4%	0,77%	Calculated
3	PFC Inductor Core	CR-27-HP-3025	1	3,0 W	3,0 W	3,7%	0,34%	Measured / Calculated
	PFC Inductor Winding			0,8 W	0,8 W	1,0%	0,09%	
4	PFC MOSFET	IPW60R045CP	1	7,0 W	7,0 W	8,6%	0,79%	Calculated
5	PFC Diode	IDT06S60	1	5,7 W	5,7 W	7,0%	0,65%	Calculated
6	Bulk Capacitor		3	1,7 W	5,1 W	6,3%	0,58%	Estimated
7	Main MOSFET	IPP60R199CP	2	2,9 W	5,8 W	7,1%	0,66%	Calculated
8	Main Transformer Core	core RM 14/ N92	1	3,0 W	3,0 W	3,7%	0,34%	Measured / Calculated
	Main Transformer Winding	2 coils		1,7 W	1,7 W	2,1%	0,19%	
9	Secondary Side Choke	storage Choke 4,5uH/36A/ RM10H	2	2,0 W	4,0 W	4,9%	0,45%	Measured / Calculated
10	Secondary Side Rectifier	IPPO8CN10N	10	2,0 W	20,0 W	24,6%	2,27%	Calculated
11	Output Capacitor		3	1,5 W	4,4 W	5,4%	0,49%	Estimated
12	PFC Control / Driver		1	0,3 W	0,3 W	0,3%	0,03%	Calculated / Estimated
13	Main Control / Driver		2	0,1 W	0,1 W	0,1%	0,01%	Calculated / Estimated
14	Secondary Rectifier Control / Driver		10	0,2 W	1,5 W	1,8%	0,17%	Calculated / Estimated
15	Others (circuit, measurement, filter, fan)*		1	10,0 W	10,0 W	12,3%	1,13%	
<b>Total Amount of Power Losses:</b>				<b>81,2 W</b>				
<b>Average of Power Losses:</b>						5,9%		
<b>Part of Power Losses at Heatsink:</b>				<b>25,3 W</b>				

\* Others are the power losses in: the circuit path; the current measurement circuits; output filter; Fan

**Abb. A. 62** Verlustleistungsbilanz für den zweistufigen Demonstrator von Infineon; Hersteller Finpower



## Dreistufige Schaltnetzteiltopologien

Balance of Power losses									
<b>Model:</b> ISLE CFPP <b>Type:</b> current fed push pull converter <b>Version of Assembly:</b> Rev.02x <b>Input Voltage:</b> 90...260V AC <b>Output Power:</b> 800W DC <b>DC-Link Voltage:</b> 410 V <b>Switching Frequency:</b> PFC 250kHz / Buck 500kHz / Push Pull 250kHz					<b>Test Conditions (Power Analyzer PM-3000A)</b> <b>Vin [V]:</b> 230,00 V <b>PF:</b> 0,996 <b>Pin [W]:</b> 994,0 W <b>Vout [V]:</b> 12,28 V <b>Iout [A]:</b> 66,50 A <b>η [%]:</b> 82,15 <b>Power loss [W]:</b> 177,4 W				
Pos	Name	Description	Count	Power Loss	Total	Percentage of Total Power Loss	Percentage of Total Pin	Remark	
1	EMI- Filter		1	0,6 W	0,6 W	0,3%	0,06%	Measured / Calculated	
2	Bridge Rectifier	GSIB 2560	1	7,2 W	7,2 W	4,1%	0,72%	Calculated	
3	PFC Inductor Core	toroid core MPP 55076-A2	1	4,3 W	4,3 W	2,4%	0,43%	Measured / Calculated	
	PFC Inductor Winding	34 windings		0,5 W	0,5 W	0,3%	0,05%		
4	PFC MOSFET	IPW60R045CP	1	12,0 W	12,0 W	6,8%	1,21%	Calculated	
5	PFC Diode	IDT06S60C	1	6,0 W	6,0 W	3,4%	0,60%	Calculated	
6	Bulk Capacitor	EETED2W391EA	2	2,5 W	5,0 W	2,8%	0,50%	Estimated	
7	Buck Inductor Core	toroid core MPP 55059-A2	1	1,0 W	1,0 W	0,6%	0,10%	Measured / Calculated	
	Buck Inductor Winding	65 windings		1,3 W	1,3 W	0,7%	0,13%		
8	Buck MOSFET	IPP60R199CP	1	20,0 W	20,0 W	11,3%	2,01%	Calculated	
9	Buck Diode	IDT04S60C	1	2,0 W	2,0 W	1,1%	0,20%	Calculated	
10	Main MOSFET	IPW1KR360CP	2	28,6 W	57,2 W	32,2%	5,75%	Calculated	
11	Main Transformer Core	core ETD 39/ N97	1	3,8 W	3,8 W	2,1%	0,38%	Measured / Calculated	
	Main Transformer Winding	4 coils		2,0 W	2,0 W	1,1%	0,20%		
12	Secondary Side Rectifier	IPB03N03L	4	8,9 W	35,6 W	20,1%	3,58%	Calculated	
13	Output Capacitor	EEUF1C562/ EEUF1C222	2	5,0 W	10,0 W	5,6%	1,01%	Estimated	
14	PFC Control / Driver		1	0,5 W	0,5 W	0,3%	0,05%	Calculated / Estimated	
15	Buck Control / Driver		1	0,2 W	0,2 W	0,1%	0,02%	Calculated / Estimated	
16	Main Control / Driver		2	0,6 W	1,2 W	0,7%	0,12%	Calculated / Estimated	
17	Secondary Rectifier Control / Driver		4	0,5 W	2,0 W	1,1%	0,20%	Calculated / Estimated	
18	Others (circuit, measurement, filter, fan)*		1	5,0 W	5,0 W	2,8%	0,50%		
				<b>Total Amount of Power Losses:</b>	<b>177,4 W</b>				
				<b>Average of Power Losses:</b>		<b>4,8%</b>			
				<b>Part of Power Losses at Heatsink:</b>	<b>104,4 W</b>				

\*= Others are the power losses in: the circuit path; the current measurement circuits; the inrush MOSFET, Fan

Abb. A. 63 Verlustleistungsbilanz für den dreistufigen Current Fed Push Pull-Konverter

Qty	Manufacturer	Value	Description	Package	Distribution of Prices [%] (Order Qty 1000)
2	Würth Elektronik	7448251201	Common choke 1m/12A		2,96
1	Magnetics	MPP55059-A2	Buck magnetic core	24X14	1,17
1	Magnetics	MPP55076-A2	PFC magnetic core	37X22	3,82
1	STS Induktivitaeten	M 4745 LF	Main transformer	ETD39	18,84
2	Isabellenhütte	R2512	SMD shunt resistor 0,05R	R2512	1,09
1	Fukushima Futaba	CWR5	Resistor 4R7	MNS-5	0,42
2	Fukushima Futaba	MPC76	Resistor 0,05R	MPC76	0,50
1	Vishay, BC Components	238161513222	NTC 2,2k	R0805	0,24
2	Panasonic	EETED2W391EA	Capacitor 390uF/450V	EB35D	8,88
2	Panasonic	EEUF1C562	Capacitor 5600uF/16V	E7,5-18	1,52
1	Panasonic	EEUF1C222	Capacitor 2200uF/16V	E5-13	0,37
2	Epcos	B81130C1105M	X2 capacitor 1uF/275V AC	XC27B13	0,80
1	Epcos	B81130C1155M	X2 capacitor 1,5uF/275V AC	XC27B15	1,08
2	Thermalloy	78015	Heatsink	TERM78015	1,38
2	Fischer elektronik	FK 244 13 D2 PAK	SMD heatsink for rectifier	D2Pak	0,72
1	Ebm-papst	8412 NH	Fan	F 80x80x25	7,41
1	Phoenix contact	1717732 & 1717729	Connector	5-7_62	1,43
2	Infineon	IPW1KR360CP	Push Pull MOSFET	TO-247	1,89
1	Infineon	IPW60R045CP	PFC MOSFET	TO-247	2,55
1	Infineon	IPP60R199CP	Buck MOSFET	TO-220	0,42
1	Infineon	IPP60R099CS	Inrush protection MOSFET	D2Pak	0,99
4	Infineon	IPB03N03LB	Synchronous rectifier MOSFET	D2Pak	1,09
1	Infineon	IDT06S60C	PFC SiC-Diode	PG-TO220-2-2	0,94
1	Infineon	IDT04S60C	Buck SiC-Diode	PG-TO220-2-3	0,63
1	Infineon	CoolBIAS-Module	Aux power supply module	Module	13,98
1	Vishay	GSIB2560	Bridge rectifier	GSIB-5S	0,73
2	VAC	T60403-D4097-XD51	Pulse transformer	D4097	4,68
1	VAC	T60403-D4099-XD05	Pulse transformer	D4099-XD05	2,48
2	Texas Instruments	UCC27324DGN	MOSFET driver	DGN08	1,96
4	STMICROELECTRONICS	TMBYY10-60	Schottky diode	MELF	1,20
1	Texas Instruments	UCC35705D	--	SO08	0,57
1	Unitrode	UCC3818D	Power factor controller	SO16	1,43
1	Zetex	FZ1751	PNP transistor	SOT223	0,23
9	NCC	APXA200ARA220MF60G	Oscon capacitor 22uF /20V	Panasonic D	3,15
Varied	Passive components	Resistors & capacitors	R0805, C0805, C1206, R0204, R0207		3,50
Philips, Zetex	Active components	Transistors	SOT23		2,31
Varied	Others components	Others components	Varied		2,59

Abb. A. 64 Materialliste und Preisverteilung (BOM) für den dreistufigen Current Fed Push Pull-Konverter; die Preisverteilung bezieht sich auf die Gesamtkosten des Schaltnetzteils

Balance of Power losses									
<b>Model:</b> ISLE CFFB <b>Type:</b> current fed full bridge converter <b>Version of Assembly:</b> Rev_02x <b>Input Voltage:</b> 90...260V AC <b>Output Power:</b> 800W DC <b>DC-Link Voltage:</b> 410 V <b>Switching Frequency:</b> PFC 250kHz / Buck 500kHz / Full Bridge 250kHz					<b>Test Conditions (Power Analyzer PM-3000A)</b> <b>Vin [V]:</b> 230,00 V <b>PF:</b> 0,996 <b>Pin [W]:</b> 945,0 W <b>Vout [V]:</b> 12,38 V <b>Iout [A]:</b> 65,40 A $\eta$ [%]: 85,68 <b>Power loss [W]:</b> 135,3 W				
Pos	Name	Description	Count	Power Loss	Total	Percentage of Total Power Loss	Percentage of Total Pin	Remark	
1	EMI-Filter		1	0,4 W	0,4 W	0,3%	0,04%	Measured / Calculated	
2	Bridge Rectifier	GSIB 2560	1	6,8 W	6,8 W	5,0%	0,72%	Calculated	
3	PFC Inductor Core	toroid core MPP 55076-A2	1	4,2 W	4,2 W	3,1%	0,44%	Measured / Calculated	
	PFC Inductor Winding	34 windings		0,4 W	0,4 W	0,3%	0,05%		
4	PFC MOSFET	IPW60R045CP	1	10,0 W	10,0 W	7,4%	1,06%	Calculated	
5	PFC Diode	IDT06S60C	1	5,4 W	5,4 W	4,0%	0,57%	Calculated	
6	Bulk Capacitor	EETED2W391EA	2	2,0 W	4,0 W	3,0%	0,42%	Estimated	
7	Buck Inductor Core	toroid core MPP 55059-A2	1	1,0 W	1,0 W	0,7%	0,11%	Measured / Calculated	
	Buck Inductor Winding	65 windings		1,3 W	1,3 W	0,9%	0,14%		
8	Buck MOSFET	IPP60R199CP	1	20,0 W	20,0 W	14,8%	2,12%	Calculated	
9	Buck Diode	IDT04S60C	1	2,0 W	2,0 W	1,5%	0,21%	Calculated	
10	Main MOSFET	IPP60R165CP	4	7,8 W	31,0 W	22,9%	3,28%	Calculated	
11	Main Transformer Core	core ETD 39/ N87	1	3,1 W	3,1 W	2,3%	0,32%	Measured / Calculated	
	Main Transformer Winding	3 coils		1,8 W	1,8 W	1,3%	0,19%		
12	Secondary Side Rectifier	IPB034N03L	4	7,0 W	28,0 W	20,7%	2,96%	Calculated	
13	Output Capacitor	EEUF1C562/ EEUF1C222	2	4,0 W	8,0 W	5,9%	0,85%	Estimated	
14	PFC Control / Driver		1	0,5 W	0,5 W	0,4%	0,06%	Calculated / Estimated	
15	Buck Control / Driver		1	0,2 W	0,2 W	0,2%	0,03%	Calculated / Estimated	
16	Main Control / Driver		4	0,3 W	1,2 W	0,9%	0,13%	Calculated / Estimated	
17	Secondary Rectifier Control / Driver		4	0,5 W	2,0 W	1,5%	0,21%	Calculated / Estimated	
18	Others (circuit, measurement, filter, fan)*		1	4,0 W	4,0 W	3,0%	0,42%		
<b>Total Amount of Power Losses:</b>				<b>135,3 W</b>					
<b>Average of Power Losses:</b>						<b>4,8%</b>			
<b>Part of Power Losses at Heatsink:</b>				<b>75,2 W</b>					

\*= Others are the power losses in: the circuit path, the current measurement circuits, the inrush MOSFET, Fan

**Abb. A. 65 Verlustleistungsbilanz für den dreistufigen Current Fed Full Bridge-Konverter**

Qty	Manufacturer	Value	Description	Package	Distribution of Prices [%] (Order Qty 1000)
2	Würth Elektronik	7448251201	Common choke 1m/12A		2,95
1	Magnetics	MPP55059-A2	Buck magnetic core	24X14	1,17
1	Magnetics	MPP55076-A2	PFC magnetic core	37X22	3,80
1	STS Induktivitaeten	M 4745 LF	Main transformer	ETD39	18,73
2	Isabellenhütte	R2512	SMD shunt resistor 0,05R	R2512	1,08
1	Fukushima Futaba	CWR5	Resistor 4R7	MNS-5	0,42
2	Fukushima Futaba	MPC76	Resistor 0,05R	MPC76	0,60
1	Vishay, BC Components	238161513222	NTC 2,2k	R0805	0,24
2	Panasonic	EETED2W391EA	Capacitor 390uF/450V	EB35D	8,63
2	Panasonic	EEUF1C562	Capacitor 5600uF/16V	E7,5-18	1,52
1	Panasonic	EEUF1C222	Capacitor 2200uF/16V	E5-13	0,37
2	Epcos	B81130C1105M	X2 capacitor 1uF/275V AC	XC27B13	0,79
1	Epcos	B81130C1155M	X2 capacitor 1.5uF/275V AC	XC27B15	1,08
2	Thermalloy	78015	Heatsink	TERM78015	1,38
2	Fischer elektronik	FK 244 13 D2 PAK	SMD heatsink	D2Pak	0,72
1	Ebm-papst	B412 NH	Fan	F_80X80X25	7,37
1	Phoenix contact	1717732 & 1717729	Connector	5-7_62	1,43
4	Infineon	IPP60R165CP	Full Bridge MOSFET	TO-220	2,15
1	Infineon	IPW60R045CP	PFC MOSFET	TO-247	2,54
1	Infineon	IPP60R199CP	Buck MOSFET	TO-220	0,42
1	Infineon	IPB60R099CS	Inrush protection MOSFET	D2Pak	0,99
4	Infineon	IPB03N03LB	Synchronous rectifier MOSFET	D2Pak	1,09
1	Infineon	IDT06S60C	PFC SiC-Diode	PG-TO220-2-2	0,94
1	Infineon	IDT04S60C	Buck SiC-Diode	PG-TO220-2-3	0,63
1	Infineon	CoolBIAS-Module	Aux power supply module	Module	13,91
1	Vishay	GSIB2560	Bridge rectifier	GSIB-5S	0,73
3	VAC	T60403-D4099-X005	Pulse transformer	D4099-X005	7,41
2	Texas Instruments	UCC27324DGN	MOSFET driver	DGN08	1,95
4	STMICROELECTRONICS	TMBYV10-60	Schottky diode	MELF	1,20
1	Texas Instruments	UCC35705D	--	SO08	0,57
1	Unitrode	UCC3818D	Power factor controller	SO16	1,42
1	Zetex	FZT751	PNP transistor	SOT223	0,23
9	NCC	APXA200ARA220MF60G	Osccon capacitor 22uF /20V	Panasonic D	3,13
	Varied	Passive components	Resistors & capacitors	R0805, C0805, C1206, R0204, R0207	3,48
	Philips, Zetex	Active components	Transistors	SOT23	2,29
	Varied	Others components	Others components	Varied	2,57

**Abb. A. 66 Materialliste und Preisverteilung (BOM) für den dreistufigen Current Fed Full Bridge-Konverter; die Preisverteilung bezieht sich auf die Gesamtkosten des Schaltnetzteils**

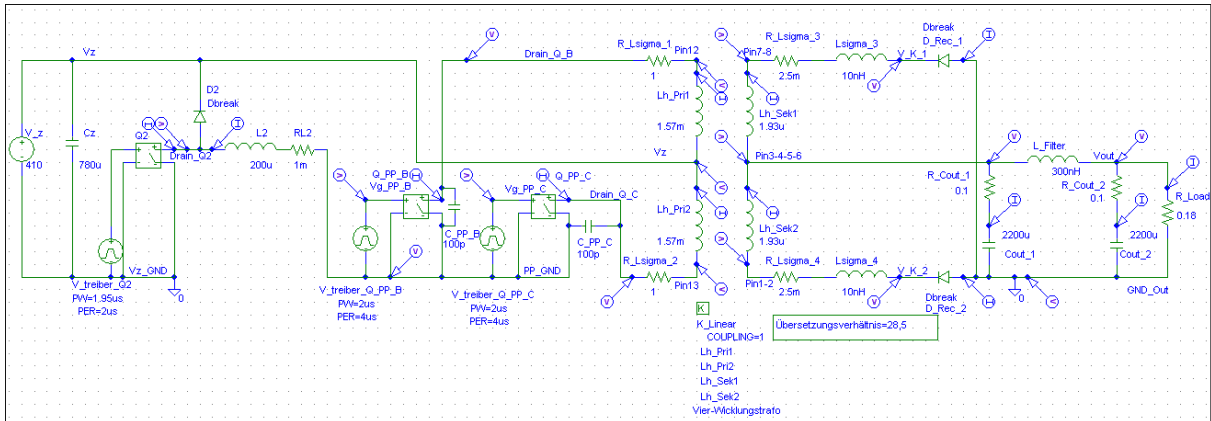
Balance of Power losses								
Model: ISLE PRC Type: parallel resonant converter Version of Assembly: Rev_03x Input Voltage: 90...260V AC Output Power: 800W DC DC-Link Voltage: 410 V Switching Frequency: PFC 250kHz / Buck 500kHz / Full Bridge 250kHz				Test Conditions (Power Analyzer PM.3000A) Vin [V]: 230,0 V PF: 0,996 Pin [W]: 939,1 W Vout [V]: 12,41 V Iout [A]: 64,80 A η [%]: 85,63 Power loss [W]: 134,9 W				
Pos	Name	Description	Count	Power Loss	Total	Percentage of Total Power Loss	Percentage of Total Pin	Remark
1	EMV Filter		1	0,4 W	0,4 W	0,3%	0,04%	Measured / Calculated
2	Bridge Rectifier	GSIB 2560	1	6,8 W	6,8 W	5,0%	0,72%	Calculated
3	PFC Inductor Core	toroid core MPP 55076-A2	1	4,2 W	4,2 W	3,1%	0,44%	Measured / Calculated
	PFC Inductor Winding	34 windings		0,4 W	0,4 W	0,3%	0,05%	
4	PFC MOSFET	IPW60R045CP	1	10,0 W	10,0 W	7,4%	1,06%	Calculated
5	PFC Diode	IDT06S60C	1	5,4 W	5,4 W	4,0%	0,58%	Calculated
6	Bulk Capacitor	EETED2W391EA	2	2,0 W	4,0 W	3,0%	0,43%	Estimated
7	Buck Inductor Core	toroid core MPP 55059-A2	1	1,0 W	1,0 W	0,7%	0,11%	Measured / Calculated
	Buck Inductor Winding	65 windings		1,3 W	1,3 W	0,9%	0,14%	
8	Buck MOSFET	IPP60R199CP	1	20,0 W	20,0 W	14,8%	2,13%	Calculated
9	Buck Diode	IDT04S60C	1	2,0 W	2,0 W	1,5%	0,21%	Calculated
10	Main MOSFET	IPP60R165CP	4	3,2 W	12,8 W	9,5%	1,36%	Calculated
11	Main Transformer Core	core ETD 39/ N87	1	3,1 W	3,1 W	2,3%	0,33%	Measured / Calculated
	Main Transformer Winding	3 coils		1,8 W	1,8 W	1,3%	0,19%	
12	Resonant Inductor Core	toroid core MPP 55933-A2	1	3,3 W	3,3 W	2,5%	0,35%	Measured / Calculated
	Resonant Inductor Winding	47 windings		1,9 W	1,9 W	1,4%	0,21%	
11	Resonant Capacitor	FKP 1	3	0,5 W	1,5 W	1,1%	0,16%	Estimated
12	Secondary Side Rectifier	IPB034N03L	4	9,9 W	39,4 W	29,2%	4,20%	Calculated
13	Output Capacitor	EEUF1C562/ EEUF1C222	2	3,8 W	7,6 W	5,6%	0,81%	Estimated
14	PFC Control / Driver		1	0,5 W	0,5 W	0,4%	0,06%	Calculated / Estimated
15	Buck Control / Driver		1	0,2 W	0,2 W	0,2%	0,03%	Calculated / Estimated
16	Main Control / Driver		4	0,3 W	1,2 W	0,9%	0,13%	Calculated / Estimated
17	Secondary Rectifier Control / Driver		4	0,5 W	2,0 W	1,5%	0,21%	Calculated / Estimated
18	Others (circuit, measurement, filter, fan)*		1	4,0 W	4,0 W	3,0%	0,43%	
<b>Total Amount of Power Losses:</b>				<b>134,9 W</b>				
<b>Average of Power Losses:</b>						4,2%		
<b>Part of Power Losses at Heatsink:</b>				<b>57,0 W</b>				

\*= Others are the power losses in: the circuit path; the current measurement circuits; the inrush MOSFET; Fan

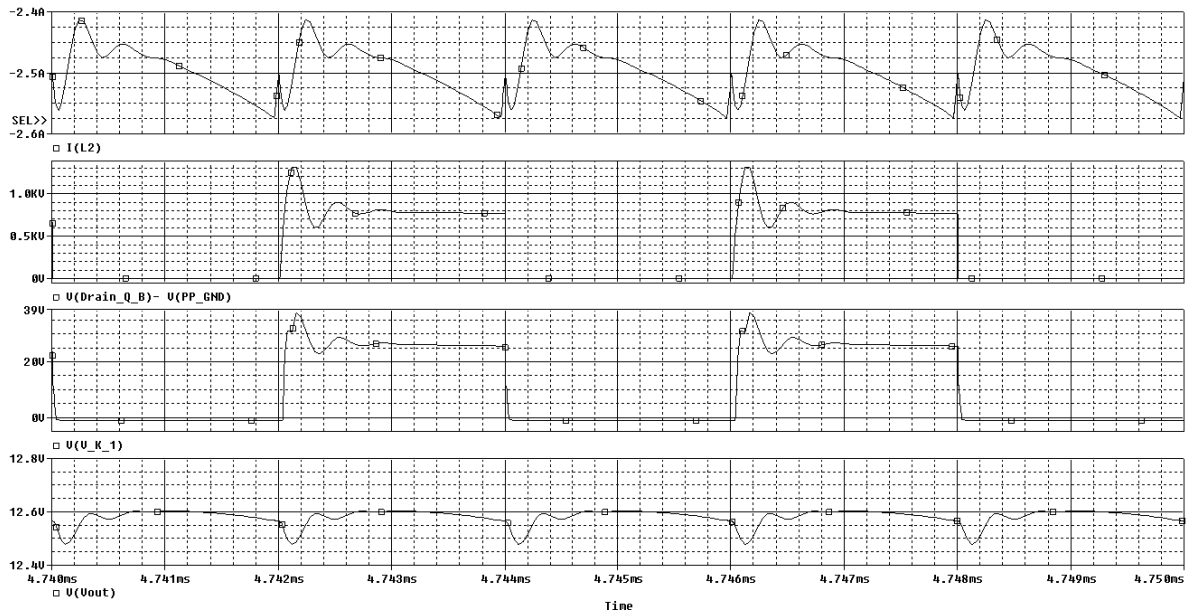
Abb. A. 67 Verlustleistungsbilanz für den dreistufigen Parallelresonanzkonverter

Qty	Manufacturer	Value	Description	Package	Distribution of Prices [%] (Order Qty 1000)
2	Würth Elektronik	7448251201	Common choke 1m/12A		2,83
1	Magnetics	MPP55059-A2	Buck magnetic core	24X14	1,12
1	Magnetics	MPP55076-A2	PFC magnetic core	37X22	3,65
1	Magnetics	MPP55933-A2	Resonant magnetic core	26x15	3,30
1	STS Induktivitaeten	M 4745 LF	Main transformer	ETD39	17,97
2	Isabellenhütte	R2512	SMD shunt resistor 0,05R	R2512	1,04
1	Fukushima Futaba	CWR5	Resistor 4R7	MNS-5	0,40
2	Fukushima Futaba	MPC76	Resistor 0,05R	MPC76	0,48
1	Vishay, BC Components	238161513222	NTC 2,2k	R0805	0,23
2	Panasonic	EETED2W391EA	Capacitor 390uF/450V	EB35D	8,47
2	Panasonic	EEUF1C562	Capacitor 5600uF/16V	E7,5-18	1,45
1	Panasonic	EEUF1C222	Capacitor 2200uF/16V	E5-13	0,35
2	Epcos	B81130C1105M	X2 capacitor 1uF/275V AC	XC27B13	0,76
1	Epcos	B81130C1155M	X2 capacitor 1.5uF/275V AC	XC27B15	1,03
1	Wima	FKP1 4,7nF/2000V	Capacitor 4,7nF/2000VDC; 700VA	Grid 22,5; 26x8	0,23
2	Wima	FKP1 6,8nF/2000V	Capacitor 6,8nF/2000VDC; 700VA	Grid 22,5; 26x10	0,52
2	Thermalloy	78015	Heatsink	TERM78015	1,32
2	Fischer elektronik	FK 244 13 D2 PAK	SMD heatsink	D2Pak	0,69
1	Ebrm-papst	8412 NH	Fan	F 80X80X25	7,07
1	Phoenix contact	1717732 & 1717729	Connector	5-7,62	1,37
4	Infineon	IPP60R165CP	Full Bridge MOSFET	TO-220	2,06
1	Infineon	IPW60R045CP	PFC MOSFET	TO-247	2,44
1	Infineon	IPP60R199CP	Buck MOSFET	TO-220	0,40
1	Infineon	IPP60R099CS	Inrush protection MOSFET	D2Pak	0,95
4	Infineon	IPB03N03LB	Synchronous rectifier MOSFET	D2Pak	1,04
1	Infineon	IDT06S60C	PFC SiC-Diode	PG-TO220-2-2	0,90
1	Infineon	IDT04S60C	Buck SiC-Diode	PG-TO220-2-3	0,60
1	Infineon	CoolBIAS-Module	Aux power supply module	Module	13,34
1	Vishay	GSIB2560	Bridge rectifier	GSIB-5S	0,70
3	VAC	T60403-D4099-X005	Pulse transformer	D4099-X005	7,11
2	Texas Instruments	UCC27324DGN	MOSFET driver	DGN08	1,87
4	STMICROELECTRONICS	TMBYY10-60	Schottky diode	MELF	1,15
1	Texas Instruments	UCC35705D	--	SO08	0,65
1	Unitrode	UCC3818D	Power factor controller	SO16	1,36
1	Zetex	FZT751	PNP transistor	SOT223	0,22
9	NCC	APXA200ARA220MF60G	Oscon capacitor 22uF /20V	Panasonic D	3,00
Varied	Passive components	Resistors & capacitors		R0805, C0805, C1206, R0204, R0207	3,34
Philips, Zetex	Active components	Transistors		SOT23	2,20
Varied	Others components	Others components		Varied	2,47

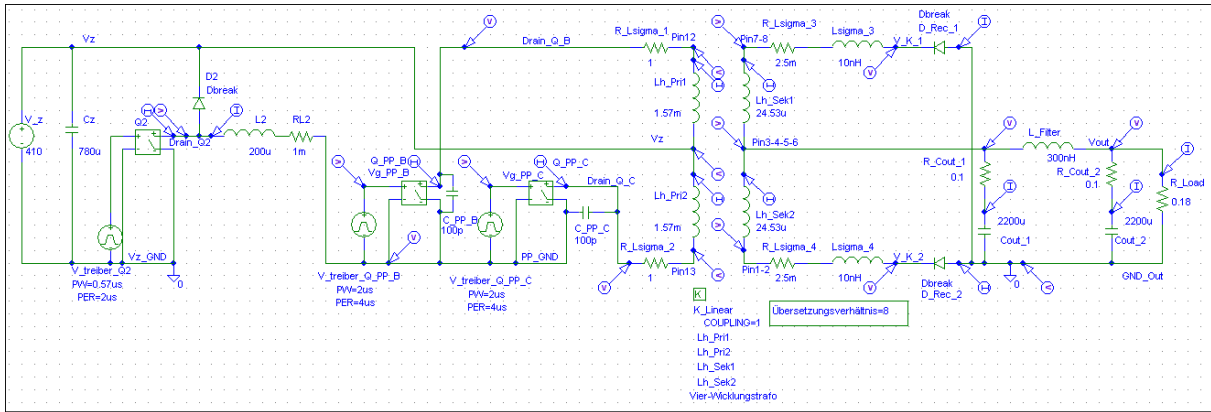
Abb. A. 68 Materialliste und Preisverteilung (BOM) für den dreistufigen Parallelresonanzkonverters; die Preisverteilung bezieht sich auf die Gesamtkosten des Schaltnetzteils



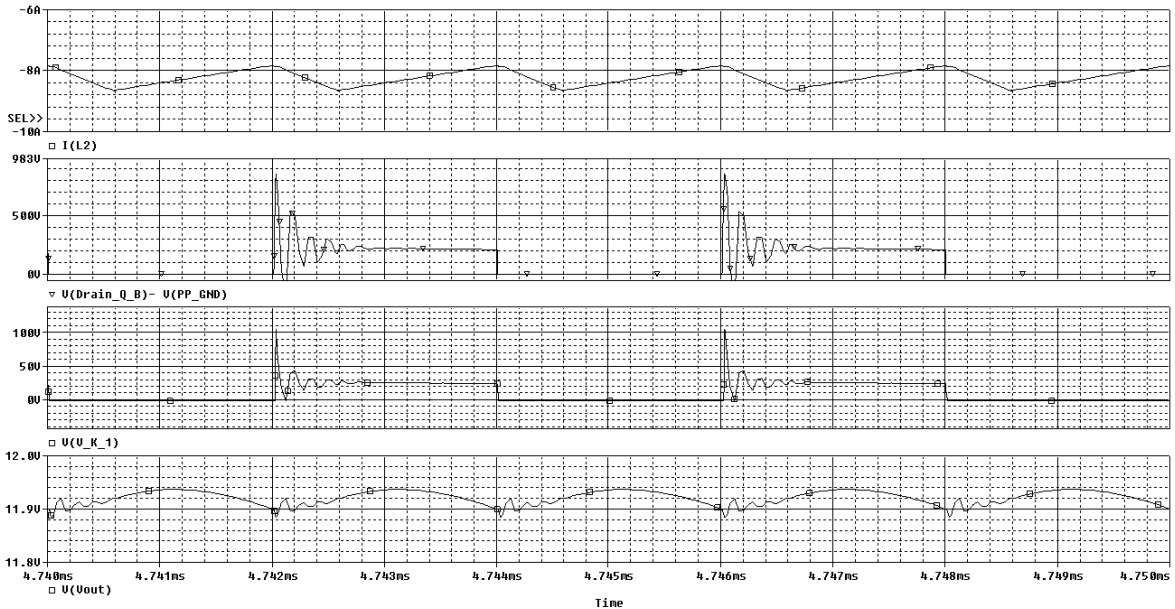
**Abb. A. 69** Simulationsschaltplan des Current Fed Push Pull-Konverters  
 @  $V_{OUT}=12\text{ V}$ ;  $P_{OUT}=800\text{ W}$ ; Übersetzungsverhältnis=28,5



**Abb. A. 70** Simulierte Kurvenverläufe des Current Fed Push Pull-Konverters  
 (v.o.n.u.: Tiefsetzsteller-Drosselstrom:  $I_{L2}$ ; primärseitige MOSFET Drain-Source-Spannung:  $V_{DS\_PP\_B}$ ; Gleichrichterdiodenspannung:  $V_{KA\_D\_Rec\_1}$ ; Ausgangsspannung  $V_{OUT}$ );  
 $V_{IN}=410\text{ V}$ ;  $V_{OUT}=12\text{ V}$ ;  $P_{OUT}=800\text{ W}$ ;  $V_{t\_Buck}=0,975$ ; Übersetzungsverhältnis=28,5;  
 $V_{OUT\_Buck}=400\text{ V}$ ; (Spitzenwerte:  $V_{DS\_PP\_Peak}=1310\text{ V}$ ;  $V_{KA\_D\_Rec\_1\_Peak}=37\text{ V}$ ) (Abb. A. 69)



**Abb. A. 71 Simulationsschaltplan des Current Fed Push Pull-Konverters  
@  $V_{OUT}=12\text{ V}$ ;  $P_{OUT}=800\text{ W}$ ; Übersetzungsverhältnis=8**



**Abb. A. 72 Simulierte Kurvenverläufe des Current Fed Push Pull-Konverters  
(v.o.n.u.: Tiefsetzsteller-Drosselstrom:  $I_{L2}$ ; primärseitige MOSFET Drain-Source-Spannung:  $V_{DS\_PP\_B}$ ; Gleichrichterdiodenspannung:  $V_{KA\_D\_Rec\_1}$ ; Ausgangsspannung  $V_{OUT}$ );  
 $V_{IN}=410\text{ V}$ ;  $V_{OUT}=12\text{ V}$ ;  $P_{OUT}=800\text{ W}$ ;  $V_{t\_Buck}=0,285$ ; Übersetzungsverhältnis=8;  
 $V_{OUT\_Buck}=115\text{ V}$ ); (Spitzenwerte:  $V_{DS\_PP\_Peak}=830\text{ V}$ ;  $V_{KA\_D\_Rec\_1\_Peak}=105\text{ V}$ ) (Abb. A. 71)**

Balance of Power losses					Test Conditions (Power Analyzer PM-3000A)				
Model: ISLE SRC					Vin [V]: 230.00 V				
Type: serial resonant converter					PF: 0.990				
Version of Assembly: Rev.00x					Pin [W]: 998.7 W				
Input Voltage: 90...260V AC					Vout [V]: 12.10 V				
Output Power: 800W DC					Iout [A]: 66.12 A				
DC-Link Voltage: 410 V					η [%]: 89.02				
Switching Frequency: PFC 125kHz / SRC 500kHz / Buck 500kHz					Power loss [W]: 98.7 W				
Pos	Name	Description	Count	Power Loss	Total	Percentage of Total Power Loss	Percentage of Total/ Pin	Remark	
1	EMI- Filter		1	0.8 W	0.8 W	0.8%	0.09%	Measured / Calculated	
2	Bridge Rectifier	GSIB 2560	1	7.0 W	7.0 W	7.1%	0.78%	Calculated	
3	PFC Inductor Core	toroid core MPP 55090-A2	1	3.6 W	3.6 W	3.6%	0.40%	Measured / Calculated	
	PFC Inductor Winding	39 windings		1.1 W	1.1 W	1.1%	0.12%		
4	PFC MOSFET	IPW60R045CP	1	7.3 W	7.3 W	7.4%	0.81%	Calculated	
5	PFC Diode	IDT06S60C	1	5.6 W	5.6 W	5.7%	0.62%	Calculated	
6	Bulk Capacitor	EETED2W331EA	1	3.8 W	3.8 W	3.9%	0.42%	Estimated	
7	Resonant Capacitor	FKP 1	14	0.3 W	3.5 W	3.5%	0.39%	Estimated	
8	Resonant Inductor Core	toroid core MPP 55933-A2	1	3.6 W	3.6 W	3.6%	0.40%	Measured / Calculated	
	Resonant Inductor Winding	19 windings		0.8 W	0.8 W	0.8%	0.09%		
9	Main MOSFET	STP20NM60FD	2	5.5 W	11.0 W	11.1%	1.22%	Calculated	
10	Main Transformer Core	core ETD 34/ N49	1	1.7 W	1.7 W	1.7%	0.19%	Measured / Calculated	
	Main Transformer Winding	3 coils		3.1 W	3.1 W	3.2%	0.35%		
11	Secondary Side Rectifier	IPB02CN08NG	2	4.3 W	8.6 W	8.7%	0.96%	Calculated	
12	Main Stage Output Capacitor	EEUF1C1V182	6	1.7 W	10.2 W	10.3%	1.13%	Estimated	
13	Buck Inductor Core	toroid core MPP 55381-A2	2	0.5 W	1.1 W	1.1%	0.12%	Measured / Calculated	
	Buck Inductor Winding	6 windings		1.8 W	1.8 W	1.8%	0.20%		
14	Buck MOSFET	BSC016N03LSG	2	3.4 W	6.8 W	6.9%	0.76%	Calculated	
15	Buck Synchronous MOSFET	BSC016N03LSG	2	3.4 W	6.8 W	6.9%	0.76%	Calculated	
16	Buck Stage Output Capacitor	16ZL1000M10X20V EEUF1C222	2	1.0 W	2.0 W	2.0%	0.22%	Estimated	
17	PFC Control / Driver		1	0.3 W	0.3 W	0.3%	0.03%	Calculated / Estimated	
18	Main Control / Driver		2	0.5 W	1.0 W	1.0%	0.11%	Calculated / Estimated	
19	Secondary Rectifier Control / Driver		2	1.4 W	2.7 W	2.7%	0.30%	Calculated / Estimated	
20	Buck Control / Driver		4	0.1 W	0.5 W	0.5%	0.06%	Calculated / Estimated	
21	Others (circuit, measurement, filter, fan)*		1	4.0 W	4.0 W	4.1%	0.45%		
<b>Total Amount of Power Losses:</b>				<b>98.7 W</b>					
<b>Average of Power Losses:</b>						<b>4.0%</b>			
<b>Part of Power Losses at Heatsink:</b>				<b>30.9 W</b>					

\* Others are the power losses in: the circuit path, the current measurement circuits, the inrush MOSFET, Fan

Abb. A. 73 Verlustleistungsbilanz für den dreistufigen Serienresonanzkonverter

Qty	Manufacturer	Value	Description	Package	Distribution of Prices [%] (Order Qty 1000)
2	Würth Elektronik	7448251201	Common choke 1m/12A		2,82
1	Magnetics	MPP55933-A2	Resonant magnetic core	27X12	2,80
1	Magnetics	MPP55090-A2	PFC magnetic core	47X15,5	6,41
2	Magnetics	MPP55381-A2	Buck magnetic core	18x07	1,57
1	STS Induktivitaeten	0720 M5091 LF	Main transformer	ETD34	17,04
1	Isabellenhütte	SMS-R05-1.0	SMD shunt resistor 0,05R	R2512	0,31
1	Isabellenhütte	BVT-M-R001-1	SMD shunt resistor 0,001R	R2512	0,21
1	Fukushima Futaba	CWR65	Resistor 4R7	MNS-5	0,40
2	Fukushima Futaba	MPC76	Resistor 0,05R	MPC76	0,48
1	Vishay, BC Components	238161513222	NTC 2,2k	R0805	0,24
1	Panasonic	EETED2W331DA	Capacitor 330uF/450V	EB30D	3,83
6	Panasonic	EEUF1C1V182	Capacitor 1800uF/35V	E7_5-16	3,46
1	Rubycon	16ZL1000M10X20	Capacitor 1000uF/16V	E5-10,5	0,39
1	Panasonic	EEUF1C222	Capacitor 2200uF/16V	E5-13	0,36
2	Epcos	B81130C1105M	X2 capacitor 1uF/275V AC	XC27B13	0,80
1	Epcos	B81130C1155M	X2 capacitor 1,5uF/275V AC	XC27B15	1,05
14	WIMA	FKP1	Capacitor 1nF/2000V	C22.5B5	1,96
2	Thermalloy	78015	Heatsink	TERM78015	1,32
2	Fischer elektronik	FK 244 13 D2 PAK	SMD heatsink	D2Pak	0,69
1	Ebrm-papst	8412 NH	Fan	F_80x80x25	7,06
1	Phoenix contact	1717732 & 1717729	Connector	5-7_62	1,39
4	Infineon	BSC016N03LSG	Buck MOSFET	SS08	1,78
1	Infineon	IPW60R045CP	PFC MOSFET	TO-247	2,43
2	Infineon	IPP60R125CS	Half Bridge MOSFET	TO-220	2,16
1	Infineon	IPB60R099CS	Inrush protection MOSFET	D2Pak	0,95
2	Infineon	IPB02CN08N_G	Synchronous rectifier MOSFET	D2Pak	1,86
1	Infineon	IDT06S60C	PFC SiC-Diode	PG-TO220-2-2	0,90
1	Infineon	CoolBIAS-Module	Aux power supply module	Module	13,32
1	Vishay	GSIB2560	Bridge rectifier	GSIB-5S	0,73
2	VAC	T60403-D4099-XD05	Pulse transformer	D4099-XD05	3,77
2	Texas Instruments	UCC27424D	MOSFET driver	SO08	2,60
6	STMICROELECTRONICS	TMBYV10-60	Schottky diode	MELF	1,75
1	Texas Instruments	TPS40130DBT	Dual Synchronous Buck controller	DBT30	1,80
1	Unitrode	UCC3818D	PFC controller	SO16	1,37
1	Zetex	FZT751	PNP transistor	SOT223	0,23
4	NCC	APXA200ARA220MF60G	Oscillator capacitor 22uF /20V	Panasonic D	1,00
	Varied	Passive components	Resistors & capacitors	R0805, C0805, C1206, R0204, R0207	3,33
	Philips, Zetex	Active components	Transistors	SOT23	2,96
	Varied	Others components	Others components	Varied	2,46

Abb. A. 74 Materialliste und Preisverteilung (BOM) für den dreistufigen Serienresonanzkonverter und den LLC-Konverter;  
die Preisverteilung bezieht sich auf die Gesamtkosten des Schaltnetzteils

Balance of Power losses									
<b>Model:</b> ISLE LLC <b>Type:</b> LLC converter <b>Version of Assembly:</b> Rev_00x <b>Input Voltage:</b> 90...260V AC <b>Output Power:</b> 800W DC <b>DC-Link Voltage:</b> 410 V <b>Switching Frequency:</b> PFC 125kHz / LLC 500kHz / Buck 500kHz					<b>Test Conditions (Power Analyzer PM-3000A)</b> <b>Vin [V]:</b> 230,00 V <b>PF:</b> 0,990 <b>Pin [W]:</b> 890,5 W <b>Vout [V]:</b> 12,10 V <b>Iout [A]:</b> 66,12 A <b>η [%]:</b> 89,85 <b>Power loss [W]:</b> 90,4 W				
Pos	Name	Description	Count	Power Loss	Total	Percentage of Total Power Loss	Percentage of Total/ Pin	Remark	
1	EMI- Filter		1	0,6 W	0,6 W	0,6%	0,06%	Measured / Calculated	
2	Bridge Rectifier	GSIB 25B0	1	6,7 W	6,7 W	7,4%	0,75%	Calculated	
3	PFC Inductor Core	toroid core MPP 55090-A2	1	3,4 W	3,4 W	3,8%	0,38%	Measured / Calculated	
	PFC Inductor Winding	39 windings		0,8 W	0,8 W	0,9%	0,09%		
4	PFC MOSFET	IPW60R045CP	1	7,0 W	7,0 W	7,7%	0,79%	Calculated	
5	PFC Diode	IDT06S80C	1	5,0 W	5,0 W	5,5%	0,56%	Calculated	
6	Bulk Capacitor	EETED2W331EA	1	3,3 W	3,3 W	3,6%	0,37%	Estimated	
7	Resonant Capacitor	FKP 1	14	0,2 W	2,8 W	3,1%	0,31%	Estimated	
8	Resonant Inductor Core	toroid core MPP 55933-A2	1	3,2 W	3,2 W	3,5%	0,36%	Measured / Calculated	
	Resonant Inductor Winding	19 windings		0,6 W	0,6 W	0,7%	0,07%		
9	Main MOSFET	STP20NM60FD	2	4,4 W	8,8 W	9,7%	0,99%	Calculated	
10	Main Transformer Core	core ETD 34/ N49	1	1,5 W	1,5 W	1,7%	0,17%	Measured / Calculated	
	Main Transformer Winding	3 coils		3,5 W	3,5 W	3,9%	0,39%		
11	Secondary Side Rectifier	IPB02CN08NG	2	3,0 W	6,0 W	6,6%	0,67%	Calculated	
12	Main Stage Output Capacitor	EEUF1C182	6	1,7 W	10,2 W	11,3%	1,15%	Estimated	
13	Buck Inductor Core	toroid core MPP 55381-A2	2	0,5 W	1,1 W	1,2%	0,12%	Measured / Calculated	
	Buck Inductor Winding	6 windings		1,8 W	1,8 W	2,0%	0,20%		
14	Buck MOSFET	BSC016N03LSG	2	3,4 W	6,8 W	7,5%	0,76%	Calculated	
15	Buck Synchronous MOSFET	BSC016N03LSG	2	3,4 W	6,8 W	7,5%	0,76%	Calculated	
16	Buck Stage Output Capacitor	16ZL1000M10X20V EEUFC1C222	2	1,0 W	2,0 W	2,2%	0,22%	Estimated	
17	PFC Control / Driver		1	0,3 W	0,3 W	0,3%	0,03%	Calculated / Estimated	
18	Main Control / Driver		2	0,5 W	1,0 W	1,1%	0,12%	Calculated / Estimated	
19	Secondary Rectifier Control / Driver		2	1,4 W	2,7 W	3,0%	0,30%	Calculated / Estimated	
20	Buck Control / Driver		4	0,1 W	0,5 W	0,6%	0,06%	Calculated / Estimated	
21	Others (circuit, measurement, filter, fan)*		1	4,0 W	4,0 W	4,4%	0,45%		
<b>Total Amount of Power Losses:</b>				<b>90,4 W</b>					
<b>Average of Power Losses:</b>							4,0%		
<b>Part of Power Losses at Heatsink:</b>				<b>27,5 W</b>					

\* Others are the power losses in: the circuit path, the current measurement circuits, the inrush MOSFET, Fan

Abb. A. 75 Verlustleistungsbilanz für den dreistufigen LLC-Konverter

Balance of Power losses									
<b>Model:</b> ISLE HSHB <b>Type:</b> hard switching half bridge converter <b>Version of Assembly:</b> Rev_01x <b>Input Voltage:</b> 90...260V AC <b>Output Power:</b> 500W DC <b>DC-Link Voltage:</b> 410 V <b>Switching Frequency:</b> PFC 125kHz / Half Bridge 500kHz / Buck 500kHz					<b>Test Conditions (Power Analyzer PM-3000A)</b> <b>Vin [V]:</b> 230,00 V <b>PF:</b> 0,990 <b>Pin [W]:</b> 576,0 W <b>Vout [V]:</b> 12,10 V <b>Iout [A]:</b> 41,32 A <b>η [%]:</b> 86,80 <b>Power loss [W]:</b> 76,0 W				
Pos	Name	Description	Count	Power Loss	Total	Percentage of Total Power Loss	Percentage of Total/ Pin	Remark	
1	EMI- Filter		1	0,2 W	0,2 W	0,3%	0,03%	Measured / Calculated	
2	Bridge Rectifier	GSIB 25B0	1	3,9 W	3,9 W	5,1%	0,68%	Calculated	
3	PFC Inductor Core	toroid core MPP 55090-A2	1	3,0 W	3,0 W	4,0%	0,53%	Measured / Calculated	
	PFC Inductor Winding	39 windings		0,5 W	0,5 W	0,6%	0,08%		
4	PFC MOSFET	IPW60R045CP	1	4,0 W	4,0 W	5,3%	0,69%	Calculated	
5	PFC Diode	IDT06S80C	1	2,9 W	2,9 W	3,8%	0,50%	Calculated	
6	Bulk Capacitor	EETED2W331EA	1	1,5 W	1,5 W	2,0%	0,26%	Estimated	
7	Center Tap Capacitor	MKP 4	2	0,8 W	1,5 W	2,0%	0,26%	Estimated	
8	d/dt-Limitation Inductor Core	toroid core MPP 55933-A2	1	2,7 W	2,7 W	3,5%	0,47%	Measured / Calculated	
	d/dt-Limitation Inductor Winding	17 windings		0,5 W	0,5 W	0,6%	0,11%		
9	Clamping Diode	STTH5R06B	2	1,2 W	2,4 W	3,2%	0,42%	Calculated	
10	Main MOSFET	STP20NM60FD	2	7,6 W	15,2 W	20,0%	2,85%	Calculated	
11	Main Transformer Core	core ETD 34/ N49	1	1,9 W	1,9 W	2,5%	0,33%	Measured / Calculated	
	Main Transformer Winding	3 coils		2,5 W	2,5 W	3,3%	0,44%		
12	Secondary Side Rectifier	IPB02CN08NG	2	4,5 W	9,0 W	11,8%	1,56%	Calculated	
13	Output choke	UI-25x22,8x6,2/0,21mm airgap/ 1 windin	1	0,5 W	0,5 W	0,7%	0,09%	Measured / Calculated	
14	Main Stage Output Capacitor	EEUF1C182	2	1,5 W	3,0 W	3,9%	0,52%	Estimated	
15	Buck Inductor Core	toroid core MPP 55381-A2	2	0,5 W	1,1 W	1,4%	0,19%	Measured / Calculated	
	Buck Inductor Winding	6 windings		1,8 W	1,8 W	2,3%	0,31%		
16	Buck MOSFET	BSC016N03LSG	2	2,2 W	4,4 W	5,8%	0,76%	Calculated	
17	Buck Synchronous MOSFET	BSC016N03LSG	2	1,4 W	2,8 W	3,7%	0,49%	Calculated	
18	Buck Stage Output Capacitor	16ZL1000M10X20V EEUFC1C222	2	1,0 W	2,0 W	2,6%	0,35%	Estimated	
19	PFC Control / Driver		1	0,3 W	0,3 W	0,4%	0,05%	Calculated / Estimated	
20	Main Control / Driver		2	0,5 W	1,0 W	1,4%	0,18%	Calculated / Estimated	
21	Secondary Rectifier Control / Driver		2	1,4 W	2,7 W	3,6%	0,47%	Calculated / Estimated	
22	Buck Control / Driver		4	0,1 W	0,5 W	0,7%	0,09%	Calculated / Estimated	
23	Others (circuit, measurement, filter, fan)*		1	4,0 W	4,0 W	5,3%	0,69%		
<b>Total Amount of Power Losses:</b>				<b>76,0 W</b>					
<b>Average of Power Losses:</b>							3,7%		
<b>Part of Power Losses at Heatsink:</b>				<b>26,0 W</b>					

\* Others are the power losses in: the circuit path, the current measurement circuits, the inrush MOSFET, Fan

Abb. A. 76 Verlustleistungsbilanz für den dreistufigen, partiell hart schaltenden Konverter

Qty	Manufacturer	Value	Description	Package	Distribution of Prices [%] (Order Qty 1000)
2	Würth Elektronik	7448251201	Common choke 1m/12A		2,83
1	Magnetics	MPP55933-A2	di/dt limitation magnetic core	27X12	2,81
1	Magnetics	MPP55090-A2	PFC magnetic core	47X15,5	6,43
2	Magnetics	MPP55381-A2	Buck magnetic core	18x07	1,58
1	STS Induktivitaeten	0720 M6091 LF	Main transformer	ETD34	17,10
1	Isabellenhütte	SMS-R05-1.0	SMD shunt resistor 0,05R	R2512	0,31
1	Isabellenhütte	BVT-M-R001-1	SMD shunt resistor 0,001R	R2512	0,21
1	Fukushima Futaba	CWR5	Resistor 4R7	MNS-5	0,40
2	Fukushima Futaba	MPC76	Resistor 0,05R	MPC76	0,48
1	Vishay, BC Components	238161513222	NTC 2,2k	R0805	0,24
1	Panasonic	EETED2W331DA	Capacitor 330uF/450V	EB30D	3,84
2	Panasonic	EEUF1V182	Capacitor 1800uF/35V	E7_5-16	3,48
1	Rubycon	16ZL1000M10X20	Capacitor 1000u/16V	E5-10,5	0,39
1	Panasonic	EEUF1C222	Capacitor 2200uF/16V	E5-13	0,36
2	Epcos	B81130C1105M	X2 capacitor 1uF/275V AC	XC27B13	0,80
1	Epcos	B81130C1155M	X2 capacitor 1.5uF/275V AC	XC27B15	1,06
2	Epcos	B32654A4225J	Capacitor 2u2/400V	C27_5B15	0,84
2	Thermalloy	78015	Heatsink	TERM78015	1,32
2	Fischer elektronik	FK 244 13 D2 PAK	SMD heatsink	D2Pak	0,69
1	Ebrm-papst	8412 NH	Fan	F_80x80x25	7,08
1	Phoenix contact	1717732 & 1717729	Connector	5-7_62	1,40
4	Infineon	BSC016N03LSG	Buck MOSFET	SS08	1,79
1	Infineon	IPW60R045CP	PFC MOSFET	TO-247	2,44
2	Infineon	IPP60R125CS	Half Bridge MOSFET	TO-220	2,16
1	Infineon	IPB60R099CS	Inrush protection MOSFET	D2Pak	0,95
2	Infineon	IPB02CN08N_G	Synchronous rectifier MOSFET	D2Pak	1,87
1	Infineon	IDT06S60C	PFC SiC-Diode	PG-TO220-2-2	0,90
1	Infineon	CoolBIAS-Module	Aux power supply module	Module	13,36
1	Vishay	GSIB2560	Bridge rectifier	GSIB-5S	0,73
2	VAC	T60403-D4099-X005	Pulse transformer	D4099-X005	3,78
2	Texas Instruments	UCC27424D	MOSFET driver	SO08	2,61
6	STMICROELECTRONICS	TMBYV10-60	Schottky diode	MELF	1,76
2	STMICROELECTRONICS	STTH5R06B	Clamping diode	DPak	0,81
1	Texas Instruments	TPS40130DBT	Dual Synchronous Buck controller	DBT30	1,80
1	Unitrode	UCC3818D	PFC controller	SO16	1,37
1	Zetex	FZT751	PNP transistor	SOT223	0,23
4	NCC	APXA200ARA220MF60G	Oscon capacitor 22uF /20V	Panasonic D	1,01
	Varied	Passive components	Resistors & capacitors	R0805, C0805, C1206, R0204, R0207	3,34
	Philips, Zetex	Active components	Transistors	SOT23	2,97
	Varied	Others components	Others components	Varied	2,47

**Abb. A. 77** Materialliste und Preisverteilung (BOM) für den dreistufigen partiell hart schaltenden Konverter; die Preisverteilung bezieht sich auf die Gesamtkosten des Schaltnetzteils



## Diskussion der Ergebnisse

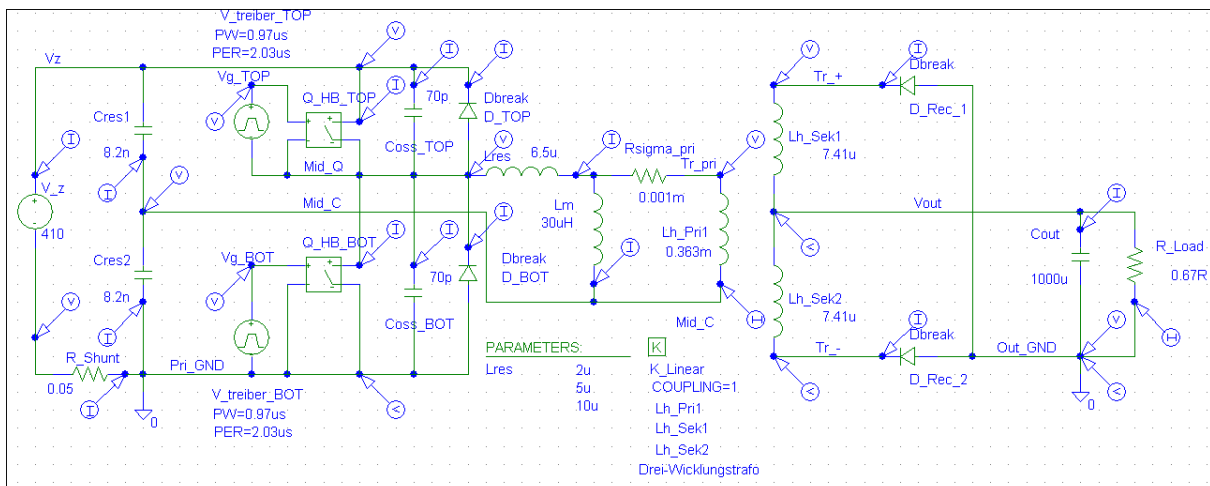


Abb. A. 78 Simulationsschaltplan des LLC-Konverters @  $V_{IN}=410\text{ V}$ ;  $R_L=0,67\ \Omega$ ;  $L_m=30\ \mu\text{H}$ ; Übersetzungsverhältnis=7

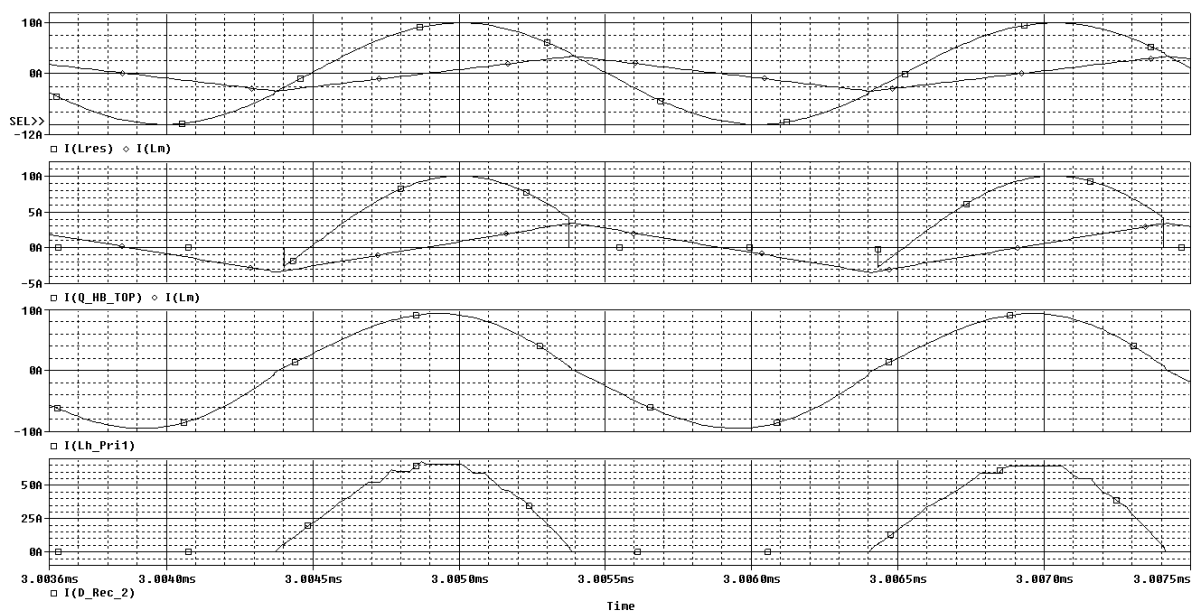


Abb. A. 79 Simulierte Kurvenverläufe des LLC-Konverters im **resonanten Betrieb** ( $f_{RES}=f_{SW}=488\text{ kHz}$ ) (v.o.n.u.: Resonanzdrosselstrom  $I_{LRES}$ , Magnetisierungsstrom  $I_{Lm}$ ; Primärschalterstrom  $I_{Q_{HB\_TOP}}$ , Magnetisierungsstrom  $I_{Lm}$ ; Trafostrom primärseitig  $I_{Lh\_Pri1}$ ; sekundärseitiger Gleichrichterstrom  $I_{D\_Rec\_2}$ ) @  $V_{IN}=410\text{ V}$ ;  $R_L=0,67\ \Omega$  (Abb. A. 78)

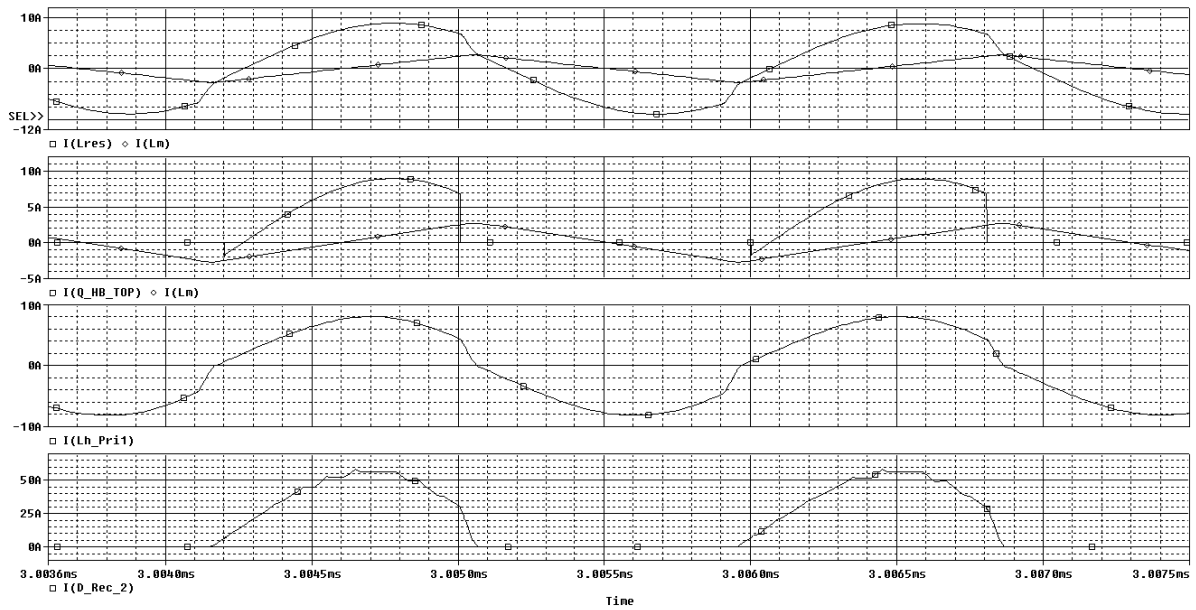


Abb. A. 80 Simulierte Kurvenverläufe des LLC-Konverters im **überresonanten Betrieb** ( $f_{RES}=488$  kHz;  $f_{SW}=555$  kHz); (v.o.n.u.: Resonanzdrosselstrom  $I_{LRES}$ , Magnetisierungsstrom  $I_{Lm}$ ; Primär-schalterstrom  $I_{Q\_HB\_TOP}$ , Magnetisierungsstrom  $I_{Lm}$ ; Trafostrom primärseitig  $I_{Lh\_Pri1}$ ; sekundärseitiger Gleichrichterstrom  $I_{D\_Rec\_2}$ ) @  $V_{IN}=410$  V;  $R_L=0,67 \Omega$  (Abb. A. 78)

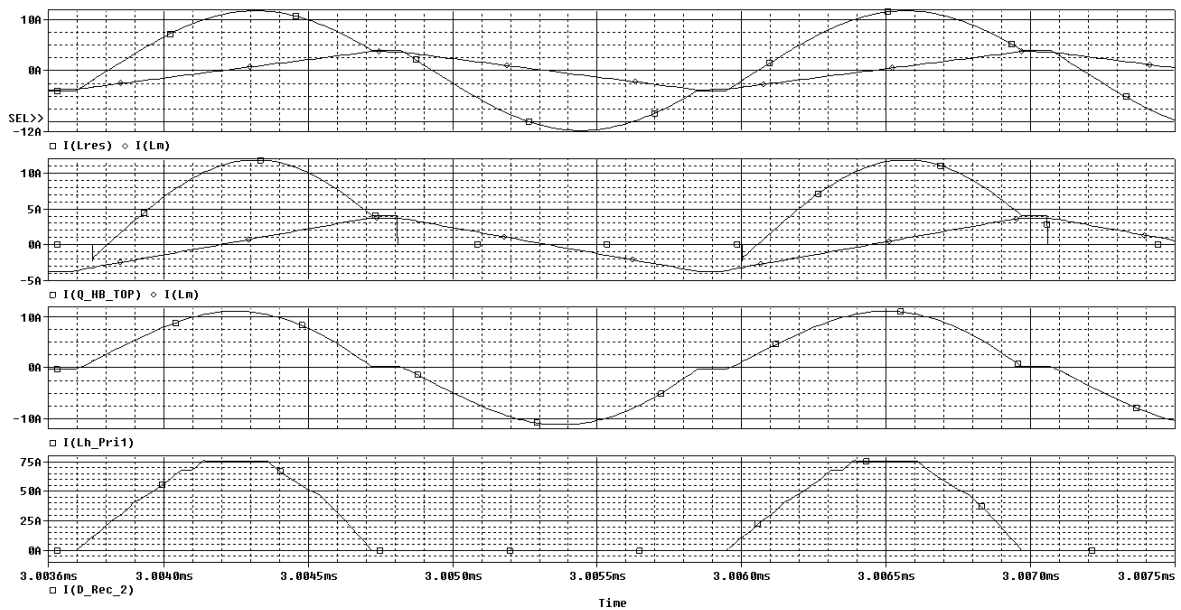


Abb. A. 81 Simulierte Kurvenverläufe des LLC-Konverters im **unterresonanten Betrieb** ( $f_{RES}=488$  kHz;  $f_{SW}=444$  kHz); (v.o.n.u.: Resonanzdrosselstrom  $I_{LRES}$ , Magnetisierungsstrom  $I_{Lm}$ ; Primär-schalterstrom  $I_{Q\_HB\_TOP}$ , Magnetisierungsstrom  $I_{Lm}$ ; Trafostrom primärseitig  $I_{Lh\_Pri1}$ ; sekundärseitiger Gleichrichterstrom  $I_{D\_Rec\_2}$ ) @  $V_{IN}=410$  V;  $R_L=0,67 \Omega$  (Abb. A. 78)

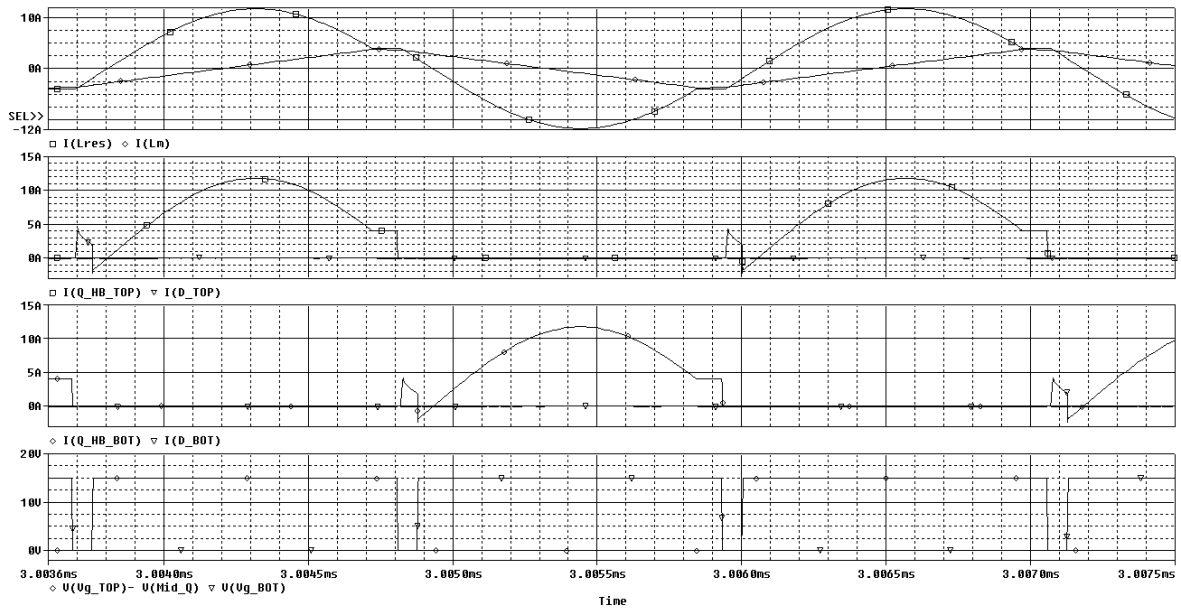


Abb. A. 82 Simulierte Kurvenverläufe des LLC-Konverters im **unterresonanten Betrieb** ( $f_{RES}=488$  kHz;  $f_{SW}=444$  kHz); (v.o.n.u.: Resonanzdrosselstrom  $I_{LRES}$ ; Magnetisierungsstrom  $I_{Lm}$ ; Primärschalterstrom high-side-MOSFET  $I_{Q\_HB\_TOP}$ ; Body-Diodenstrom high-side-MOSFET  $I_{D\_TOP}$ ; Primärschalterstrom low-side-MOSFET  $I_{Q\_HB\_BOT}$ ; Body-Diodenstrom low-side-MOSFET  $I_{D\_BOT}$ ; Ansteuersignal high-side-MOSFET; Ansteuersignal low-side-MOSFET) @  $V_{IN}=410$  V;  $R_L=0,67$   $\Omega$  (Abb. A. 78)

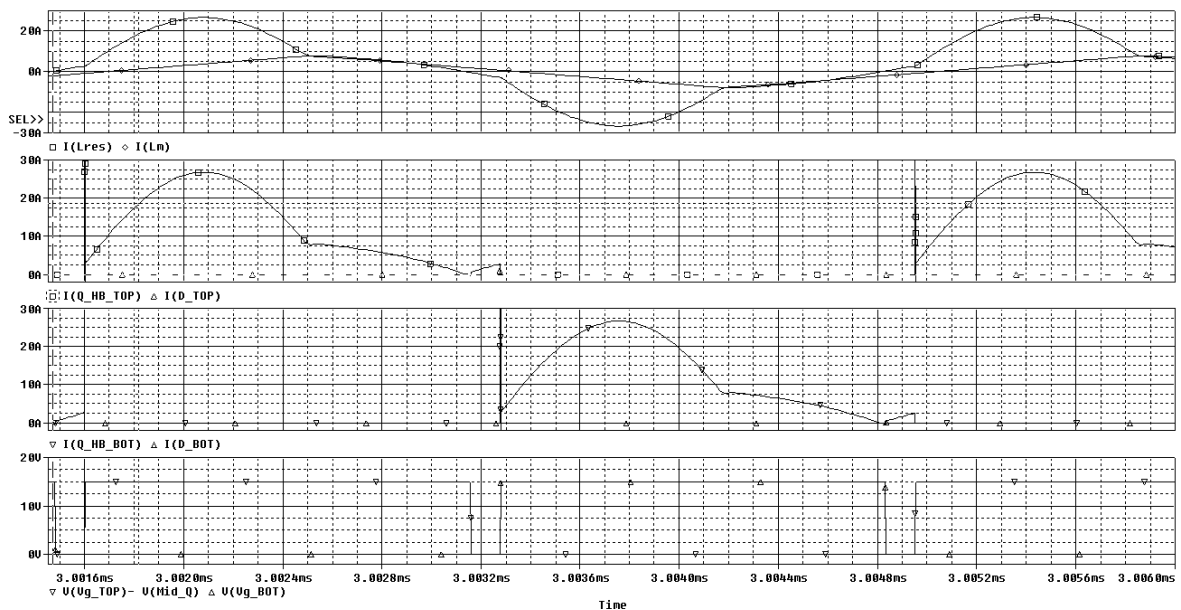


Abb. A. 83 Simulierte Kurvenverläufe des LLC-Konverters im **stark unterresonanten Betrieb** ( $f_{RES}=488$  kHz;  $f_{SW}=298$  kHz); (v.o.n.u.: Resonanzdrosselstrom  $I_{LRES}$ ; Magnetisierungsstrom  $I_{Lm}$ ; Primärschalterstrom high-side-MOSFET  $I_{Q\_HB\_TOP}$ ; Body-Diodenstrom high-side-MOSFET  $I_{D\_TOP}$ ; Primärschalterstrom low-side-MOSFET  $I_{Q\_HB\_BOT}$ ; Body-Diodenstrom low-side-MOSFET  $I_{D\_BOT}$ ; Ansteuersignal high-side-MOSFET; Ansteuersignal low-side-MOSFET) @  $V_{IN}=410$  V;  $R_L=0,67$   $\Omega$  (Abb. A. 78)

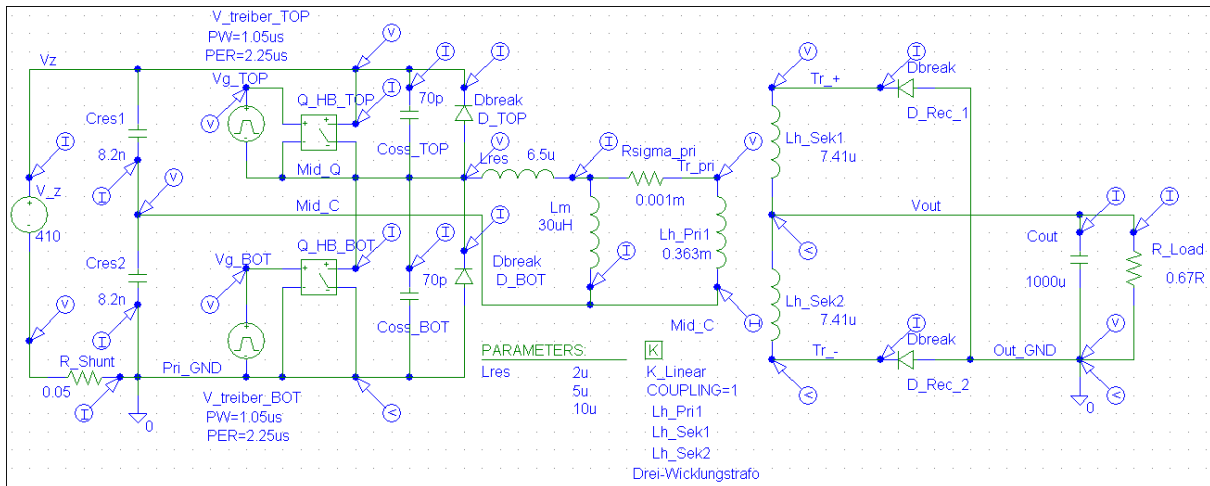


Abb. A. 84 Simulationsschaltplan des LLC-Konverters mit **Diodegleichrichter im unterresonanten Betrieb** @  $f_{RES}=488$  kHz;  $f_{SW}=444$  kHz,  $V_{IN}=410$  V;  $R_L=0,67$   $\Omega$ ;  $L_m=30$   $\mu$ H; Übersetzungsverhältnis=7

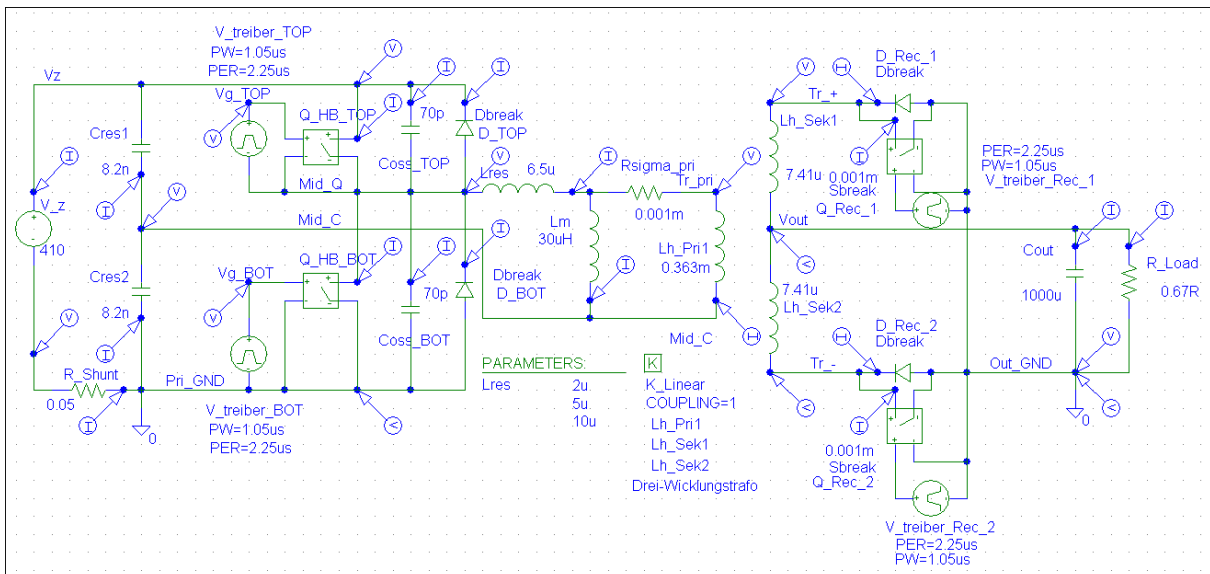


Abb. A. 85 Simulationsschaltplan des LLC-Konverters mit **Synchronegleichrichter im unterresonanten Betrieb** @  $f_{RES}=488$  kHz;  $f_{SW}=444$  kHz,  $V_{IN}=410$  V;  $R_L=0,67$   $\Omega$ ;  $L_m=30$   $\mu$ H; Übersetzungsverhältnis=7

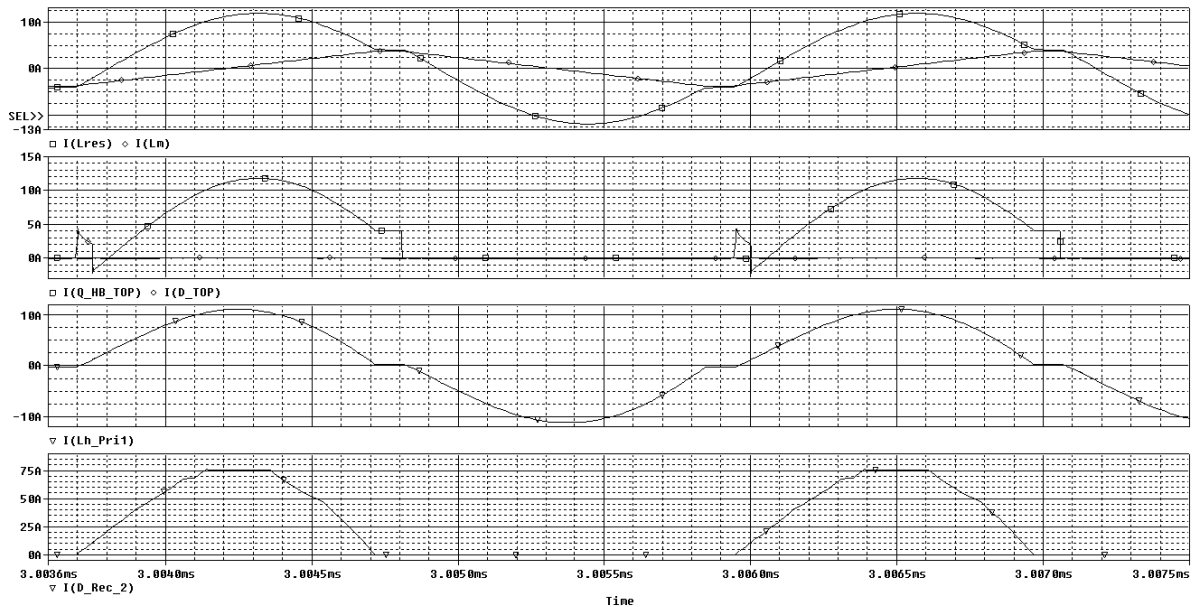


Abb. A. 86 Simulierte Kurvenverläufe des LLC-Konverters mit **Diodengleichrichter** im **unterresonan- ten Betrieb** ( $f_{RES}=488$  kHz;  $f_{SW}=444$  kHz);  
(v.o.n.u.: Resonanzdrosselstrom  $I_{LRES}$ ; Magnetisierungsstrom  $I_{Lm}$ ; Primärschalterstrom high-side-MOSFET  $I_{Q\_HB\_TOP}$ ; Body-Diodenstrom high-side-MOSFET  $I_{D\_TOP}$ ; Trafostrom primärseitig  $I_{Lh\_Pr11}$ ; sekundärseitiger Gleichrichterstrom  $I_{D\_Rec\_2}$ )  
@  $V_{IN}=410$  V;  $R_L=0,67$   $\Omega$  (Abb. A. 84)

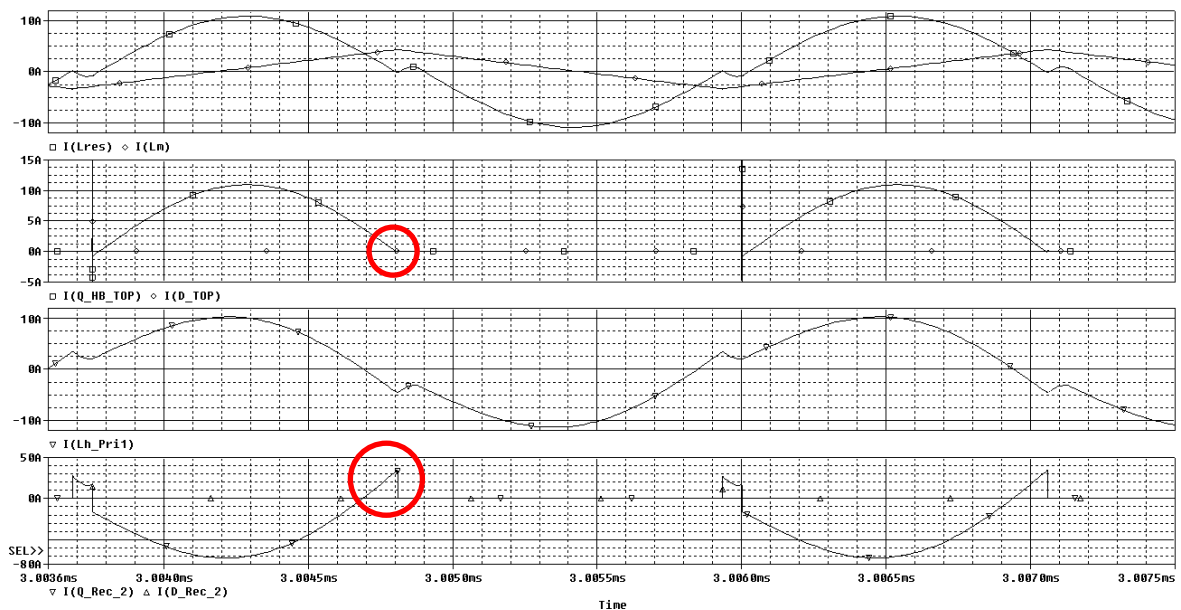


Abb. A. 87 Simulierte Kurvenverläufe des LLC-Konverters mit **Synchronegleichrichter** im **unterreso- nanten Betrieb** ( $f_{RES}=488$  kHz;  $f_{SW}=444$  kHz);  
(v.o.n.u.: Resonanzdrosselstrom  $I_{LRES}$ ; Magnetisierungsstrom  $I_{Lm}$ ; Primärschalterstrom high-side-MOSFET  $I_{Q\_HB\_TOP}$ ; Body-Diodenstrom high-side-MOSFET  $I_{D\_TOP}$ ; Trafostrom primärseitig  $I_{Lh\_Pr11}$ ; sekundärseitiger Synchronegleichrichterstrom  $I_{Q\_Rec\_2}$ ; sekundärseitiger Gleichrichterdiodenstrom  $I_{D\_Rec\_2}$ ) @  $V_{IN}=410$  V;  $R_L=0,67$   $\Omega$  (Abb. A. 85)

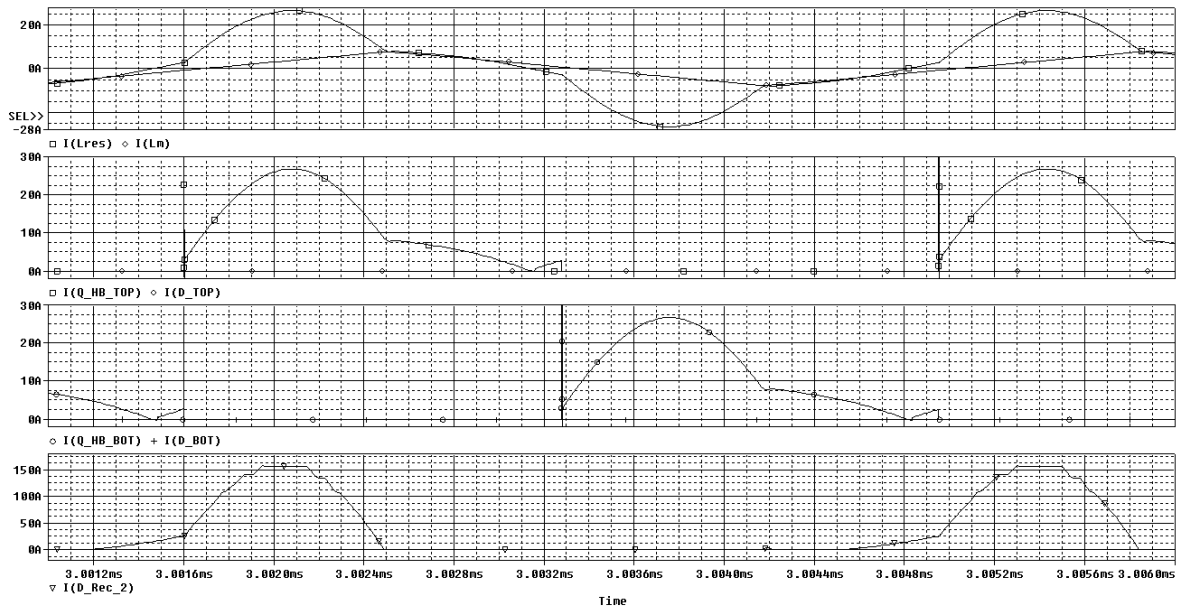


Abb. A. 88 Simulierte Kurvenverläufe des LLC-Konverters mit **Diodengleichrichter** im **stark unterresonanten Betrieb** ( $f_{RES}=488$  kHz;  $f_{SW}=298$  kHz);  
(v.o.n.u.: Resonanzdrosselstrom  $I_{LRES}$ ; Magnetisierungsstrom  $I_{Lm}$ ; Primärschalterstrom high-side-MOSFET  $I_{Q_{HB\_TOP}}$ ; Body-Diodenstrom high-side-MOSFET  $I_{D\_TOP}$ ; Primärschalterstrom low-side-MOSFET  $I_{Q_{HB\_BOT}}$ ; Body-Diodenstrom low-side-MOSFET  $I_{D\_BOT}$ ; sekundärseitiger Gleichrichterstrom  $I_{D\_Rec\_2}$ ) @  $V_{IN}=410$  V;  $R_L=0,67$   $\Omega$  (Abb. A. 84)



Abb. A. 89 Simulierte Kurvenverläufe des LLC-Konverters mit **Synchronegleichrichter** im **stark unterresonanten Betrieb** ( $f_{RES}=488$  kHz;  $f_{SW}=298$  kHz);  
(v.o.n.u.: Resonanzdrosselstrom  $I_{LRES}$ ; Magnetisierungsstrom  $I_{Lm}$ ; Primärschalterstrom high-side-MOSFET  $I_{Q_{HB\_TOP}}$ ; Body-Diodenstrom high-side-MOSFET  $I_{D\_TOP}$ ; Primärschalterstrom low-side-MOSFET  $I_{Q_{HB\_BOT}}$ ; Body-Diodenstrom low-side-MOSFET  $I_{D\_BOT}$ ; sekundärseitiger Synchrongleichrichterstrom  $I_{Q_{Rec\_2}}$ ; sekundärseitiger Gleichrichterdiodenstrom  $I_{D\_Rec\_2}$ ) @  $V_{IN}=410$  V;  $R_L=0,67$   $\Omega$  (Abb. A. 85)

Balance of Power losses									
<b>Model:</b> ISLE LLC <b>Type:</b> LLC converter <b>Version of Assembly:</b> Estimated <b>Input Voltage:</b> 90...260V AC <b>Output Power:</b> 2000W DC <b>DC-Link Voltage:</b> 410 V <b>Switching Frequency:</b> PFC 125kHz / LLC 500kHz / Buck 500kHz					<b>Test Conditions (Power Analyzer PM-3000A)</b> <b>Vin [V]:</b> 230,00 V <b>PF:</b> 0,990 <b>Pin [W]:</b> 2225,9 W <b>Vout [V]:</b> 12,10 V <b>Iout [A]:</b> 165,26 A $\eta$ [%]: 89,85 <b>Power loss [W]:</b> 226,0 W				
Pos	Name	Description	Count	Power Loss	Total	Percentage of Total Power Loss	Percentage of Total/ Pin	Remark	
1	EMI- Filter		1	1,4 W	1,4 W	0,6%	0,06%	Scaled	
2	Bridge Rectifier		1	16,8 W	16,8 W	7,4%	0,75%	Scaled	
3	PFC Inductor Core		1	8,5 W	8,5 W	3,8%	0,38%	Scaled	
	PFC Inductor Winding			2,0 W	2,0 W	0,9%	0,09%		
4	PFC MOSFET		1	17,5 W	17,5 W	7,7%	0,79%	Scaled	
5	PFC Diode		1	12,5 W	12,5 W	5,5%	0,56%	Scaled	
6	Bulk Capacitor		1	8,3 W	8,3 W	3,7%	0,37%	Scaled	
7	Resonant Capacitor		1	7,0 W	7,0 W	3,1%	0,31%	Scaled	
8	Resonant Inductor Core		1	8,0 W	8,0 W	3,5%	0,36%	Scaled	
	Resonant Inductor Winding			1,6 W	1,6 W	0,7%	0,07%		
9	Main MOSFET		1	22,0 W	22,0 W	9,7%	0,99%	Scaled	
10	Main Transformer Core		1	3,8 W	3,8 W	1,7%	0,17%	Scaled	
	Main Transformer Winding			8,8 W	8,8 W	3,9%	0,39%		
11	Secondary Side Rectifier		1	15,0 W	15,0 W	6,6%	0,67%	Scaled	
12	Main Stage Output Capacitor		1	25,5 W	25,5 W	11,3%	1,15%	Scaled	
13	Buck Inductor Core		1	2,7 W	2,7 W	1,2%	0,12%	Scaled	
	Buck Inductor Winding			4,4 W	4,4 W	1,9%	0,20%		
14	Buck MOSFET		1	17,0 W	17,0 W	7,5%	0,76%	Scaled	
15	Buck Synchronous MOSFET		1	17,0 W	17,0 W	7,5%	0,76%	Scaled	
16	Buck Stage Output Capacitor		1	5,0 W	5,0 W	2,2%	0,22%	Scaled	
17	PFC Control / Driver		1	0,7 W	0,7 W	0,3%	0,03%	Scaled	
18	Main Control / Driver		1	2,6 W	2,6 W	1,2%	0,12%	Scaled	
19	Secondary Rectifier Control / Driver		1	6,8 W	6,8 W	3,0%	0,31%	Scaled	
20	Buck Control / Driver		1	1,3 W	1,3 W	0,6%	0,06%	Scaled	
21	Others (circuit, measurement, filter, fan)*		1	10,0 W	10,0 W	4,4%	0,45%	Scaled	
<b>Total Amount of Power Losses:</b>				<b>226,0 W</b>					
<b>Average of Power Losses:</b>						4,0%			
<b>Part of Power Losses at Heatsink:</b>				<b>68,8 W</b>					

\*= Others are the power losses in: the circuit path, the current measurement circuits, the inrush MOSFET, Fan

**Abb. A. 90 Skalierte Verlustleistungsbilanz für den dreistufigen 2 kW LLC-Konverter**